

Submicron Device에서의 Hot-Carrier 열화에 관한 연구

이용희*, 김 현호**, 최영규***, 이천희****

LG Semicon. Ltd*, 옥천전문대학**, 충주산업대학교***, 청주대학교 전자공학과****
yicheon@alpha94.chongju.ac.kr

A Study Hot-Carrier Degradation on Submicron Device

Lee, Yong-Hui*, Kim Hyeon-Ho**, Choi, Young-Kyu***, Yi, Choen-Hee****

LG Semicon. Ltd*, Ok-Chon College**, Chungju Industrial University***, Chongju University****

Abstract

In this paper we simulated 0.30um NMOS transistor to analysis hot carrier degradation depend on As, As+P, P LDD structure. As a result we obtained As+P LDD structure was good hot carrier immunity. Also we find that hot carrier life time improved as increasing P dose due to P dose helps in grading the nLDD junction. However As-only junction was poor due to junction high peak position located near the surface.

I. 서론

소자의 집적도가 높아짐에 따라 단위 소자의 채널 길이 역시 줄어들어 64Mb DRAM 제품 이상의 경우 0.5um 이하의 채널 길이를 갖는 0.5um급 소자를 만들어야 할 필요성이 대두되었다. 하지만 소자의 크기가 제품의 세대에 따라 일정한 비율을 가지고 줄어드는 것과는 달리 제품의 동작전압은 동작전압을 큰 폭 낮출 경우 기생저항 및 기생용량의 증가에 기인한 회로의 성능 저하, Vt(Threshold voltage), SS(Subthreshold slope)이 소자 크기에 따라 줄어들지 않아 신호 잡음 감소등의 문제가 발생하는 등 여러가지 이유로 해서 소자의 축소에 비해 작은 비율로 축소되어 왔다. 이

로인해 H.C.E(Hot Carrier Effect)를 개선하기 위해서는 소자 구조개선을 통해서 LDD(Lightly Doped Drain), SJLDD(Sloped-Junction LDD), TOPS(Total Overlap with Polysilicon Spacer)등 H.C.E에 내성을 가지는 MOSFET 구조들이 사용되고 있다[1][2]. 사실 0.5um 급 소자 설계자는 소자의 수명을 10년동안 보증할 수 있는 구조로 소자를 설계하는데 NMOS의 경우 게이트 전압이 드레인 전압의 1/2 되는 가장 열악한 조건에서 10년간 소자를 동작시키더라도 특성이 10% 이상 변하지 않도록 소자를 설계하였다. 이러한 스트레스 조건은 실제 칩의 동작조건으로 환산하면 약 100~1000yr에 해당하는 것으로 지나친 보증이었다.

특히 최근의 소자들은 0.3um이하로 축소되어가는 추세이기 때문에 이러한 보증은 더욱더 어려워지고 있는 실정에 있다. 따라서 이러한 H.C.E 를 평가하는 여러가지 방법들이 있는데 가장 널리 쓰이는 방법들이 DC 스트레스 수준에서의 단위 소자에 대한 신뢰성 방법과 Chip이 AC상태에서 동작하므로 AC 스트레스 level에서의 단위 소자 및 링 발진기, 차동증폭기 등 단위 회로블럭을 구성하여 검증하는 방법들이 시도되고 있다. 그러나 기본적인 소자의 H.C.E에 의한 소자 열화를 분석하지 못하고 측정에 의한 결과만을 반복할 경우 많은 시간과 노력이 필요하다. 따라서 본 논문에서는 0.30um NMOSFET를 sample로하여 소자 simulator 인 TWB(TMA Workbench)를 사용하여 As-only, As+P, P-only nLDD 구조에 따른 계수들이 H.C.E에 어떤 영향을 주는지 분석하였다.

II. NMOSFET 소자 열화

2-1. 게이트 옥사이드 층 열화

H.C에 의한 NMOSFET의 열화는 Si-SiO₂ 계면에서의 계면상태, 게이트 옥사이드 내의 손상 위치에서의 캐리어 포획에 의한 손상으로 설명이 된다[3]. 게이트 옥사이드 층의 열화는 채널의 Gm(transconductance), Vt, Ids등의 DC 특성 변화를 초래한다. 그러나 대부분의 결과가 소자의 전류특성에 대해서 근간을 이루기 때문에 게이트 옥사이드에 의한 계면에 의한 H.C 손상에 대해서는 간접적인 정보만을 제공해 왔고 더우기 gate oxide 층의 손상은 국부적인 것이기 때문에 전류-전압 특성으로부터 열화에 대한 정확한 원인을 찾아내는 것이 어려웠다. 하지만 최근에 charge pumping, Dit(Interface trap density)와 같은 측정법이 개발됨에 따라 H.C에 의해 발생한 계면 상태와 포획된 전하의 양을 분리해내는 것이 가능해 졌다. 따라서 charge pumping 법과 전류-전압 특성 곡선으로부터 H.C 스트레스시 Low Vg에서는 핫-홀 포획이 주원인이고, Vgs=1/2Vds에서는 계면상태에 의한 것이 주원인이며 high Vg에서는 핫-전자 주입과 포획이 주원 열화임이 밝혀 졌다. 따라서 H.C에 스트레스에 게이트 oxide의 열화는 계면의 상태와 표면 전하 포획 모두가 기여한다.

2-2. NMOSFET H.C 발생 원리

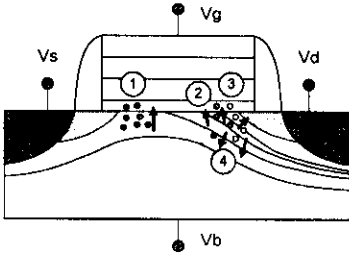
NMOSFET에 대해서 3가지의 핫-캐리어 열화 원리가 있는데 이러한 원리는 서로다른 전압 스트레스 영역에서 일어난다. 이러한 핫 캐리어를 유발하는 종류로는 채널내의 전자가 채널 수평전계로부터 에너지를 얻어 Si-SiO₂ 계면의 에너지 장벽을 넘어 게이트 산화막 속으로 주입되어 그 일부가 산화막 속에 trap 되거나 Si-SiO₂ 계면준위변동을 일으켜 소자의 특성을 변동시키는 C.H.E(Channel Hot Electron), 기판 바이어스 전압을 인가해서 게이트 전극아래의 기판 표면에 두꺼운 공핍층을 형성했을 경우 기판로부터 확산으로 공핍층에 주입된 전자 또는 공핍층내에서 발생한 전자가 공핍층내의 전계에 의해 가속화 되어 게이트 산화막으로 주입되는 S.H.E(Substrate Hot Electron), 드레인 근방의 큰 수평전계에 의해 높은 에너지를 얻은 채널 전자가 격자와의 충돌전리, 또는 전자사태 중배에 의해 E.H.P(Electron Hole Pair)를 발생하고 이러한 전자 또는 정공, 혹은 이 두가지 모두가 뜨거워져서

산화막 속으로 주입되어 소자를 저하시키는 D.A.H.C(Drain Avalanche Hot Carrier), 그리고 드레인 근방에서 발생하여 기판 전류가되는 정공이 드레인 근방의 공핍층을 가로질러 기판에 주입될때 공핍층내에서 전계로부터 에너지를 얻어 뜨거워져서 E.H.P를 발생 시키고 이중 전자의 일부가 공핍층을 가로질러 산화막 속으로 주입되는 S.G.H.C(Secondarily Generated Hot Carrier) 주입이 있다. 이중에서 먼저 Low-게이트 전압 스트레스(Vg<Vt, peak 게이트 홀-전류 영역)에서 소자의 I-V 특성은 옥사이드내에서 생성된 홀-포획에 의해 영향을 받는다[4]. 먼저 양의 전하로 포획된 전하는 드레인 근처의 Vt(Threshold voltage)를 낮추어 마치 드레인이 확장된 것처럼 되어 채널의 다른 부분에서 보다 더 일찍 turn-on 된다. 이러한 채널 짧아짐 현상은 드레인 전류를 증가시키는 결과를 초래한다. Medium-게이트 전압 스트레스(Vg>Vd/2, peak 기판-전류 영역)에서 역셉터형 계면 상태 생성은 열화 원리에서 가장 중요한데 이때 역셉터형 계면상태 음의 전하 상태가 된다[5]. 이러한 음의 전하들은 Vt를 증가시키고 특히 LDD(Lightly Doped Drain) 구조 소자의 경우 직렬저항을 증가시켜 캐리어의 이동도를 감소시키게 된다[6].

2-3. NMOSFET H.C. 주입현상

H.C란 그 운동 에너지가 E.H(Electron, Hole)들의 평균 에너지 보다 훨씬 큰 캐리어들을 지칭하는데 일반적으로 E.H의 운동 에너지는 1/2KT의 열적 에너지에 해당하는 에너지를 가지고 있다. (여기서 K는 볼츠만 상수이고 T는 절대 온도이다) 그러므로 고 에너지의 E, H를 핫 캐리어라고 하며 그 에너지는 온도 T의 함수이다. 상온에서 전자의 평균운동도는 약 300Kelvin인 반면에 H.C의 온도는 수천 Kelvin이며 H.C의 발생은 E, H를 가속시키는 내부 전계에서 비롯된다. 그림 1은 포화 영역에서 동작하는 NMOSFET의 단면이다. 국부적인 내부 전계는 등전위선(Electric potential)의 변화로 나타내었고 등전위선이 드레인 근처에서 조밀해지는것은 이 지역에서 채널 전계가 증가함을 말해준다. 트랜지스터 동작시(Vg=0~2.5V, Vd=2.5V) 소스에서 드레인으로 움직이는 전자는 드레인에 다가갈수록 수평전계에 의한 에너지를 얻어 핫-전자가 되고 이들 핫-전자중 소수의 핫-전자들이 탄성 산란(Elastic scattering)에 의해 Si-SiO₂ 계면으로의 운동변이를 일으키거나 충돌 전리에 의해

EHP(Electron Hole Pair)를 일으킨다.



<그림 1> MOSFET에서의 핫-캐리어 주입 현상

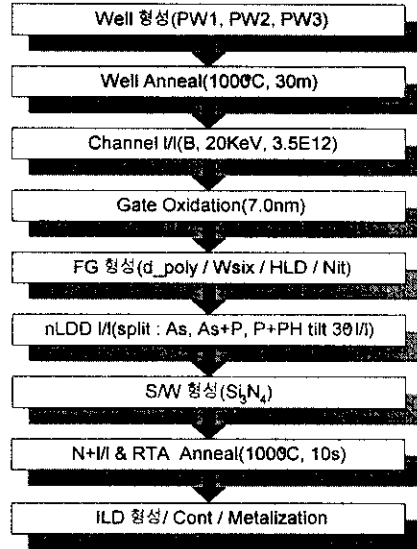
- ① Fowler-Nordheim tunneling 전자 주입
- ② 전자상태 전자 주입
- ③ 전자상태 홀 주입
- ④ 2차 생성 핫-캐리어 주입

이때 드레인 접합 모서리에서 전자상태 전자 주입과 전자상태 홀 주입이 일어나며 채널의 핫-전자와 홀은 게이트 전압에 의한 수직전계로 인하여 게이트 옥사이드 층으로 주입되기도하고 경우에 따라서는 자신이 가지고 있는 운동에너지 만으로도 게이트 옥사이드 층에 주입된다.

III. 실험결과

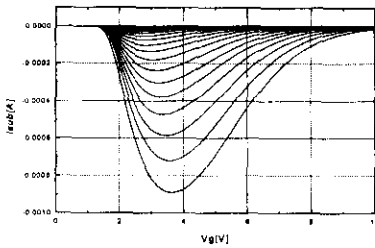
I. Simulation Flow

Simulation을 수행하기 위해서는 그림 2에 나타낸 같이 진행이 된다. 핫 캐리어 특성을 개선하기 위해서는 1) 핫 캐리어를 개선할 수 있는 소자 구조의 개선, 2) 게이트 옥사이드 막질을 NO, RNO를 사용, 3) 전원 전압을 저전압으로 운용하는 방법등이 있는데 본 논문에서는 소자구조 개선(nLDD)을 통한 측면을 중심으로 실험 하였다. nLDD 구조에서 전계의 최대값이 전류의 최대가 되는 지점과 충돌하지 않도록 기판 아래에 오도록 해야 한다. 이러한 조건을 만족하기 위해서는 접합형태를 가능한한 완만하게 하여 전계를 완화 시켜 주어야 한다. 핫 캐리어의 열악한 측정 조건을 산출하기 위해서는 그림 3과 같이 bell형태의 Vg vs Isub 특성 곡선을 많이 이용한다. Isub는 게이트 전압에 대한 계수로서 초기에 상승하는 것은 드레인 전류가 증가함에 따라 발생하는 것이며 하강하는 것은 채널내의 전계가 감소함에 따라 감소하는 것이다. Simulation

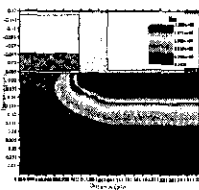


<그림 2> Simulation을 위한 공정 흐름도

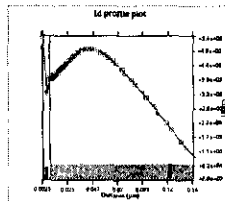
에 사용된 스트레스 조건은 각 드레인 전압에 대한 Isub의 최대값을 기준으로 하여 적용하였으며 이 조건이 핫 캐리어 발생이 가장 많이 일어나는 조건이 된다. 그림 4에서는 As, As+P, P nLDD구조에 대하여 접합 형태 및 전계 특성을 simulation한 결과를 보여주고 있다. 먼저 As nLDD의 경우 전계의 접합 깊이가 As의 steep 접합 특성으로 인해 최대 위치는 0.047um, 전계의 크기는 4.9MV인 반면에 As+P, P nLDD의 경우에는 전계의 접합 깊이가 표면으로부터 0.060um 멀리 떨어져 있기 때문에 전계의 크기도 3.6MV로 As에 비해 양호하다. 또한 그림 5에서는 P의 농도를 각각 1.0/2.0/3.0E13으로 변경하면서 실험한 것인데 그림에서도 알 수 있듯이 P의 농도가 증가 할 수록 전계의 크기는 P의 농도가 1.0/2.0/3.0E13일때 각각 7.6/6.0/5.2MV로 감소하고 있음을 알 수 있다. 따라서 소자제작에 있어서 핫 캐리어의 영향을 줄이기 위해서는 As+P 구조가 양호함을 알 수 있었다. 하지만 As+P 구조에서 중요한것은 최대전계가 어느정도의 조건(에너지, 농도)에서 알맞은가를 먼저 알아내야 하며 소자 특성을 확보 할 수 있을 것이다.



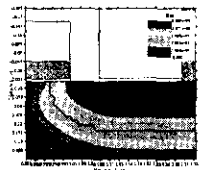
<그림 3> Isub vs Vg(핫 캐리어 스트레스 worst 조건을 추출하기 위한 방법) 그래프.



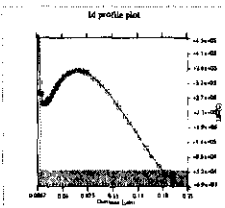
(a-1) As-only junction 형태



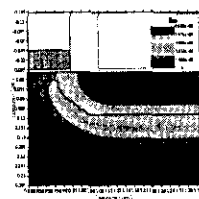
(a-2) As-only junction 전계분포



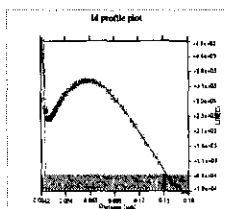
(b-1) As+P junction 형태



(b-2) As+P junction 전계분포

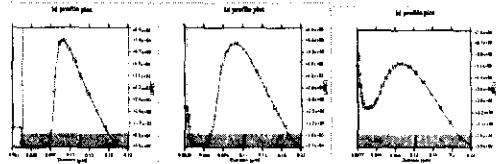


(c-1) P-only junction 형태



(c-2) P-only junction 전계분포

<그림 4> As(a-1, a-2), As+P(b-1, b-2) and P(c-1, c-2) nLDD구조에 따른 접합형태 및 전계분포



<그림 5> P 농도 변화에 따른 전계분포 (a)1.0E13, (b)2.0E13, (c)3.0E13.

IV. 결론

핫 캐리어 특성을 개선하기 위해서는 본 논문에서는 소자의 nLDD 부분에 따른 구조를 As, As+P, P에 따라 simulation을 수행하였다. As nLDD의 경우 전계의 접합 깊이가 As의 steep 접합 특성으로 인해 최대 위치는 0.047um, 전계의 크기는 4.9MV인 반면에 As+P, P nLDD의 경우에는 전계의 접합 깊이가 표면으로부터 0.060um 멀리 떨어져 있기 때문에 전계의크기도 3.6MV로 As에 비해 양호하였다. 또한 P의 농도를 각각 1.0/2.0/3.0E13으로 변경하면서 실험한 결과 P의 농도가 증가 할 수록 전계의 크기는 P의 농도가 1.0/2.0/3.0E13일때 각각 7.6/6.0/5.2MV로 감소하고 있음을 알 수 있었다. 결론적으로 핫 캐리어의 영향을 줄이기 위해서는 As+P 구조가 양호함을 알 수 있었고 As+P 구조에서도 최대전계가 어느정도의 조건(에너지, 농도)에서 가장 적당항가를 선정하는 것이 중요함을 알 수 있었다.

참고문헌

- [1] S. Jain, et al., "Sloped Junction LDD, MOSFET Structures for Improved Hot Carrier Reliability," IEEE Electron Dev. Lett., pp.539, 1988.
- [2] J.E. Moon et al., A New LDD Structure : Total Overlap with Polysilicon Spacer(TOPS). IEEE Electron Dev. Letts., EDL-11, pp. 221, 1990.
- [3] E.H. Nicollian, "Electrochemical Charging of Thermal SiO2 Film by Injected Electron Currents." J. Appl. Phys., vol. 42, pp. 5624-5664, 1971.
- [4] B. Doyle, et al., "The Generation and Characterization of electron and Hole Traps Created by Hole Injection during Low Gate Voltage Hot Carrier Stressing of NMOS Transistors." IEEE Trans Electron Dev, vol. 37, no. 8, pp. 1869-1876, Aug. 1990.
- [5] C.Hu, S.Tam, et al., "Hot Electron Induced MOSFET Degradation Model, Monitor and Improvement." IEEE Trans Electron Dev. vol. 32, no. 2, pp. 375-385, Feb. 1985.
- [6] F.Hsu and H.Grinfelds, "Structure Enhanced MOSFET Degradation Due to Hot Electron Injection." IEEE Electron Device Lett. vol. 5, no 3, pp. 71-74, Mar. 1984.