

# I<sub>DDQ</sub> 테스트를 위한 빠른 내장형 전류감지기

임 창용 김 동욱  
 광운대학교 전자재료공학과  
 서울시 노원구 월계동 447-1  
 E-mail : vlsicad@daisy.kwangwoon.ac.kr

## Fast Built-In Current Sensor for I<sub>DDQ</sub> Testing

Ch'ang Yong Lim Dong Wook Kim  
 Dept. of Electronic Materials Engineering Kwangwoon University  
 447-1 Wolgye-Dong Nowon-Gu Seoul, 139-701  
 E-mail : vlsicad@daisy.kwangwoon.ac.kr

### Abstract

Recent research about current testing(I<sub>DDQ</sub> testing) has been emphasizing that I<sub>DDQ</sub> testing in addition to the logical voltage testing is necessary to increase the fault coverage. The I<sub>DDQ</sub> testing can detect physical faults other than the classical stuck-at type faults, which affect reliability. One of the most critical issues in the I<sub>DDQ</sub> testing is to insert a built-in current sensor(BICS) that can detect abnormal static currents from the power supply or to the ground. This paper presents a new BICS for internal current testing for large CMOS logic circuits. The proposed BICS uses a single phase clock to minimize the hardware overhead. It detects faulty current flowing and converts it into a corresponding logic voltage level to make it possible to use the conventional voltage testing techniques. By using current mirroring technique, the proposed BICS can work at very high speed. Because the proposed BICS almost does not affects normal operation of CUT(Circuit Under Test), it can be used to a very large circuit without circuit partitioning. By alternating the operational modes, a circuit can be I<sub>DDQ</sub>-tested as a kind of self-testing fashion by using the proposed BICS.

### I. 서론

트랜지스터가 개발된 이후 반도체 공정기술과 설계 기술의 발전으로 단일 칩 상에 수십만 개의 트랜지스터가 집적된 칩들이 현재 상용화되고 있다. 대부분의 VLSI 칩에는 작동시에 정전력소모가 거의 없는 CMOS 회로가 사용되며, 다층 금속도선과 서브마이크론 설계 규칙이 적용되어 집적도가 크게 증가하고 있다. 집적도가 증가되면 칩에 선폭 및 선간격이 축소되는 반면, 단자간의 브리징 고장(bridging fault) 발생 빈도가 증가한다. 특히 이러한 고장들은 기존의 칩 테스트 방법인 논리 테스트, 즉 전압 테스트로는 검출되지 않는다. 이의 해결책으로서 최근에 활발한 연구가 진행되고 있는 전류 테스트 방법은 CMOS 회로 내의 고장유무에 따라 크게 변화하는 정지상태의 전류값(quiescent current : I<sub>DDQ</sub>)을 비교하여 회로 내에 존재하는 다양한 형태의 고장을 용이하게 검출할 수 있는 방식이다.

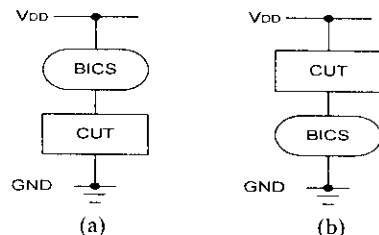
I<sub>DDQ</sub> 테스트 방법은 전류측정을 위한 장치를 칩 외부에 설치하도록 하는 방법과 그 장치를 칩에 내장시키는 방법으로 구분된다. 칩의 외부에서 전류를 테스트하는 방법은 기존의 테스트 장비들이 주로 전압을 측정하도

록 되어 있기 때문에 별도의 테스트 장비를 사용해야 한다는 문제점을 가지고 있다. 이러한 문제를 해결하기 위한 방법으로 부가회로를 사용하여 IC 내에 전류감지기(Built-In Current Sensor:BICS)를 내장한 전류 테스트 기법이 제안 되었다. 이 방식은 측정이 어려운 전류값의 변화를 대응하는 전압값(논리값)의 변화로 관찰할 수 있도록한 것으로, 기존의 테스트 장비를 이용할 수 있는 장점이 있다. 이러한 전류 테스트 방법으로 고장을 검출하기 위해 이미 BICS가 설계되었다. 그러나 기존에 설계된 BICS 들은 많은 외부 핀이 필요해 하드웨어 크기를 증가시키거나, 외부 전류원과 기준 전압 또는 전류(reference voltage or current)을 필요로 한다.

본 논문에서는 이러한 기존의 문제점을 해결하기 위해 새로운 BICS 를 제안한다. 본 논문에서 제안하는 BICS 는 기존에 설계된 내장형 전류 감지기 보다 부가 하드웨어의 크기가 매우 작을 뿐만아니라, 고장 검출 속도 또한 매우 향상된다. 단상클럭 만으로 BICS 의 제어가 가능하도록 하여 면적을 최소화하고, 테스트 대상회로와 BICS 를 분리시켜 테스트 장비의 영향이 정상상태에 미치지 않도록 설계한다. 또한, 새로운 내장형 전류감지기는 외부비교 전압과 비교 전류를 필요로 하지 않고, 테스트를 위해 단지 두개의 제어 핀만을 필요로 한다.

### II. 대상 고장

고장 검출을 하기 위해서 먼저 본 논문에서 고려한 대상 고장을 선정한다.



(a) 상단에 위치한 BICS (b) 하단에 위치한 BICS

그림 1. 내장형 감지기의 위치

BICS 내장하는 방법에는 BICS 를 CUT 와 VDD 사이

에 제일 아래쪽에(그림 1(a)) 그리고 CUT 와 GND 사이에(그림 1(b)) 연결하는 두 가지 방법이 있다. 그림 1(a)와 같이 BICS 를 VDD 쪽에 연결하면, 트랜지스터의 게이트-소오스에 브리징 고장을 검출할 수가 없다. 반면 그림 1(b)와 같이 BICS 를 GND 쪽에 연결하면, 트랜지스터의 게이트-드레인 브리징 고장을 검출할 수 없다. 따라서 BICS 를 연결하는 두 가지 방법 중에서 어떤 것을 사용해도 검출가능한 고장의 범위에는 별 차이가 없다. 만약 이러한 고장을 모두 검출하기 위해서는 초기 입력 단계 부가 회로를 삽입하여 임의적으로 패스를 만들어 주면 검출 가능하다.

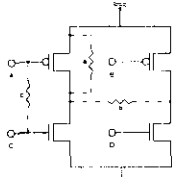


그림 2.  $I_{DDQ}$  테스트를 위한 대상 브리징 고장

본 논문에서는 두 가지 방법 중 테스트 대상회로의 VDD 쪽에 BICS 를 연결하는 방법으로 택한다. 고장유무를 판별 하기 위해 본 논문에서는 대상 고장을 3가지의 브리징 고장으로 제한을 하며, 이 고장들은 그림 2에 나타내었다. 즉, MOS 의 드레인-소오스의 저항성 단락(a), 트랜지스터 회로의 내부 노드간의 저항성 단락(b), 그리고 입력 단자간의 저항성 단락(c)을 본 논문에서는 대상 고장으로 한다.

### III. 제안된 내장형 전류감지기(BICS)

본 논문에서 제안하는 BICS 회로는 그림 3과 같으며, 이 회로는 크게 세 블록으로 구성된다.

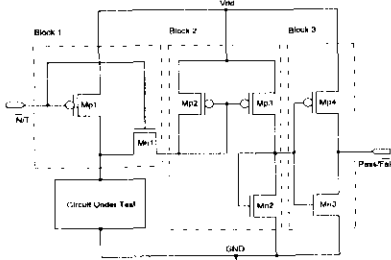


그림 3. 제안된 내장형 전류감지기

첫 번째 블록(Block1)은 테스트 대상회로의 정상 상태와 테스트 상태를 구분하는 블록이며, 두 번째 블록(Block2)은 고장 전류를 측정하는 블록이고 세 번째 블록(Block3)은 고장유무 판별을 출력하는 블록이다. 이 회로에서  $\bar{N}/T$  는 정상 동작과 테스트 동작을 분리시키기 위한 신호이며  $PASS/FAIL$  은 테스트 결과에 대한 논리값 출력 단자이다. 테스트 동작에서  $PASS/FAIL$  이 논리 1( 논리 0)를 나타내면 고장이 발생하지 않았슴(고장이 발생 하였슴)을 나타낸다.

#### III-1. 전류 mirroring

본 논문에서는 BICS 에 전류 mirror(Mp2, Mp3, Mn2)

를 사용한다. 전류 mirror 는 두 개의 pMOS 로 구성되며, 브리징 고장으로 인해 대상회로에서 정전류가 흐르면 BICS 의 테스트 모드에서  $I_{DDQ}$  전류를 미러링한다.

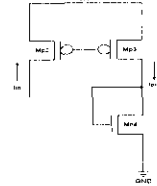


그림 4. 내장형 전류감지기중 전류 mirror

그림 4 는 전류 mirror 를 따로 나타낸 것이다. 그림 4 에서 Mp2 와 Mp3 의 전류값은 개략적으로 다음 식으로 표현된다.

$$I_{in} = \frac{1}{2} \mu_p C_{ox} \frac{W_2}{L_2} (V_{GS} - V_t)^2 \quad (1)$$

$$I_o = \frac{1}{2} \mu_p C_{ox} \frac{W_3}{L_3} (V_{GS} - V_t)^2 \quad (2)$$

위의 두 식을 정리하면 다음 식을 얻을 수 있다.

$$\frac{I_o}{I_{in}} = \frac{(W_3/L_3)}{(W_2/L_2)} \quad (3)$$

즉 고장이 발생하면  $I_{OUT}$  은 트랜지스터의 (W/L) 비로 결정이 된다. 본 논문에서는 BICS 의 트랜지스터 비를 (Mp2 : Mp3) = (1.5  $\mu$ m : 5  $\mu$ m)로 결정하였다. 따라서 이 전류 mirror 에서 약 2.5 의 전류증폭이 이루어진다. 이 Mn4 는 미러링된  $I_{DDQ}$  전류를 원하는 전압값으로 변환하기 위해서 포화영역에서 동작한다. 여기에서 포화영역과 비포화영역의 경계  $V_{GS}$  값은 약 2.0375V 이다. 만약 고장이 발생해서 미러링된  $I_{DDQ}$  가 흐르면 Mn4 는 포화영역에 도달하여 고장검출을 위한 적절한 전압값을 다음 단의 인버터로 출력한다.

### IV. 시뮬레이션

#### IV-1. 시뮬레이션 환경

그림 3 회로의 동작 어부는 SPICE LEVEL 3 시뮬레이션으로 확인하였으며, 이때 MOSIS's 0.8  $\mu$ m CMOS 공정 파라미터를 사용하였다. 시뮬레이션을 위해서 사용된 트랜지스터의 크기는 (W : L)=(1.5  $\mu$ m : 0.8  $\mu$ m)로 정하였다. 고장유무 판별에 이용되는 기준  $I_{DDQ}$  전류는 그림 3의 Mp3 에 의존하는데, 여기서는 Mp3 의 채널 너비를 조정하여 30.259  $\mu$ A를 기준 전류로 채택하였다. 그러나 Mp3 의 채널 너비와 길이를 조정함으로써 기준 전류를 변경할 수 있다.

#### IV-2. 시뮬레이션 결과

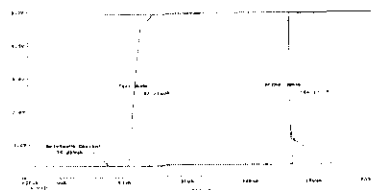


그림 5. 기준 전류의 설정

기준 전류를 30.259  $\mu\text{A}$ 로 채택한 방법은 그림 5에 나타내었다. 이 그림에서 고장이 발생하면, I<sub>DDQ</sub> 전류가 146.172  $\mu\text{A}$  정도 흐르며, N/T 신호의 테스트 모드에서 42.214  $\mu\text{A}$  정도의 I<sub>DDQ</sub> 전류를 비러링하게 된다. 위의 대상 고장을 테스트한 결과, 브리징 고장이 발생하면 그림 5의 범위 내의 I<sub>DDQ</sub> 전류값을 가지게 된다. 따라서 이 범위보다 낮은 I<sub>DDQ</sub> 전류값을 기준 전류로 채택하면 모든 대상 고장을 검출하게 된다. 이와 같은 이유로 본 논문에서는 기준 전류를 30.259  $\mu\text{A}$ 로 채택해 시뮬레이션을 수행한다.

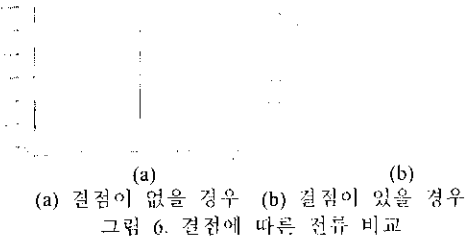


그림 6은 본 논문에서 제안한 BICS를 사용해 시뮬레이션을 실행했을 때 테스트 대상회로의 고장유무에 따른 전원 전류를 나타낸 것이다. 그림 6(a)는 고장이 발생하지 않은 경우로 천이 전류만 흐르는 것을 볼 수 있으며, 그림 6(b)는 고장이 발생하여 I<sub>DDQ</sub>가 흐르는 것을 보여주고 있다. 이 경우 1ns에서 11ns까지 110  $\mu\text{A}$ 의 I<sub>DDQ</sub>가 흐르는 것을 알 수 있다.

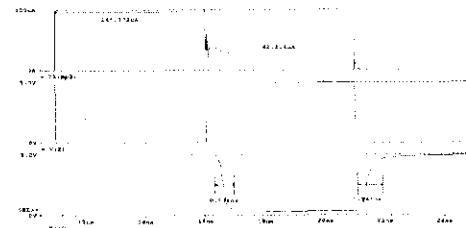


그림 7은 100MHz의 동작 주파수에서 기준전류가 30.259  $\mu\text{A}$ 일 때 NAND 회로에서 고장전류가 146  $\mu\text{A}$ 인 경우의 BICS 출력 파형을 나타낸 것으로, 테스트 대상회로의 고장유무에 따라 PASS/FAIL 단자의 전압이 논리적으로 변화함을 볼 수 있다. 이 그림에서 과도전류가 흐르는 시간이 클럭의 반주기에서 관벌이 가능하다는 것을 보여주며, 고장전류가 흐르는 반주기 동안만 인버터의 출력이 논리 0으로 나타나므로 자동적으로 고장의 유무를 판별할 수 있다. BICS의 속도는 전류 mirror에 의하여 결정이 되는데, 제안된 BICS에서는 전류 mirror가 약 1.5ns의 전달 지연을 발생한다. 다시 말해, 최대 700MHz 주파수에서도 동작할 수 있다는 뜻이다. 그림 7의 가운데 파형은 내장형 전류감지기에 사용된 할력을 나타낸 것이다. 테스트 대상회로의 입력 패턴 동안에 이 클럭은 연속적으로 정상모드(논리 0)와 테스트모드(논리 1)를 발생시켜 고장시 과도전류를 샘플링하게 된다. 그림 7의 상단 파형은 고장이 발생했을 때에 I<sub>DDQ</sub>가 흐르는 것을 보여주고 있다. 그림 7의 하단 파형은 고장이 발생했을 때에 테스트모드

에서 고장을 출력하는 인버터의 파형이다. 고장이 없을 때에는 정상적으로 5V을 나타내다가 고장이 검출이 되면 0V에 가깝게 떨어져 고장유무를 확인할 수 있다.

그림 7에서 고장이 발생했을 때에 인버터의 출력 전압이 정확히 0V에 떨어지지 않는 것을 볼 수 있다. 이 문제를 해결하는 방법은 그림 3의 내장형 전류감지기에서 Mp3의 너비를 변화시켜주는 것이다.

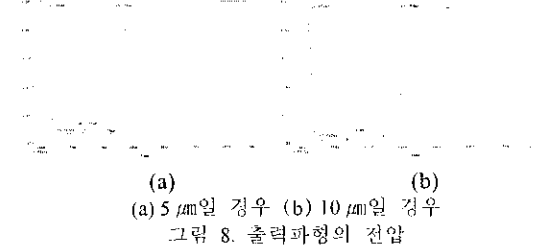


그림 8은 Mp3의 너비 변화에 따른 인버터의 출력 파형을 보여주고 있다. 그림 8(a)는 Mp3의 너비가 5  $\mu\text{m}$ 일때 I<sub>DDQ</sub>가 흘러 인버터의 출력 전압이 0.347V 인 것을 나타낸다. 만약 nMOS의 문턱전압이 0.5V 라면, 이 전압이 Mn3을 구동시키지 못하나, 작은 잡음에 의해서도 다음 단의 인버터를 구동시키게 된다. 이 전압은 Mp3의 너비를 변화시켜 낮출 수 있다. 그림 8(b)는 Mp3의 너비가 10  $\mu\text{m}$ 일때 인버터의 출력파형을 보여주고 있다. 고장이 발생 했을때 인버터의 출력전압은 0.07V 까지 떨어지게 된다. 하지만 Mp3의 너비가 증가함에 따라 전달 지연 시간이 증가하게 된다. 그 이유는 너비가 증가함에 따라 비러링되는 I<sub>DDQ</sub> 값이 증가하게 되고 이에 따라 캐패시터에 충·방전 시간이 증가하게 된다. 그러므로 인버터의 출력 전압에서 하상 시간은 감소하고, 상승 시간은 증가류 하게 되어 전달 지연 시간이 증가를 하게 된다.

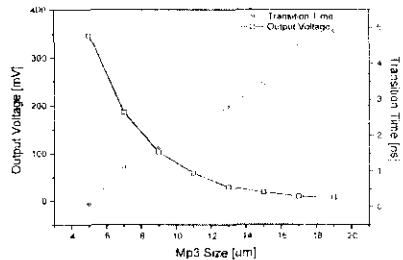


그림 9는 Mp3의 너비 증가에 따른 출력 전압과 전달 지연 시간의 변화를 보여주고 있다. 그림 9의 횡축은 Mp3의 너비 증가를 나타내고, 좌측종축은 고장이 발생했을때 인버터의 출력 전압, 우측종축은 고장이 발생했을때 전달지연 시간을 나타낸다. Mp3 너비가 증가하면 인버터의 출력 전압이 그림 9처럼 감소하게 된다. 출력 전압이 감소하는 반면에 출력 지연 시간이 증가하기 때문에 Mp3 너비를 적절히 설정해야 한다. 제안된 BICS가 보다 큰 회로에서 고장을 검출할 수 있는지 보기 위해서 표 1과 같이 테스트 대상회로 8개를 고려하였다. 표 1은 8개의 테스트 대 상회로에

대한 시뮬레이션 결과이다.

표 1. 테스트 대상 회로 8 개의 시뮬레이션 결과

Circuit	Circuit Composition		Faults for each MOS Fig. 11	Fault Coverage (%)
	Gate level	IR level		
4-Bit Binary Full Adder with Fast Carry	14 NAND gates 4 NOR gates 8 AND gates 4 XOR gates 10 Inverter	118 pMOSes 148 nMOSes		100
4-Bit Magnitude Comparator	4 NAND gates 6 NOR gates 21 AND gates	118 pMOSes 114 nMOSes		100
3-Line to 8-Line Decoder	9 NAND gates 6 NOR gates 6 AND gates 5 Inverter	69 pMOSes 61 nMOSes		100
Encoder	2 NAND gates 3 NOR gates 12 AND gates 12 Inverter	91 pMOSes 81 nMOSes		100
Multiplexer	1 NOR gate 8 AND gates 2 Inverter	64 pMOSes 64 nMOSes		100
4-Line to 16-Line Decoder	16 NAND gates 1 NOR gate 8 Inverter	91 pMOSes 96 nMOSes		100
BCD-to-Seven Seg Decoder	9 NAND gates 17 AND gates 2 Inverter	119 pMOSes 119 nMOSes		100

표 1에서 보는 것처럼, 그림 2의 세가지 대상고장을 고려했을 때 제안된 BICS는 모두 검출함을 알 수 있다.

IV-3. 시뮬레이션 결과의 비교

표 2는 기존에 설계된 내장형 전류감지기와 본 논문에서 제안한 내장형 전류감지기에 대해 여러 가지 성능을 비교한 것이다. 표 2에서 보는 것처럼 본 논문에서 제안한 내장형 전류감지기가 다른 내장형 전류감지기 보다 우수하다는 것을 알 수 있다.

표 2. 내장형 전류감지기의 성능 비교

Model Cases	Maly's Design	Favall's Design	Shen's Design	Ume's Design	Shen's Design	Proposed Design
Additional circuit	3 MOS 2 NPN 1 Diode	3 MOS	16 MOS 3 Cap 1 Res	13 MOS	57 MOS 1 Diode	7 MOS
Number of Output Bus	3	3	4	3	3	2
Propagation Delay	-	Delayed by 6 Faults	200	25ns	2ns	1.5ns
Controlled signal	Single Check	External Signal	No	No	Non-overlap bus-dr-ck	Single Check
Number of Supply Voltage	2	2	2	-	2	1
Automatic Detection	0	0	0	X	0	0

표 2에서 다른 내장형 전류감지기들은 다음과 같은 문제점을 가지고 있다. 즉, Maly's의 BICS<sup>(8)</sup>는 고장 전류에 의해 야기되는 전압 발생을 위해서 NPN BJT를 사용하였는데, 이것을 실행시키는 것은 전설적으로 큰 비용이 든다. Favall's의 BICS<sup>(9)</sup>는 매우 간단하고 실행하기 쉽다. 하지만 게이트당 두 개의 트랜지스터가 필요함으로써 부가 하드웨어의 양이 증가한다. Miura's의 BICS<sup>(10)</sup>는 고장유무 판별을 위해서 적분회로를 사용하는데 이것을 실행시키기 또한 어렵다. 또한, 저항과 캐패시터가 차지하는 면적이 매우 크다. Shen's의 BICS<sup>(11)</sup>는 비중첩 2상 블럭을 사용하고, 외부 제어 신호를 3

개 사용한다. 그러므로 부가 하드웨어의 크기가 매우 크다. Tang's의 BICS<sup>(12)</sup>는 두개의 전원 공급 전압을 필요로 한다. 또한 연산 증폭기의 실현이 어렵다.

V. 결론

본 논문에서는 CMOS VLSI 칩에서 전류 테스트 방법으로 검출하기 위한 새로운 내장형 전류감지기를 제안하였다. 제안한 내장형 전류감지기는 테스트 대상회로와 전류 mirror를 분리하여 고장전류가 정상 동작에 영향을 주지 않도록 하였으며 부가회로를 줄임으로써 면적을 최소화하였다. SPICE 시뮬레이션 및 그 외의 성능 분석 및 기존 방법과의 비교에서 본 논문에서 제안한 내장형 전류감지기가 매우 우수한 성능을 갖고 있음이 나타났다. 따라서 본 논문의 내장형 전류감지기를 사용하여 IDDQ 테스트를 수행할 경우 최소의 부가회로로 최대의 테스트 속도를 얻을 수 있으리라 기대된다.

참고 문헌

- [1] W. Maly, "Realistic Fault Modeling for VLSI Testing." In Proc. Design Automation Conf., pp. 173-180, 1987.
- [2] F. J. Ferguson and J. P. Shen, "A CMOS Fault Extractor for Inductive Fault Analysis." IEEE Trans. Computer-Aided Design, Vol. 7, No. 11, Pp. 1181-1194, Nov. 1988.
- [3] M. Syrzycki, "Modeling of Gate Oxide Shorts in MOS Transistors." IEEE Trans. Computer-Aided Design, Vol. 8, No.3, pp. 193-202, Mar. 1989.
- [4] R. Rajsuman, "Digital Hardware Testing : Transistor-Level Fault Modeling and Testing." Artech House, 1992.
- [5] V. H. Champac, A. Rubio and J. Figueras, "Electrical Model of the Floating Gate Defect in CMOS IC's : Implications on IDDQ Testing." IEEE Trans. on Computer-Aided Design, Vol. 13, No. 3, pp. 359-369, Mar. 1994.
- [6] M. Keating and D. Meyer, "A New Approach to Dynamic Idd Testing." Proc. IEEE Int. Test Conf., pp. 316-321, 1987.
- [7] S. D. Millman, E. J. MacCluskey and J. M. Acken, "Diagnosing CMOS Bridging Faults with Struck-at Fault Dictionaries." In Proc. Int. Test Conf., pp. 860-870. Sept. 1990.
- [8] W. Maly and M. Patyra, "Built-In Current Testing ." IEEE J. Solid-State Circuits, Vol. 27, No. 3, Pp. 425-429, Mar. 1992.
- [9] M. Favalli, P. Olivo, M. Damiani and B. Ricco, "Novel Design for Testability Schemes for CMOS IC's." IEEE J. Solid-State Circuits, Vol. 25, No. 5, pp. 1239-1246, Oct. 1990.
- [10] Y. Miura and K. Kinoshita, "Circuit Design for Built-In Testing." Int. Test Conf., pp. 873-881, 1992.
- [11] Tung-Li Shen, Daly and Jien-Chung Lo, "On-Chip Current Sensing Circuit for CMOS VLSI ." IEEE VLSI Symp., pp. 309-314, 1991.
- [12] J. J. Tang, K. J. Lee and B. D. Liu, "A Practical Current Sensing Technique for IDDQ Testing ." IEEE Trans. Computer-Aided Design, Vol. 3, No. 2, pp. 302-310, Jun. 1995.