

# Hamming Distance를 고려한 경로 지연 고장의 Built-In Self-Testing 기법

허용민

LG 정보통신(주) 중앙연구소  
안양시 동안구 호계동  
ymhur@lgic.co.kr

## Built-In Self-Testing Techniques for Path Delay Faults Considering Hamming Distance

Yong-Min Hur

LG Information & Communications, Ltd.  
Hogye-dong, Dongan-gu, Anyang, Korea  
ymhur@lgic.co.kr

### Abstract

This paper presents BIST(Built-In Self-Test) techniques for detection of path delay faults in digital circuits. In the proposed BIST schemes, the shift registers make possible to concurrently generate and compact the latched test data. Therefore the test time is reduced efficiently. By reordering the elements of the shift register based on the information of the hamming distance of each memory elements in CUT, it is possible to increase the number of path delay faults detected robustly/non-robustly. Experimental results for ISCAS'89 benchmark circuits show the efficiency of the proposed BIST techniques.

### I. 서론

최근 반도체 기술의 발달로 한 칩에 집적되는 논리 게이트의 수가 급격히 증가함에 따라 반도체 제품의 기능과 성능을 검증하는 테스트 과정은 더욱 중요하고 많은 시간을 필요로 하는 문제로 대두되고 있다. 특히, 높은 신뢰도를 요구하는 제품의 경우에는 보다 효율적인 테스트 과정이 요구되고 있다. 또한, 반도체의 집적도가 높아짐에 따라 외부 장비를 이용한 테스트가 어려워지고 있다. 이러한 문제점들을 해결하기 위하여 DFT(Design-For-Testability) 방식, 테스트 시간과 비

용을 크게 줄일 수 있는 BIST(Built-In Self-Test) 기법[1][5] 등이 연구 되어 사용되고 있다. 또한 PCB상의 고장 검출을 위한 테스트 방법(IEEE 1149.1 etc.)등이 표준화되어 널리 채택되어 있다.

일반적으로 사용되는 BIST의 테스트 패턴 생성기로는 LFSR(Linear Feedback Shift Register), counter, CAR(Cellular Automata Register)등이 널리 사용되고 있으며 압축기로는 MISR이 대표적으로 사용되고 있다. 또한, 전체 주입력, 회로내 메모리소자와 주출력을 하나의 단일 레지스터로 연결하여 테스트 입력 생성과 출력을 압축하는 Circular Self-Test Path 방법등이 있다.[2][3]

지연 고장은 2-패턴의 테스트 벡터쌍을 필요로 하는 특성을 가지므로 인해 초기화(initialization) 벡터와 전파(propagation) 벡터의 순서적인 고려가 우선되어야 하며 특히, 경로 지연 고장의 경우는 대상 회로내의 고장수가 일반적으로 stuck-at 고장이나, 게이트 지연 고장, CMOS open/short 고장수와는 달리 게이트수에 지수함수적으로 증가한다. 본 논문에서는 경로 지연 고장을 대상으로 대상 회로내의 메모리소자(Flip-Flop)를 테스트시 MISR로 구성하여 테스트 벡터를 동시에 latching 및 scan 하고 한 개의 테스트 결과가 압축됨과 동시에 그 압축결과가 다음 지연 고장의 테스트 벡터로 사용됨으로 인해 일반 scan 구조를 사용할 때의 테스트 인가 시간을 크게 줄일 수 있다.

## II. BIST를 위한 테스트 패턴 생성

### 2.1 경로 지연 고장 모델

경로 지연 고장 모델이 처음 제시된[4] 이 후 최근에야 많은 연구가 이뤄져 왔다. 경로 지연 고장은 대상으로 하는 경로의 주입력에서 주출력까지의 전파 지연이 회로의 최대 허용 지연 주기보다 크게하는 고장으로 특히, 다른 고장 모델의 특성을 동시에 포함하는 장점을 가지고 있지만 대상회로내의 많은 고장수로 인해 모든 경로의 고장 검출은 현실적으로 불가능하다. 따라서 특정 경로만을 대상(ex. critical path)으로 테스트를 수행하거나 정해진 테스트 벡터 수 만큼만 테스트 하는 방법이 사용되고 있다. 경로 지연 고장의 종류로는 상승 지연(slow-to-rise delay) 및 하강 지연(slow-to-fall delay) 고장이 있고 테스트 벡터쌍으로는 robust 및 non-robust 테스트 벡터가 있다. Robust 테스트 벡터쌍은 대상으로 하는 경로의 지연 고장을 다른 지연고장 또는 Hazard등에 상관없이 반드시 검출하는 테스트를 말하며, non-robust 테스트는 이와는 상반되게 다른 경로의 지연 또는 hazard에 의하여는 검출할 수 없는 테스트를 말한다. 따라서 가능 하면 robust한 테스트 벡터쌍을 생성하는 것이 테스트의 신뢰도를 향상시키는 일이지만, non-robust 테스트보다 그 수가 상당히 적으며, 경로 특성에 따라 존재하지 않는 수도 있다.

### 2.2 일반적인 BIST 방식

다음 그림은 전형적인 BIST 회로를 나타내며, PRPG(Pseudo Random Pattern Generator) 와 MISR 각각이 테스트의 생성과 결과 압축을 담당하게 된다. PRPG에 사용되는 LFSR은 최대  $2^n - 1$  개의 테스트 입력을 생산하며, n은 레지스터내 셀의 수이다.

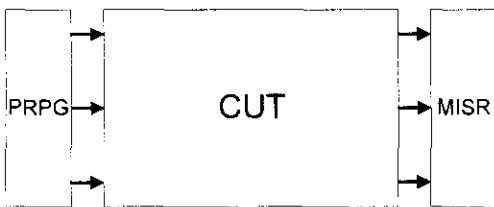


그림 2.1 전형적인 BIST 회로

### 2.3 제안된 방식의 BIST 회로

제안된 방식의 BIST 회로는 입력 패턴으로 LFSR 또는 CAR 등의 의사 랜덤 패턴 생성기를 사용하며, 회로내의 scan 화 될 플립플롭의 연결은 단일 직렬로 연결되며 latch 및 scan 기능을 수행함으로써 결과적으로

로 압축기능과 테스트 생성기능을 동시에 수행한다. 출력단의 기능은 단순한 MISR 기능을 수행한다.

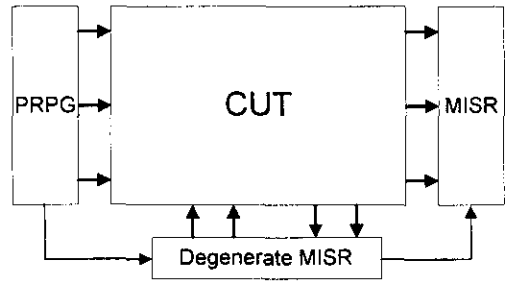


그림 2.2 제안된 BIST 회로

### 2.4 MISR의 Shift Register Cell 과 Aliasing 확률

MISR의 shifter register cell은 정상동작시의 플립플롭 동작과 테스트 모드시의 latching 및 scan 동작을 수행하여야 한다. 그림 2.3은 degenerate MISR내의 Cell 구조로써 단순한 scan기능과 shift 및 압축기능을 수행한다.

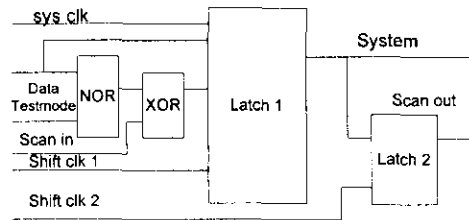


그림 2.3 Shift Register Cell 구조

동작 모드	신호선	상태
정상시	Testmode:high Sys_clk :low/high	parallel input/output
Latching & Shifting	Testmode:low Shift clk1/2: low/high	compaction & generation
Scanning	Testmode:high Shift clk1/2: low/high	Only shifting operation

Aliasing의 발생은 입력 테스트벡터로 인한 출력 결과의 sequence 를 압축하는 과정에서 발생되며, 상대적으로 적은 수의 공간으로 압축하게 됨으로 인해 발생한다. 즉, 잘못된 출력결과가 마치 정상적인 출력 결과(fault free signature)로 나타나게 될 확률을 말한다.

일반적으로 MISR의 구조에서 aliasing의 확률은  $2^{-L}$ 인데, 이때 테스트 수 N은 L(shift register의 길이)보다 상당히 길다라고 가정한다.

제안된 degenerate MISR 구조의 Aliasing의 확률은  $2^{-(L \cdot N)}$ 이다.

### III. 제안하는 Self-Testing 방식

#### 3.1 테스트 생성 및 압축

본 논문에서 제안하는 방식은 의사 랜덤 패턴기로 주 입력에 테스트 벡터를 인가하고 래치된 플립플롭의 결과를 압축함과 동시에 다음 주입력의 테스트 벡터와 동시에 회로에 인가되어 시험하게 된다. 이때 모든 회로내의 플립플롭은 단일 scan화 하여 구성되어 있는데 일반적으로 주입력의 다양한 패턴상의 생성이 2-패턴을 요구하는 지연 고장의 검출에 유리하다. 이러한 실험은 ISCAS'89 회로의 실험 결과에서도 관측되며, 실제로 입력 패턴상으로 인가되어질 MISR의 결과는 입력 테스트간의 correlation을 일으키게 된다. 이 상관관계(correlation)는 실험결과 특히 지연 고장의 효과적인 검출에 있어 부정적인 영향을 미치게 된다.

#### 3.2 Hamming Distance를 고려한 MISR의 재구성

우선 의사(pseudo) 랜덤 벡터를 이용하여 테스트 대상 회로의 주출력 및 의사 출력의 결과를 관측한다. 이때 알 수 있는 것은 입력에 대한 출력값의 변화가 입력에서의 변화만큼 다양하게 발생되지 않는다는 것이다. 따라서 본 실험에서는 1000개의 테스트 벡터를 인가하여 시뮬레이션 하여 본 결과 s838의 경우 34개의 플립플롭 중에서 대부분의 플립플롭의 결과가 '0' <-> '1'의 상태 변화가 없는 것으로 관측되었다. 그러므로 각 의사 입출력의 테스트 인가에 따른 hamming distance의 수를 조사하여 활발하게 논리값의 천이가 이뤄지는 플립플롭을 찾아내어 MISR 구성시 선택된 플립플롭의 위치를 균등하게 배분하여 shifter register가 이뤄지도록 한다.

그림 3.1은 임의의 Full-scan 구조와 재배열된 scan 구조와의 출력 결과를 나타낸다.

이와 같은 절차를 정리하면 다음과 같다.

[Hamming Distance를 고려한 MISR 재배열 절차]

1. 대상회로내의 플립플롭을 단일 scan화 한다
2. 주어진 테스트 벡터로서 대상 회로를 고장 시뮬레이션 한다.
3. 천이가 많이 발생하는 의사 플립플롭을 순서대로 선택한다.
4. 선택된 플립플롭을 전체 플립플롭내에 그 간격이

5. 일정하도록 재배치 시켜 단일 MISR을 구성한다.
5. 재배열된 MISR을 가지고 32bit 병렬 패턴 고장 시뮬레이션을 수행한다.

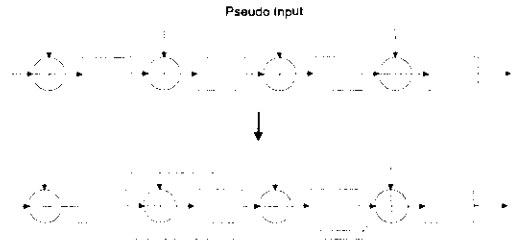


그림 3.1 correlation을 고려한 MISR 배열

#### 3.3 시뮬레이션 방법

본 논문에서 사용된 시뮬레이션 방법으로는 1 word 32bit 각각에 입력 테스트('0' or '1')를 저장하여 동시에 처리하는 levelized 고장 시뮬레이션 방법을 채택하였으며, 이전 시간의 테스트 벡터가 현재 시간의 테스트에 대한 초기화 벡터가 되도록 시뮬레이션 한다. 따라서 100개의 테스트 벡터가 입력된다면 99쌍의 테스트 패턴쌍이 입력되는 결과가 된다. 또한 [4]의 6-논리값을 기본으로 한 Robust 및 Non-robust 테스트를 수행한다.

### IV. 실험 결과

제안한 방식과 그에 따른 알고리즘을 SUN SPARC Workstation 상에서 C언어와 yacc로 구현하여 ISCAS'89회로를 대상으로 실험하였다. 표.4.1은 ISCAS'89 회로의 특성을 나타낸다.

표 4.1 ISCAS'89 회로의 특성

대상 회로	주입력 수	주출력 수	Flip-Flop 수	총 게이트 수
s208	10	1	8	66
s526	3	6	21	140
s838	34	1	32	288
s953	16	23	29	311
s1423	17	5	74	490
s5378	35	179	49	1004

표.4.2에서는 Full-scan으로 구성된 Flip-Flop중에서 가장 천이가 많이 일어나는 플립플롭들을 선택하여 구성된 MISR의 평균 H/D(Hamming Distance)의 수치를 나타낸다. 마지막 열의 A1(A2)은 평균적으로 발생될 1과 0의 천이 수이다. 즉, s208의 A1 1.0은 8개 플립플롭중 평균 1개만이 1<->0의 천이를 의미한다. 반

면 A2값 4.0은 재배열후 8개 플립플롭중에서 50%인 4개가 다음 패턴에서 논리값이 천이될 확률을 의미한다.

표 4.2 재배열에 사용될 플립플롭의 수

대상 회로	Flip-Flop 수	선택된 Flip-Flop수 (선택범위 :상위부터)	선택된 F/F의 평균 H/D	미선택된 F/F의 평균 H/D	재배열 전/후 A1(A2)
s208	8	3	872	119	1.0(4.0)
s526	21	7	431	169	3.2(15.9)
s838	32	4	953	58	1.0(15.8)
s953	29	6	315	61	3.3(20.5)
s1423	74	35	266	11	9.8(36.5)
s5378	179	37	786	146	49.8(124)

표4.3은 표4.2에 의한 테스트 결과로써 제안된 방법이 보다 효율적으로 더 많은 경로 지연 고장을 검출할 수 있음을 나타낸다. 테스트 벡터의 수는 1,000개를 사용하였다. 표에서 나타난 바와 같이 플립플롭의 수가 증가할수록 재배열된 테스트 벡터가 효과적임을 알 수 있다.

표4.3 Robust/Non-robust하게 검출되는 고장 수

대상 회로	Non Ordering		Ordering	
	Robust	Non-robust	Robust	Non-robust
s208	120	2144	118	2311
s526	278	4722	356	5808
s838	177	3133	190	3200
s953	333	8466	535	12455
s1423	1123	39249	1145	41981
s5378	1660	103179	2114	116192

표4.4 Full-scan 방법과의 비교

대상 회로	Full-scan		제안된 방법	
	Robust	Non-robust	Robust	Non-robust
s208	127	2309	118	2311
s526	380	6037	356	5808
s838	189	3255	190	3200
s953	605	13441	535	12455
s1423	1131	42613	1157	41981
s5378	2184	113113	2114	116192

표4.4는 일반적인 Full-scan 방법과의 비교 실험으로서 제안된 방법이 테스트 결과의 압축을 수행하면서도 Full-scan방법과 매우 근사한 고장 검출율을 보인다. Full-scan방법에서는 다양한 유형의 테스트 입력을 인가할 수는 있지만 테스트 시간의 증가로 인해 총 테스트 비용의 증가를 가져 온다. 즉, 테스트 인가 시간은 회로내 scan화 된 플립플롭 총 수에 비례하여 증가됨으로 대상회로내 레지스터의 수가 L개 라면 제안된 테스트 방법과 비해 L배 만큼 비례하여 증가하게 된다.

### V. 결론

본 논문에서는 경로 지연 고장 검출을 위한 BIST 회로를 제안 하였다. BIST 회로는 테스트 입력부와 압축부로 구성되며, 회로내 압축부는 동시에 테스트 입력을 생성하기 때문에 테스트 시간을 효과적으로 단축시킬 수 있다. 제안된 방식은 scan 구성시 Hamming Distance 정보를 이용하여 MISR을 구성하도록 하였으며, 이를 위한 scan cell을 제안 하였다. 시뮬레이션 결과 제안된 방식의 테스트 방법이 효과적임을 알 수 있었으며, 단일 직렬 scan 회로로 구성되었음에도 불구하고 다양한 유형의 입력 테스트 패턴쌍을 생성할 수 있었다. 향후 다중 MISR 의 구성 방법과 weighted random pattern logic의 적용이 가능할 것으로 사료된다.

### VI. 참고문헌

- [1] E. J. McClusky, "Built-In Self-Test Techniques," IEEE Design and Test of Computers, pp. 21-28, April 1985.
- [2] Dariusz Badura and Andrzej Hlawiczka, "Low Cost BIST for EDAC Circuits," ASIAN TEST Symposium '97
- [3] S. Venkataraman, J. Rajski, S. Hellebrand and S. Tarnick, "An Efficient BIST Scheme Based on Reseeding of Multiple Polynomial Linear Feedback Shift Registers", ICCAD, pp. 572-577, 1993
- [4] G. L. Smith, "Model for Delay Faults based upon Path," Proc. Int. Test Conf., pp.342-349, 1985
- [5] P. H. Bardell and W. H. McAnney and J. Savir, *Built-In Test for VLSI: Pseudorandom Techniques*, John Wiley and Sons, New York, 1987