

개선된 Control Circuit 과 Sense Amplifier 를 갖는 고속동작 Embedded SRAM 의 설계

김진국, 장일권, 꺾계달

한양대학교 전자공학과

133-791 서울시 성동구 행당동 17

jkkim@shira.hanyang.ac.kr

A High Speed Embedded SRAM with Improved Control Circuit and Sense Amplifier

Jin-Kook Kim, Il-Kwon Chang, Kae-Dal Kwack

Dept. of Electronic engineering, Hanyang University

Haengdang-dong, 17 Sungdong-gu, Seoul, Korea 133-791

jkkim@shira.hanyang.ac.kr

Abstract

This paper describes the development of 5.15ns 32kb asynchronous CMOS SRAM using 0.6 μ m CMOS technology. The proposed high speed embedded SRAM is realized with optimized control circuit and sense amplifier at a power supply of 3V. Using proposed control circuit, the delay time from address input to wordline 'on' is reduced by 33% and mismatch-insensitive sense amplifier can sense a small difference of bit-line voltage fast and stably.

I. 서 론

최근 슈퍼 컴퓨터나 워크 스테이션에 쓰이는 마이크로 프로세서의 성능이 급속히 향상되면서 마이크로 프로세서의 동작에 필수적인 캐쉬(cache)의 역할을 하는 SRAM의 성능 향상이 중요한 문제로 대두되고 있다.

SRAM의 성능향상을 위해서 Bit-Line Equalization 과 Precharge 회로의 사용이나 뛰어난 센싱 능력을 갖는 센스 앰플리파이어의 사용, I/O 버퍼의 개선 등의 방법이 사용되었다[1][2]. 이러한 방법들의 사용으로 SRAM의 Access Time이 많이 향상되었으나 시스템을 제어하는 컨트롤 회로의 향상 없이는 더 이상의 속도향상을 기대하기가 힘들어졌다. 또한 단지 빠른 센싱 능력을 가진 센스 앰플리파이어의 사용보다는 오동작 없이 안정적으로 동작할 수 있는 센스 앰플리파이어의 사용이

부각되고 있다.[3]

본 논문에서는 고속동작 Embedded SRAM을 구현하기 위한 최적화된 컨트롤 회로의 개발과 안정한 센싱 능력을 갖는 센스 앰플리파이어를 제안하였다.

II. 회로 설계

Asynchronous SRAM의 블록도를 그림 1에 나타내었다. 각 블록들의 기능은 다음과 같다. 어드레스 버퍼에서는 어드레스를 받아서 인가된 값을 유지하는 동시에 ATD(Address Transition Detector)회로에 의해서 ATD 펄스(pulse)를 발생시킨다. 컨트롤 회로에서는 생성된 ATD 펄스를 받아 들어 디코딩 타이밍(decoding timing)을 조절하고 센스 앰플리파이어를 작동시키는 sense 신호를 발생시키는 등 시스템 전체를 구동하는 제어신호들을 만들어낸다. X-, Y-decoder는 어드레스에 해당하는 메모리 셀(memory cell)을 선택하는 역할을 하고 센스 앰플리파이어는 선택된 셀의 데이터를 판별해내는 기능을 가진다. 판별된 데이터는 출력 버퍼를 통해서 외부로 보내지게 된다.

SRAM의 Access Time은 어드레스 버퍼에서 디코더, 메모리 셀을 지나서 센스 앰플리파이어와 출력 버퍼로 이어지는 Critical Path에 의해서 결정되는데 이중에서 디코딩을 결정하는 컨트롤 회로와 데이터 판별을 위한

센스 앰플리파이어가 소모하는 시간이 가장 크게 된다. 따라서 이 두 회로의 최적화가 Access Time 을 줄이는데 결정적인 역할을 하게 된다.

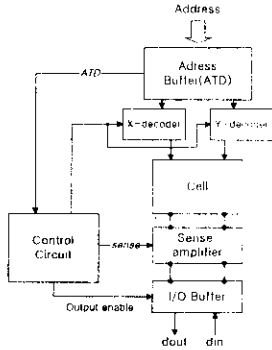


그림 1. SRAM 의 블록도

1. 컨트롤 회로

컨트롤 회로는 ATD 에서 발생한 펄스를 이용하여 제어신호를 만드는데 이 제어신호는 단일 펄스의 형태 이면서 읽기 동작일 때와 쓰기 동작일 때 각각 다른 펄스폭을 가져야 한다. 일반적으로, 쓰기 동작이 읽기 동작보다 넓은 펄스폭을 사용해야 하는데 이는 메모리 셀에 데이터를 쓰기에 충분한 시간을 주기 위함이다.

제안하는 컨트롤 회로는 위에서 언급한 사항을 만족시키면서 빠른 제어신호를 생성 할 수 있다. 제어신호를 만들기 위해서는 래치를 사용하는데 이는 외부에서 다른 입력을 주지 않는 한 자신의 값을 일정하게 유지하는 특징을 이용한 것이다. 따라서 ATD 신호와 다른 제어신호를 이용하여 래치 추위의 다른 회로를 구동시켜서 래치가 갖는 값을 변화 시킴으로써 원하는 제어 펄스를 얻어낼 수 있다. 컨트롤 회로는 기본적으로 Negative ATD 신호를 받아서 동작을 시작하기 때문에 빠른 동작을 위해서는 ATD 신호가 처음으로 변하는 순간, 즉 'high'에서 'low'로 떨어질 때 제어신호를 만들도록 하였다. 또한 읽기 동작과 쓰기 동작을 구별해 주

는 wenb 신호를 입력으로 받아들여서 읽기, 쓰기 펄스의 폭을 조절할 수 있다.

제안하는 컨트롤 회로와 읽기 타이밍도는 각각 그림 2와 그림 3에 나타내었다. 타이밍도에서 latch_set 신호는 ATD 신호에 의해 생성된 출력 신호를 지연시켜서 만들게 되는데 이 신호는 천이된 출력신호를 재 천이시켜서 출력신호를 펄스 형태로 만드는 역할을 한다.

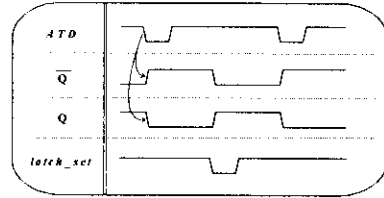


그림 3. 제안하는 컨트롤 회로의 읽기 타이밍도

쓰기 동작시 타이밍도는 그림 4에 나타나 있다. wenb 신호가 변화되면 ATD 신호를 만들게 되고 읽기 동작과 같은 원리로 래치는 리셋 되지만 wenb 가 'low'의 값을 갖게 되므로 latch_set 신호가 인가되어도 래치는 리셋을 유지하게 된다. 쓰기 동작이 끝날 때, ATD 펄스의 'low'가 M1을 ON 시키게 되고 지연회로에서 만들어진 A 신호에 의해 M2도 ON 되므로 리셋상태의 래치를 셋상태로 바꾸어서 펄스신호를 만들게 된다. 즉, 쓰기 동작에서 제어펄스의 폭은 wenb 신호의 폭과 비슷한 넓은 펄스폭을 갖게 된다.

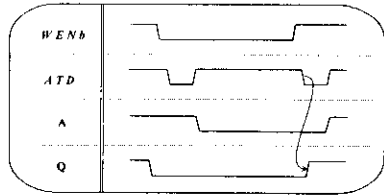


그림 4. 제안하는 컨트롤 회로의 쓰기 타이밍도

2. 센스 앰플리파이어

SRAM에서는 일반적인 센스 앰플리파이어로 전류미러 구조를 이용하거나 더욱 향상된 센싱 능력을 갖는 PMOS Cross-Coupled 센스 앰플리파이어를 사용한다 [4]. 그러나 고속 SRAM에서는 빠른 센싱 동작을 위해서 이들을 다단구조로 만들어 사용하는데 이런 다단구조는 회로의 부피가 커지게 되고 제어신호의 생성이 복잡하다는 단점을 갖게 된다. 따라서 근래에는 다단구조를 사용하지 않으면서 빠른 센싱 능력을 보이는 그림 5과 같은 단순한 래치 형태의 센스 앰플리파이어가

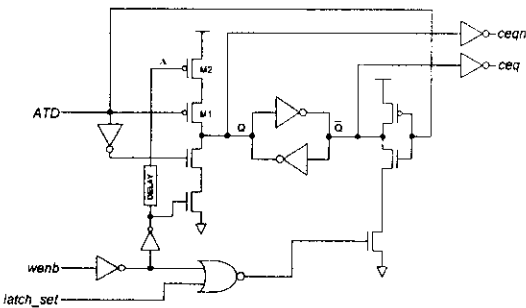


그림 2. 제안하는 컨트롤 회로

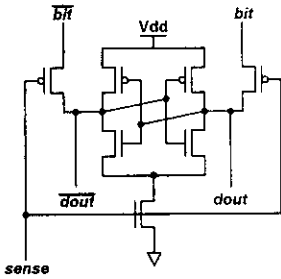


그림 5. 래치 센스 앰플리파이어

이용되고 있다[5]. 그러나 이런 래치 형태의 센스 앰플리파이어를 사용했을 때에는 MOS 쌍에 생길 수 있는 부정합이 문제를 일으키게 된다.

MOS 소자들의 특성이 정확히 일치하지 않으면 센싱 능력의 저하, 또는 잘못된 센싱을 하게 된다. 미세공정으로 들어갈수록 부정합이 심하게 되는데 이런 문제점을 피하기 위해서 Bit-Line 간의 전압차가 센싱하기에 충분할 정도로 커졌을 때까지 기다렸다가 센스 앰플리파이어를 작동시키게 된다. 이런 부정합의 문제로 인해 SRAM의 센싱시간은 증가하게 된다

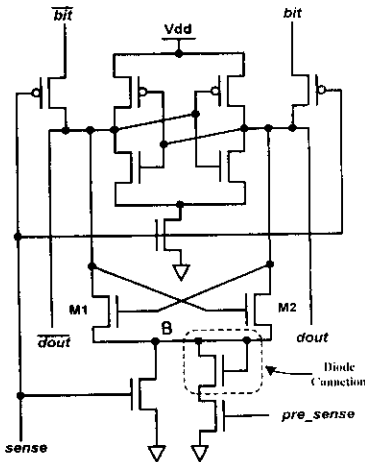


그림 6. 제안하는 센스 앰플리파이어

제안한 센스 앰플리파이어는 이런 문제점을 해결하기 위해 작은 전압차이에서도 안정된 센싱 능력을 갖도록 설계했다. 그림 6은 제안하는 센스 앰플리파이어를 나타내었다. 제안하는 센스 앰플리파이어는 기존의 래치 센스 앰플리파이어에 프리센싱(presensing)단을 덧붙인 형태이다. 래치단은 0.6 μm 의 게이트 길이(gate length)를 갖는 NMOS 쌍과 PMOS 쌍으로 구성된다. 래치단의 MOS 쌍에는 부정합의 발생을 고려한 레이아웃 기법을 사용하여 부정합의 영향을 약 10mV의 Offset

진입과 약 2%의 게이트 길이 부정합으로 제한하였다 [6]. 프리센싱단은 M1, M2의 NMOS 구동단과 다이오드 연결로 이루어진다. NMOS 구동단은 M1과 M2에 레이아웃 기법[3]을 사용하면서 게이트 길이를 1.0 μm 까지 늘려주어서 부정합의 발생을 최대한 억제하였다.

프리센싱단에서는 다이오드 연결이 중요한 역할을 한다. 이 다이오드 연결은 워드라인이 활성화 되어 Bit-Line의 전압에 차이가 생기기 시작할 때 *pre_sense* 신호에 의해서 동작을 시작한다. 이 다이오드 연결을 통해서 Bit-Line에서 M1, M2로 전류가 흐르게 되고 이 전류는 NMOS Cross Couple에 의해 전류차이가 생기게 된다. 이 전류차이에 의해서 래치 입력단에 전압차이가 발생하는데 이 전압차이는 기존의 래치 앰플리파이어의 래치 입력단에서 생기는 전압차이보다 크게 된다. 그러므로 래치단에 부정합이 발생하여도 프리센싱단에서 안정적으로 만들어준 전압차이로 인해서 지연이나 오류 없이 빠르게 센싱할 수 있다. 또한 다이오드 연결이 활성화되면 공통 소스 B의 전압이 2.2V에서 약 1.3V 정도의 일정한 값으로 떨어지기 때문에 *sense* 신호가 인가되면 B의 전압을 빨리 0V로 떨어뜨리게 되어 M1과 M2가 래치형 센스 앰플리파이어의 NMOS 쌍보다 빨리 동작하게 된다.

III. 시뮬레이션 결과 및 고찰

정확한 시뮬레이션을 위해서 제안한 회로를 실제 SRAM에 탑재하고 Critical Path를 추출한 후 0.6 μm 파라미터를 사용하여 HSPICE로 시뮬레이션을 하였다. 그림 7은 Bit-Line 전압차와 Offset 전압에 따른 센싱 속도를 비교하였다. 센싱지연시간은 *sense* 신호가 1.5V 될 때부터 센스 앰플리파이어의 출력이 1V 될 때까지의 시간으로 정의하였다. 그림 8은 래치에서 게이트 길이의 부정합에 따른 센싱 속도의 비교를 나타내고 있다. 제안한 센스 앰플리파이어는 V_{OFF} 와 게이트 길이변화에도 거의 일정한 지연시간을 갖는 것을 보여준다. 그림 9는 bit line 전압차가 40mV일 때 제안한 센스 앰플리파이어의 동작 파형이다.

IV. 결론

본 논문에서는 개선된 컨트롤 회로와 센스 앰플리파이어를 사용한 비동기 SRAM 설계에 관하여 연구하였다. 컨트롤 회로의 개선으로 어드레스 입력에서 워드라인 on까지의 지연시간은 4.61ns에서 3.11ns로 1.5ns의 향상을 가져왔고 부정합에 강한 센스 앰플리파이어의 사용으로 *sense* 신호를 기존의 회로보다 3.55ns나 빨리 인가하여 작은 전압차에서 안정한 센싱을 하였다. 따라

서 중 액세스 시간은 8.51ns에서 5.15ns로 39%의 향상
을 보였다.

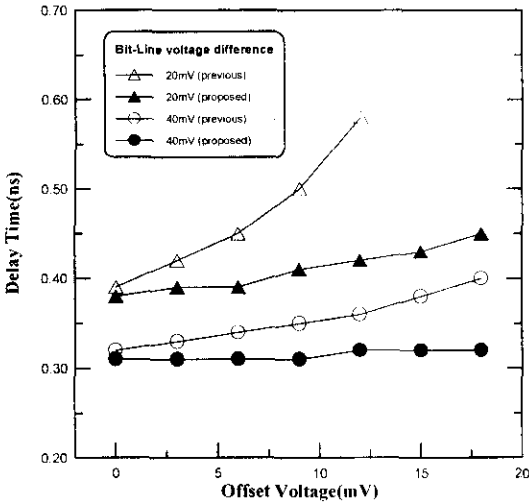


그림 7. V_{OFF} 부정합 비교

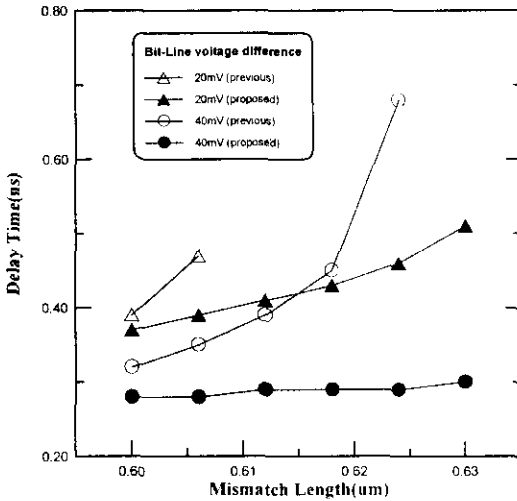


그림 8. 게이트 길이 부정합 비교

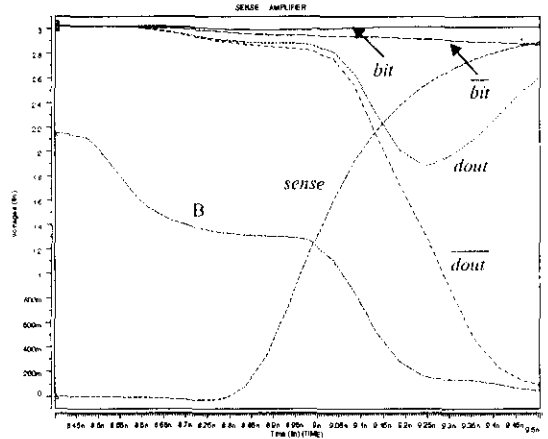


그림 9. 제안하는 센스 앰플리파이어의 동작 파형

참고 문헌

- [1] Katsuro Sasaki, et al., "A 7-ns 140-mW 1-Mb CMOS SRAM with Current Sense Amplifier," *IEEE J.Solid-State Circuits*, vol.27, pp. 1511-1517, Nov. 1992
- [2] Teruo Seki, et al., "A 6-ns 1-Mb CMOS SRAM with Latched Sense Amplifier," *IEEE J.Solid-State Circuits*, pp.478-483, Apr. 1993.
- [3] K.Ishibashi, et al., "A 12.5-ns 16-Mb CMOS SRAM with Common Centroid-Geometry-Layout Sense Amplifiers," *IEEE J.Solid-State Circuits*, vol.29, pp.411-416, April 1994
- [4] K.Sasaki, et al., "A 9-ns 1-Mbit CMOS SRAM," *IEEE J.Solid-State Circuits*, vol.24, pp. 1219-1225, Oct 1989..
- [5] Hiroyuki Mizuno, et al., "A 1V 100MHz 10mW Cache using Separated Bit-Line Memory Hierarchy and Domino Tag Comparators," *ISSCC*, pp.152, 1996
- [6] H. Yamauchi, et al., "A Circuit Design to Suppress Asymmetrical Characteristics in High-Density DRAM Sense Amplifiers," *IEEE J. Solid-State Circuit*, vol. 25, pp.36-41, Feb. 1990