

저전력 DRAM 구현을 위한 Boosted Voltage Generator에 관한 연구

이승훈, 주종두, *진상언, **신홍재, 곽계달
한양대학교 전자공학과, *LG전자, **오리온전기
133-791 서울시 성동구 행당동 17번지
blackout@hymail.hanyang.ac.kr

A Study on the Design of the Boosted Voltage Generator For Low Power DRAM

Seung-Hoon Lee, Jong-Doo Joo, *Sang-Un Jin, **Hong-Jae Shin, Kae-Dal Kwack
Dept. Electronic Engineering, Hanyang University, *LG Electronics, **Orion Electric Co., Ltd
17 Haengdang-Dong Sungdong-Gu Seoul Korea 133-791

Abstract

In this paper, a new scheme of a Boosted Voltage Generator (BVG) is designed for low power DRAM's. The designed BVG can supply stable V_{pp} using a new circuit operation method. This method controls charge pumping capability by switching the supply voltage and ring oscillator frequency of driving circuit, so the BVG can save area and reduce the power dissipation during V_{pp} maintaining period. The charge pumping circuit of the BVG suffers no V_T loss and is to be applicable to low-voltage DRAM's. V_{pp} level detecting circuit can detect constant value of V_{pp} against temperature variation. The level of V_{pp} varies $-0.55\% \sim 0.089\%$ during its maintaining period. Charge pumping circuit can make V_{pp} level up to 2.95V with $V_{cc}=1.5V$. The detecting level of V_{pp} level detecting circuit changes $-0.34\% \sim 0.01\%$ as temperature varies from -20 to $80^\circ C$. The power dissipation during V_{pp} maintaining period is 4.1mW.

I. 서론

DRAM의 최근 연구 동향은 Gb급 DRAM이 개발되고 있고 집적도 향상을 위한 연구가 계속되고 있다. 집적도 향상을 위해 트랜지스터의 미세화가 진행되고 있으며, 저전력 소모 DRAM구현을 위해 동작 전압 스케일링은 소자의 구조가 미세화 됨에 따라 점점 작아져 왔다[1]. 그러나, DRAM의 집적도가 높아짐에 따라 기판(Substrate) 농도와 Well 농도가 증가하게 되었고, 이에 따른 바나 효과(바나 효과)의 영향이 커지고 있다.[2] 이것으로 문턱 전압(V_T)값은 가지게 된다.

또한 메모리 셀의 트랜지스터인 경우, Narrow Width Effect와 바나 효과가 크고, 고농도로 Implantation된 Channel Stop이 근접해 있어서 이에 대한 영향으로 V_T 값이 상대적으로 크며 또한 공정에 따른 변동도 크게 된다. 점점 저전력화 구현을 위해 공급 전원 전압을 낮추게 되는데, 이 영향으로 상대적으로 V_T 의 손실이 큰 부분을 차지하게 되고, Data 입출력 속도의 감소 및 센싱 동작시의 전력 소모가 증가하게 된다. 그리고, 동작 전압이 감소하면 이러한 회로의 불안정 요인은 더 크게 나타난다[3]. 이러한 영향들을 줄여주기 위해 BVG의 중요성이 증가하고 있다.

기존의 회로는 Ring Oscillator, Driving 회로, Charge Pumping 회로, 그리고 V_{pp} 전압 검출(V_{pp} Level Detecting) 회로로 구성 되어 있다. V_{pp} 전압 유지시의 오실레이션으로 인하여 V_{pp} 전압이 불안정해지고, 온도 변화에 대하여 V_{pp} 전압 검출 회로가 일정한 V_{pp} 전압을 검출하지 못하는 문제점이 있다. 또한 Active Mode 와 Stand-by Mode에서 각각의 회로가 필요하므로, 면적을 많이 차지하고 전력소모도 크게 된다[4].

본 논문에서는 기존 회로의 단점을 보완하여, 온도와 낮은 공급전압에 대해서 안정한 V_{pp} Level을 공급 할 수 있는 새로운 구조의 BVG를 연구하였다.

II. Charge Pumping 회로의 동작 원리

그림 1과 그림 4는 각각 제안하는 Charge Pumping 회로와 Block diagram을 나타내고 있다.

먼저 그림 1.을 보면, Charge Pumping Capacitor C_{p1} 과 C_{p2} 는 Q3와 Q4에 의해 $V_{CC} - V_{TN}$ 로 Precharge가 되어진 후, Clock Φ 가 Low에서 High로, Clock $\bar{\Phi}$ 는 High에서 Low로 전이한다. 이때 Node N1과 N2는 커패시터 결합(Capacitive Coupling)에 의해 $2V_{CC} - V_{TN}$ 와 $-V_{TN}$ 의 전압을 가지게 된다.

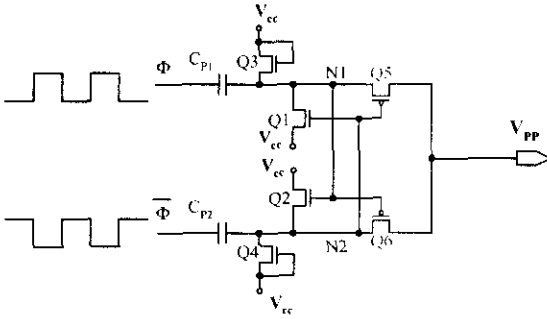


그림 1. 제안된 Charge Pumping 회로

이 경우 Q5의 V_{GS} 가 $-2V_{CC}$ 이다. 그래서, Q1은 V_{GS} 가 $-2V_{CC}$ 이므로 ON상태가 되어 $2V_{CC} - V_{TN}$ 상태인 Node N1을 Load Capacitor C_L 과 연결시켜 주어 C_{p1} 과의 Charge Sharing에 의해 전압을 높여 준다. Q6의 V_{GS} 는 $2V_{CC} - V_{TN}$ 이므로 OFF상태가 되어, 0상태인 Node N2를 Load Capacitor C_L 과 분리시켜준다. 그리고, Q2의 Gate에 $2V_{CC} - V_{TN}$ 이라는 V_{CC} 보다 큰 전압이 인가 되므로 ON상태가 되어 Pumping Capacitor C_{p2} 에 V_{CC} 로 Precharge 시켜주고, Q1의 Gate에 $-V_{TN}$ 이라는 전압이 인가 되므로 OFF상태가 되지만, Q3가 ON이 되어 C_{p1} 에 $V_{CC} - V_{TN}$ 으로 Precharge를 시켜준다.

Clock Φ 가 High에서 Low로 전이하고, $\bar{\Phi}$ 가 Low에서 High로 전이할 때에는, 위와 반대로 Node N1과 Node N2는 Capacitive Coupling에 의해 $-V_{TN}$ 과 $2V_{CC}$ 의 전압을 가지게 된다. 이 경우 Q5의 V_{GS} 가 $2V_{CC} + V_{TN}$ 이므로 OFF상태가 되어 Load Capacitor C_L 과 Node N1을 분리시켜주며, Q1의 Gate에 $2V_{CC}$ 가 걸리게 되므로, C_{p1} 에 V_T 손실없이 V_{CC} 로 Precharge 시켜주어 다음 Clock이 들어오면, Charge Pumping 동작을 수행할 준비를 한다. Q6의 V_{GS} 는 $-2V_{CC}$ 이므로 ON상태가 되어 $2V_{CC}$ 상태인 Node N2를 Load Capacitor C_L 과 연결시켜주어 C_{p2} 와의 Charge Sharing에 의해 전압을 높여 주며 Q2의 Gate에는 0전압이 걸리게 되므로 OFF상태가 된다. 그러나 Q4가 ON이 되어 C_{p2} 에 $V_{CC} - V_{TN}$ 으로 Precharge 시켜준다.

위와 같은 동작을 반복하면서 Charge Pumping 회로는 V_T 의 손실이 없고, 공급 전압에 상관없이 $2V_{CC}$ 까지 전압을 상승 시켜 준다.

III. 안정한 V_{PP} Level 유지 방법

기존의 BVG는 Pumping 능력이 될수록 같은 시간 내에 Load Capacitor C_L 에 공급되는 정공의 양이 많으므로, 레벨 유지 시의 Level 변동폭이 커지고, 온도에 따른 불안정성으로 인하여 안정된 V_{PP} 전압을 공급하지 못한다. 그리고, Pumping능력을 조절하기 위해, 모두 추가적인 회로를 사용하므로 면적이 커지는 단점이 있다[5][6].

제안하는 BVG는 이러한 문제점을 개선하여 안정된 V_{PP} 전압을 공급하기 위해, 두개의 V_{PP} 전압 검출 회로를 사용해서 원하는 V_{PP} 전압 레벨 근처에서 간단한 스위칭 동작으로 구동회로의 공급전압을 외부 전압인 3.3V에서 2.1V의 내부 전압으로 바꾸어 주는 방식을 제안하였다.

그러나, Chip이 활성화 될 때, 공급 전압을 낮추어 주므로 생기는 Pumping 능력의 감소 현상은 V_{PP} Level 을 보상하는데 시간이 많이 걸리고, 안정적으로 유지하는데 어려움이 있다.

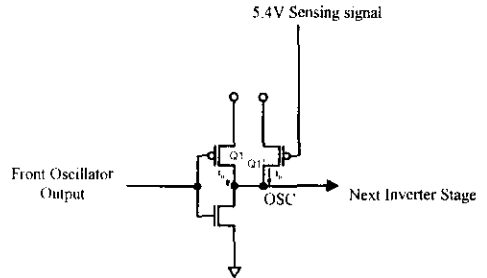


그림 2. Ring Oscillator주기 변환 회로

이런 문제점을 해결하기 위해 Ring Oscillator 의 주기를 그림 2.에서 보는 바와 같이 간단한 스위칭 동작으로 Ring Oscillator의 주기를 100ns 에서 80ns로 빠르게 해주어 V_{PP} Level의 변동에 신속하게 대처하도록 하였다.

따라서, 간단한 스위칭만으로 Pumping 능력을 조절하므로, V_{PP} 전압 유지시의 전력 소모를 줄일 수 있고, 기존 회로에 비해 면적을 줄일 수 있다. 그리고, 안정된 V_{PP} 전압을 공급 할 수 있다.

IV. 온도 보상된 V_{PP} Level Detector

기존의 BVG는 V_{PP} 전압 검출 회로를 이용하여 V_{PP} 전압 값을 조절 가능하므로 널리 사용되어 왔다.[6] Level Monitor형 BVG가 DRAM에서 요구되는 V_{PP} 전압을 공급하기 위해서는 V_{PP} 전압 검출 회로가 V_{PP} 전압을 정확히 검출해

주어야 한다. 그러나, 일정한 바이어스 전압을 사용하는 기존의 검출 회로는 온도가 증가함에 따라 V_{pp} 전압 검출 레벨이 점점 낮아지는 특성을 나타낸다. 즉, -20°C 에서 80°C 까지의 100°C 온도 변화에 대해 검출 레벨이 $+4.80\% \sim -6.07\%$ 까지 변화하므로, 회로 전체가 온도 변화에 대해 안정된 V_{pp} 전압을 공급하지 못한다.

제안된 V_{pp} 전압 검출 회로는 일정한 바이어스 전압을 사용하는 기존의 회로와 달리 온도에 따라 증가하는 값을 가지는 바이어스 전압을 사용하여 온도 변화에 대해 일정한 V_{pp} 전압을 검출할 수 있도록 하였다. 바이어스단의 출력 전압이 야래 식과 같고 온도 증가에 따라 증가하는 값을 가진다.

$$V_{\text{bias}} = V_{\text{TN}} + 2\sqrt{\frac{2I_{\text{REF}} \cdot L_{n3}}{\mu_{n1} \cdot C_{\text{ox}} \cdot W_{n3}}}$$

이와 같이, 양의 온도 계수를 가지는 바이어스 전압을 사용하여 PMOS Q1에서 센싱 노드 SN으로 흘러 들어오는 전류의 양을 조절하는 방식으로 온도 변화에 대해 5.4V 그리고, 5.5V의 일정한 V_{pp} Level을 검출해 낼 수 있도록 하였다. 그림 5.는 제안된 Level Detector의 온도 특성을 나타내고 있다.

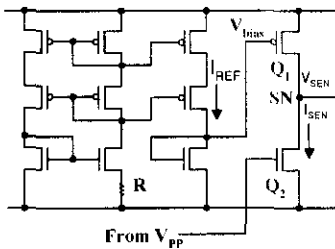


그림 3. 온도 보상된 V_{pp} Level Detector

V. Simulation 통한 성능 검증

설계된 BVG는 현대 $0.8\mu\text{m}$ 공정 Parameter를 사용한 HSPICE를 이용하였다. 시뮬레이션 결과, V_{pp} 전압 유지시 V_{pp} 전압의 변화는 $-0.55\% \sim 0.089\%$ 였고, Charge Pumping 회로는 1.5V의 공급 전압을 사용하여 2.95V까지 V_{pp} 전압을 만들어 낼 수 있었고, 기존의 회로보다 약 1.3배의 속도 향상을 보였으며, Oscillator의 주파수를 빠르게 하여 V_{pp} 전압이 변화 할 때, 빠르게 전압 Level을 복원 할 수 있었다. 온도 변화에 대한 Level Detecting 회로의 검출 Level의 변화는 $-0.34\% \sim 0.01\%$ 이었다. Level 유지시의 전력 소모는 4.1mW였다. 그림 7, 8은 제안된 Charge pumping 회로의 시뮬레이션의 결과로써 V_{CC} 로부터 전압 손실 없이 $2V_{CC}$ 로 승압된 전압을 만들어 내는 것을 보여준다. 그림 9.와 같이 Level을 유지 할 때, V_{pp} Level의 변화폭을 줄여주어 안정된 V_{pp} 전압 Level을 유지하고 있다. 그림 6.은 BVG의 성능을 가늠해 볼 수 있는 요소인 공급 전압에 따른 Pumping

Ratio(V_{pp}/V_{CC})를 보여주고 있는데, 공급 전압에 따라 거의 일정하게 2를 유지하고 있다.

VI. 결론

본 논문에서는 저전력 DRAM 구현을 위한 새로운 구조의 BVG를 설계하였다. 제안한 회로는 구동전압 스위칭 방법으로 V_{pp} 전압 유지 시, 오실레이션을 최소화하고, Oscillator의 주파수를 스위칭 방법으로 간단하게 바꾸어 주므로 V_{pp} 전압의 변화에 대해 빠르고, 안정되게 V_{pp} 전압을 공급할 수 있으며, 온도 변화에 대해 일정한 V_{pp} 전압을 공급한다. 그리고, 구동 회로에서의 전력 소모를 줄일 수 있다. 또한, V_1 전압 강하가 없고 펌핑 효율이 높은 Charge Pumping 회로를 사용하여 낮은 공급 전압을 사용하는 DRAM에도 적용 가능하도록 하였다.

참고 문헌

- [1] Y. Nakagome, H. Tanaka, K. Takeuchi, E. Kume, Y. Watanabe, T. Kaga, Y. Kawamoto, F. Murai, R. Izawa, D. Hisamoto, T. Kisu, T. Nishida, E. Takeda and K. Itoh, "An Experimental 1.5V 64Mb DRAM," *IEEE Journal of Solid-State Circuits*, vol. 26, no. 4, pp. 456-471, April 1991.
- [2] M. Aoki, J. Etoh, K. Itoh, S. Kimura and Y. Kawamoto, "A 5V DRAM for Battery-Based Applications," *IEEE Journal of Solid-State Circuits*, vol. 24, no. 5, pp. 1206-1212, October 1989.
- [3] S. Wolf, *Silicon Processing for the VLSI Era*, vol. 2, Lattice Press, 1990.
- [4] 유 회 준, *DRAM Design*, 홍릉 과학출판사, 1996
- [5] Y. Nakagome, Y. Kawamoto, H. Tanaka*, K. Takeuchi, E. Kume, Y. Watanabe*, T. Kaga, F. Murai, R. Hisamoto, T. Kisu*, T. Nishida, E. Takeda and K. Itoh, "A 1.5V Circuit Technology for 64Mb DRAM's", *Symposium on VLSI Circuits*, pp. 17-18, 1990.
- [6] John K. Buchanan, Tempe, Ariz, "MOS DC Voltage Booster Circuit", *United State Patent*, no. 3,942,047, Mar. 2, 1976.

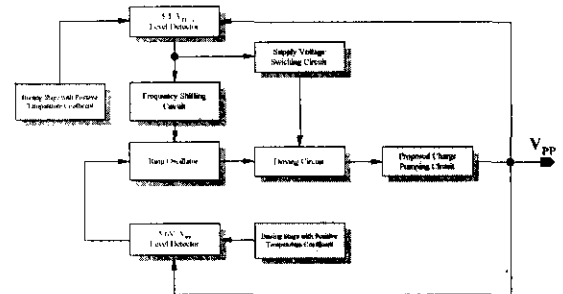


그림 4. 제안한 회로의 Block Diagram

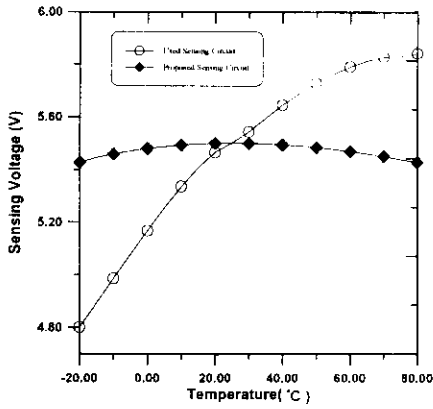


그림 5. Level Detector의 온도 특성

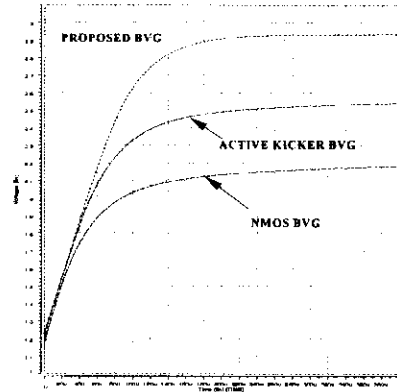


그림 8. 공급 전압이 1.5V일 경우

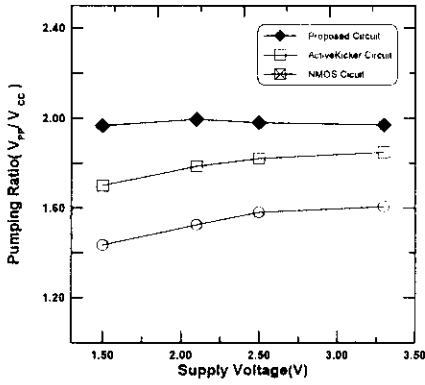


그림 6. 공급 전압에 따른 Pumping Ratio

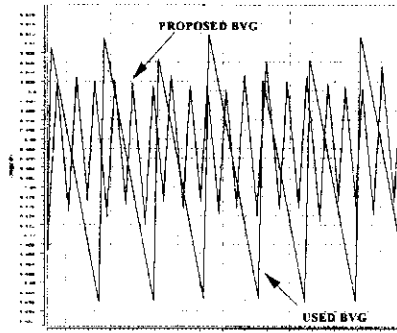


그림 9. 출력 전압의 Oscillation 정도 비교

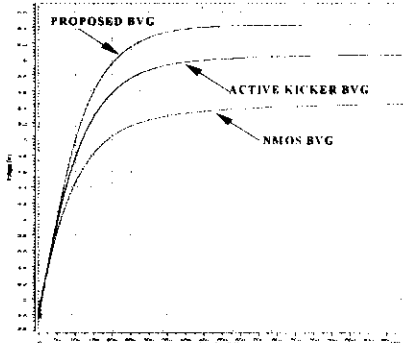


그림 7. 공급 전압이 3.3V일 경우

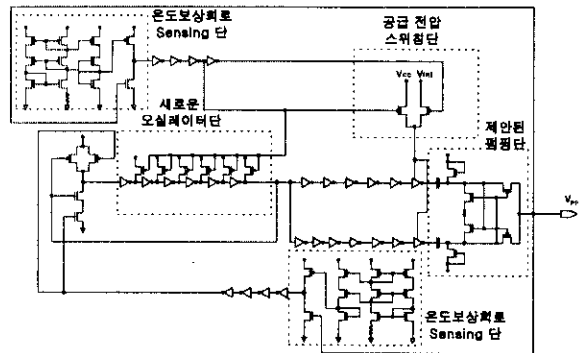


그림 10. 제안된 BVG의 전체 회로도