

3.3V-65MHz 12비트 CMOS 전류구동 D/A 변환기 설계

류 기 홍 , 윤 광 섭

인하대학교 전자공학과 아날로그 회로설계 연구실

402-751 인천광역시 남구 용현동 253

g9711117@inhavision.inha.ac.kr

A 3.3V-65MHZ 12BIT CMOS Current-mode DIGITAL TO ANALOG CONVERTER

Ki Hong Ryu , Kwang Sub Yoon

Dept. of Electronic Eng. Inha University

253 Younghyundong Nam-Gu Incheon Korea 402-751

g9711117@inhavision.inha.ac.kr

ABSTRACT

This paper describes a 3.3V-65MHz 12BIT CMOS current-mode DAC designed with a 8 MSB current matrix stage and a 4 LSB binary weighting stage. The linearity errors caused by a voltage drop of the ground line and a threshold voltage mismatch of transistors have been reduced by the symmetrical routing method with ground line and the tree structure bias circuit, respectively. In order to realize a low glitch energy, a cascode current switch has been employed. The simulation results of the designed DAC show a conversion rate of 65MHz, a power dissipation of 71.7mW, a DNL of ± 0.2 LSB and an INL of ± 0.8 LSB with a single power supply of 3.3V for a CMOS $0.6\mu\text{m}$ n-well technology.

I. 서론

집적 회로 설계 기술이 발달함에 따라, 데이터 변환기를 포함하는 많은 혼합 신호 처리 집적 회로가 한 칩에 구현되고 있다. 고선명 텔레비전이나 디지털 텔레비전 같은 영상 신호 처리 장치 내부에 D/A 변환기를 포함시키기 위해서는, 10비트 이상의 해상도와 65MHz 이상의 변환 속도가 D/A 변환기의 성능 사양으로 요구된다. 최근 전류 셀 매트릭스 구조를 가지는 많은 D/A 변환기가 발표되고 있다. 이러한 D/A 변환

기는 빠른 정착 시간을 얻을 수 있지만, MOS 소자의 부정합에 의해 10비트 이상의 해상도를 얻기 어렵다. 또한, 저항 사다리 구조를 가지는 고속 D/A 변환기는 수동소자의 높은 정합도에 의해 좋은 선형성을 가지나, 고속 출력비퍼를 필요로 하여 전력소모와 칩면적이 증가하는 단점이 있다.

제안된 D/A 변환기는 접지선의 대칭적 연결 방법, 트리 구조를 가지는 바이어스 회로와 캐스코드 스위치 전류원을 이용한다. 접지선의 대칭적 연결 방법과 트리 구조를 가지는 바이어스 회로의 사용을 통해 D/A 변환기의 선형성이 향상된다. 캐스코드 스위치 전류원의 사용을 통해 낮은 글리치 에너지가 얻어진다.

II. 12비트 전류셀 매트릭스 DAC

본 장에서는 12비트 65MHz 전류셀 매트릭스 D/A 변환기의 회로 설명 및 설계 방법에 대해서 설명한다. 그림 1의 제안된 D/A 변환기의 회로도들을 통해 전체 구조에 대해서 설명하고, 그림2에서 그림4까지의 캐스코드 스위치 전류원, 트리 구조 바이어스 회로, 접지선의 대칭적 연결에 대해 동작원리 및 특성을 설명한다.

D/A 변환기의 회로도들은 그림 1과 같다. 입력 MSB 디지털 비트(B_4-B_{11})은 행, 열 래치 1을 지나 행 디코더와 열 디코더에 의해 디코딩된다. 디코딩된 값(R_2, R_{2+i}, C_j)은 행, 열 디코더 2와 매트릭스 스위칭 디코더를 지나 V_{outj} 를 발생시킨다. 발생된 V_{outj} 신호는 캐스

코드 스위치 전류원에 적용되어 I_{out} 과 $\overline{I_{out}}$ 를 발생시킨다. 입력 LSB 디지털 비트(B_0 - B_3)는 래치1, 래치2를 지나 직접 이진 가중 LSB 전류원에 연결된다. 이진 가중을 위해 전류 분배기가 사용된다[3]. 출력 전류, I_{out} 과 출력 전압, V_{out} 은 식(1)과 (2)에 의해 얻어진다.

$$I_{OUT} = I_{MSB}(2^1b_{11} + 2^6b_{10} + 2^5b_9 + 2^4b_8 + 2^3b_7 + 2^2b_6 + 2b_5 + b_4) + I_{LSB}(2^3b_3 + 2^2b_2 + 2b_1 + b_0) \quad (1)$$

$$V_{OUT} = I_{OUT} \cdot R_{LOAD} \quad (2)$$

R_{LOAD} 는 부하 저항이다.

D/A 변환기에서 입력된 디지털 코드값중 상위 8비트는 열 디코더와 행 디코더를 통해서 디코딩된다. 입력된 이진 코드는 이 디코더를 통해 입력이 증가할수록 출력값은 감소하는 역은도 코드로 바뀐다. 행, 열 디코더의 입, 출력단에는 각각 래치가 존재한다. 이 두 단의 래치는 행, 열 디코더의 지연 시간에 의해 생기는 D/A 변환기의 속도 저하를 막고, 복잡한 게이트들의 서로 다른 지연 시간에 의한 글리치 에너지를 감소시킨다. 열 디코더와 행 디코더를 통해 디코딩 되어진 값은 매트릭스 스위칭 디코더의 입력으로 들어간다. 매트릭스 스위칭 디코더의 출력은 각각의 차동쌍 구조를 가진 캐스코드 스위치 전류원을 구동시킨다. 매트릭스 스위칭 디코더 출력전압 $V_{o,ij}$ 는 다음과 같다[1].

$$V_{o,ij} = \frac{R_{2j}}{R_{2j-1} + C_j} = \frac{R_{2j-1}}{R_{2j-1} + C_j} \quad (3)$$

$V_{o,ij}$ 의 논리 상태는 R_{2j} 가 논리 0이고 R_{2j-1} 이 논리 1일 때만 C_j 에 의존한다.

캐스코드 스위치 전류원의 회로도도 그림 2와 같다. 전류원 트랜지스터 M_1 과 M_2 의 드레인 전류가 $I_{MSB}/2$ 이므로, 트랜지스터(M_1 - M_2)의 소자비는 다음과 같다.

$$S_{1,2} = \frac{I_{MSB}}{K_n(V_{BIAS} - V_{TH1,2})^2} \quad (4)$$

$S_{1,2}$ 는 트랜지스터(M_1 - M_2)의 소자비, K_n 은 NMOS의 트랜스 컨덕턴스 파라미터, V_{BIAS} 는 바이어스 전압, $V_{TH1,2}$ 는 MOS 트랜지스터(M_1 - M_2)의 문턱 전압이다.

전류원 트랜지스터의 채널길이 변화 효과를 최소화하기 위해, M_1 과 M_2 의 드레인 전압은 V_{BIAS} 여야 한다. 따라서, 트랜지스터(M_3 - M_4)의 소자비는 다음과 같다.

$$S_{3,4} = \frac{2I_{MSB}}{K_n(V_{DD} - V_{BIAS} - V_{TH3,4})^2} \quad (5)$$

V_{DD} 는 공급 전압이다.

MOS 트랜지스터 M_3, M_4 가 포화영역에서 동작해야 하므로, M_3 와 M_4 의 드레인전압은 $V_{DD} - V_{TH3,4}$ 여야 한다. 따라서, MOS 트랜지스터(M_5 - M_6)의 소자비는 다음과 같다.

$$S_{5,6} = \frac{2I_{MSB}}{K_n(V_{TH3,4} - V_{TH5,6})^2} \quad (6)$$

M_5, M_6 가 스위치 트랜지스터 M_3, M_4 의 전하 피드쓰루를 완충하므로, 낮은 글리치 에너지가 실현된다.

D/A 변환기의 정확도를 결정하는 중요한 요소중의 하나가 전류 셀 매트릭스를 구성하는 전류원간의 문턱 전압의 부정합에 의해서 발생하는 전류 크기의 차이이다. 문턱전압의 부정합은 일정한 방향성을 가지지 않는 무작위적인 오차이며 트랜지스터간의 거리가 멀리 떨어질수록 부정합이 커지는 특성을 가진다[4]. 12비트의 고해상도를 가지는 D/A 변환기의 경우는 255개의 많은 전류원을 필요로 하므로 전류원간의 거리가 최대 수백 μm 이상 떨어져 있게 된다. 매우 가까이 위치한 트랜지스터끼리는 수mV정도의 부정합을 가지고 아주 멀리 떨어져 있는 트랜지스터의 경우는 최대 80mV정도의 부정합을 가지게 된다. 따라서 문턱전압의 부정합을 줄이기 위해서는 전류원간의 거리를 최소화시키는 것이 필요하다. 전류원간의 거리를 최소화시키기 위해 트리 구조 바이어스 회로를 사용한다. 그림 3은 트리 구조 바이어스 회로의 회로도이다. 트리 구조 바이어스 회로는 4개의 단(PMOS 8 전류미러단, NMOS 4 전류미러단, PMOS 4 전류미러단, NMOS 4 전류미러단)으로 구성된다. 각 단은 전류에 의해서 서로 연결되어 거리가 멀리 떨어져 있다라도 오차가 발생하지 않는다. 그리고 각 단은 최대 9개의 트랜지스터로 구성되어 있으며 캐스코드 구조가 아닌 단일 트랜지스터를 사용하므로 매우 작은 면적을 가지며 트랜지스터 서로간의 거리 역시 최소화된다. 따라서 문턱전압 부정합의 영향을 최소화 할 수 있다.

접지선 저항의 전압 강하는 전류원의 바이어스 전압을 변화시키고, 각 전류원의 출력 전류값에 기틀기 오차를 발생시킨다[2]. 이러한 문제를 해결하기 위해, 접지선의 대칭적 연결 방법이 제안되었다. 그림 4는 이 문제의 분석에 대한 모델을 보여준다. 전류원의 소스 노드는 접지선에 대칭적으로 연결된다. 왼쪽 방향의 오차 분포와 오른쪽 방향의 오차 분포가 서로 상쇄되므로 전체 오차 분포가 감소된다. 접지선 저항의 전압 강하에 의한 전류의 부정합은 식(7)로 표현된다.

$$\Delta I = \left[\frac{2}{V_{GS} - V_t} \cdot \Delta V_{GS} \right] \cdot I \quad (7)$$

제안된 접지선의 대칭적 연결 방법의 성능을 식(7)로부터 출발하는 수식적 해석을 통해 알아본다. 수식적 해석을 위하여 전류원 하나의 전류 크기를 I , 접지선의 단위길이당의 저항률 R , 전류원의 개수를 N 이라는 임의의 값으로 놓는다. 전류원쌍의 변호를 k 라 하면 전류원쌍 중 왼쪽 전류원들의 전류크기의 부정합분포는

다음 식으로 표현된다.

$$\Delta I_{left}(k) = \frac{k(k+1)}{V_{GS} - V_t} RI^2 \quad (k=0, 1, \dots, N-1) \quad (8)$$

전류원 쌍 중 오른쪽 전류원들의 전류 크기의 부정합 분포는 다음 식으로 표현할 수 있다.

$$\Delta I_{right}(k) = \frac{(N-k)(N-1-k)}{V_{GS} - V_t} RI^2 \quad (k=0, \dots, N-1) \quad (9)$$

식(8), (9)에 의해 전류원 쌍 하나하나의 전류 크기의 부정합 분포를 구하면 다음 식으로 표현할 수 있다.

$$\begin{aligned} \Delta I_{total}(k) &= \Delta I_{left}(k) + \Delta I_{right}(k) \\ &= \frac{2k^2 - 2(N-1)k + N(N-1)}{V_{GS} - V_t} RI^2 \quad (k=0, \dots, N-1) \quad (10) \end{aligned}$$

식(10)에 의하여 DNL, INL을 구하면 다음과 같다.(괄호안은 N=16일 때의 값)

$$\begin{aligned} DNL &= \Delta I_{total}\left(\frac{N}{2} - 1\right) - \Delta I_{total}(0) \\ &= \frac{N^2}{2(V_{GS} - V_t)} RI^2 \left(= \frac{128}{(V_{GS} - V_t)} RI^2 \right) \quad (11) \end{aligned}$$

$$\begin{aligned} INL &= \Delta I_{total}\left(\frac{N}{2} - 1\right) - \Delta I_{total}\left(\frac{N}{4} - 1\right) \\ &= \frac{-N^2 - 4N}{8(V_{GS} - V_t)} RI^2 \left(= \frac{-40}{(V_{GS} - V_t)} RI^2 \right) \quad (12) \end{aligned}$$

위의 결과를 통해 제안된 D/A 변환기의 선형성이 향상되리라고 예상한다.

III. 모의실험결과

D/A 변환기의 성능을 검증하기 위하여 HSPICE를 이용하여 모의실험을 수행하였다. 제안된 12비트 D/A 변환기의 전체 상승·하강 곡선은 그림 5와 같다. 이는 제안된 D/A 변환기의 모든 디지털 입력을 000000000000에서 111111111111 또는, 111111111111에서 000000000000으로 변화시켜 가면서 관측한 모의실험 파형이다. D/A 변환기의 최종 아날로그 전압 출력의 0.5LSB까지의 정착 시간이 "15나노초" 이하인 것을 알 수 있다. 그림 6은 100000000000과 011111111111 사이의 천이에 의한 최대 글리치 에너지가 "50pVs" 임을 나타낸다. 제안된 D/A 변환기의 모의실험 결과 표 1에 나타내었다.

IV. 레이아웃

제안된 D/A 변환기의 제작을 위해 CMOS 0.6μm N-well 1poly 3metal 공정을 이용하여 레이아웃을 수행하였다. 그림 7은 전체 D/A 변환기의 레이아웃 플롯이다. 선형성 향상을 위하여 전류원 트랜지스터간의 거리를 최소화하였고, 접지선은 두꺼운 메탈을 사용하여 대칭적으로 레이아웃하였다.

V. 결론

본 논문에서는 3.3V-65MHz 12비트 CMOS D/A 변환기의 설계방법과 모의실험결과를 제시하였다. 12비트의 해상도를 얻기 위해 트리 구조 바이어스 회로, 접지선의 대칭적 연결방법을 제안하였다. 글리치 에너지를 감소시키기 위해 2단 래치를 사용하고, 캐스코드 스위치 전류원을 제안하였다. 제안된 방법의 성능검증을 위해 HSPICE를 이용한 모의실험을 하였고, 실제 제작을 위해 레이아웃을 수행하였다. 이와 같이 제안된 방법을 통하여 제작된 D/A 변환기는 고속 영상신호처리 시스템에 응용될 수 있으리라 기대된다.

참고문헌

- [1] J. Kim, and K. Yoon, "A 3.3V-70MHZ LOW POWER 8BIT CMOS DIGITAL TO ANALOG CONVERTER WITH TWO-STAGE CURRENT CELL MATRIX STRUCTURE", *1996 IEEE Midwest Symposium on Circuits and Systems*, pp. 197-200.
- [2] T. Miki, Y. Nakamura, Y. Akasaka, and Y. Horiba, "An 80-MHz CMOS D/A converter," *IEEE J. Solid-State Circuits*, pp.983-998, Dec. 1986.
- [3] S. Chin, and C. Wu, "A 10-b 125-MHz CMOS Digital-to-Analog Converter with Threshold-Voltage Compensated Current source," *IEEE J. Solid-State Circuits*, vol. 29, pp. 1374-1380, Nov. 1994.
- [4] M. Pelgrom, A. Duinmaijer, and A. Welbers, "Matching Properties of MOS Transistors", *IEEE J. Solid-State Circuits*, pp. 1433-1440, Oct. 1989

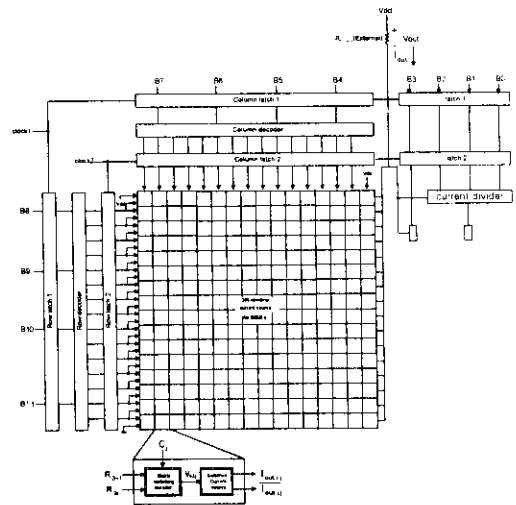


그림 1. 제안된 D/A 변환기의 전체 회로도

표 1. 제안된 D/A 변환기의 특성

DNL	$\pm 0.2\text{LSB}$
INL	$\pm 0.8\text{LSB}$
상승·하강 시간	15나노초
출력 전압 범위	0.79V
변환 속도	65MHz
글리치 에너지	50pV·sec
공급 전압	3.3V
전력 소모	71.7mW

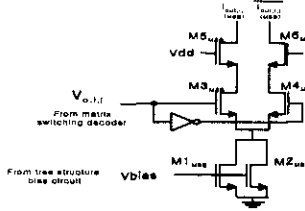


그림 2. 캐스코드 스위치 전류원 회로

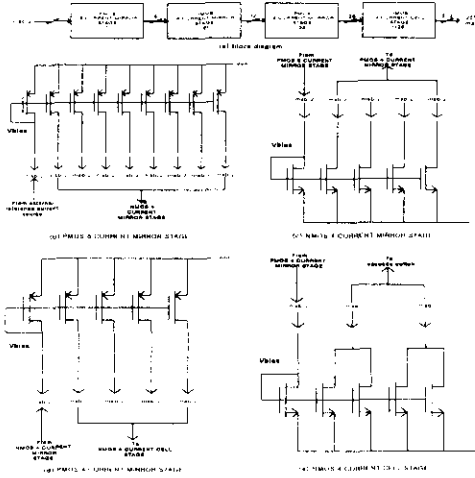


그림 3. 트리 구조 바이어스 회로

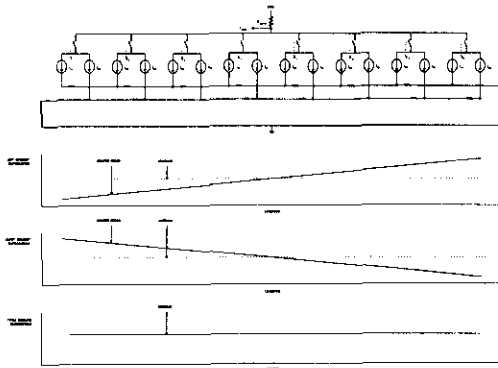


그림 4. 접지선의 대칭적 연결과 기울기 오차

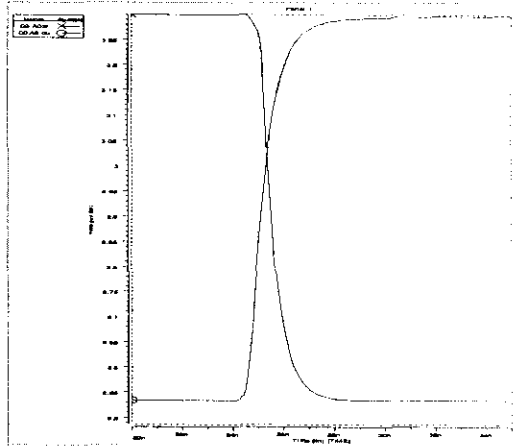


그림 5. 전체 상승·하강 곡선

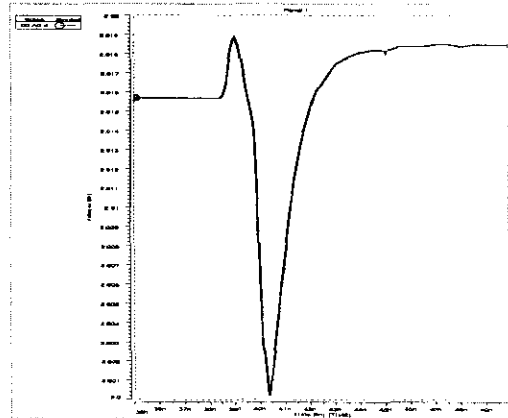


그림 6. 글리치 특성 곡선

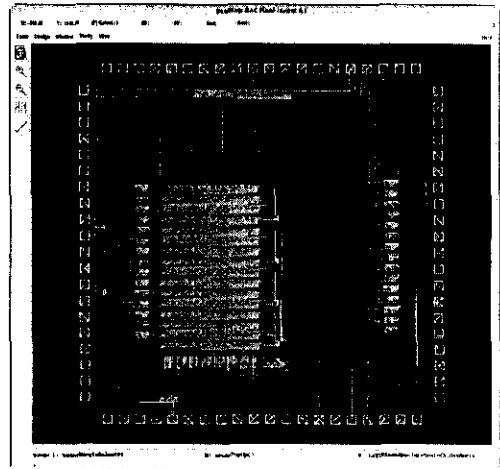


그림 7. D/A 변환기의 레이아웃