병렬 고속 디지털 신호처리시스템의 설계 및 성능분석

박경택°, 전창호, 박성주, 이동호, 박준석, 오원천*, 한기택*
한양대학교 전자계산학과
경기도 안산시 사1동 1271, 425-791
*국방과학연구소
대전광역시 유성우체국 사서함 35호

Design and Analysis of A Parallel High Speed DSP System

K. T. Park°, C. H. Jeon, S. J. Park, D. H. Lee, J. S. Park, W. C. Oh*, and K. T. Han*
Dept. of Computer Science & Engineering, Hanyang University
1271 Sa-1-Dong, Ansan, Kyunggi-Do, 425-791, Korea
*Agency for Defense Development

Abstract

본 연구에서는 방대한 양의 데이터를 실시간으로 처리하기 위한 병렬 고속 디지털 신호처리시스템을 제안한다. 시스템의 성능을 평가할 수 있는 확률적인 분석방법을 제시하며, FFT와 같이 보드간 또는 프로세서간 통신부담이 많은 알고리즘과 행렬연산과 같이 통신부담이 적은 알고리즘에 적용하여 본다. 제안한 시스템의 다양한 구성에 대하여 두 가지 알고리즘의 성능을 확률적 방법으로 평가하였으며, 그 결과는 알고리즘 분석에 의한 성능수치와 근접함을 확인하였다. FFT는 프로세서 개수가 증가해도 보드수가 많아지면 성능이 감소하였으며, 행렬연산은 프로세서 개수에 비례하여 시스템의 성능이 선형적으로 증가함을 확인하였다.

1. 서론

1970년 말 고정 소수점 방식의 DSP(Digital Signal Processing) 칩이 처음으로 개발된 이래로 신호처리 분야의 급속한 디지털화 추세와 더불어 VLSI 기술의 발전에 따라 DSP칩의 사용은 나날이 증가하고 있다. 더욱이 고화질 영상처리, 다양한 통신 서비스, 첨단 의료서비스 및 멀티미디어 분야 등에 대한 요구가 증대됨에 따라 DSP를 이용한 신호처리시스템의 보편적인 사용을 예고하고 있다. 그러나 단일 DSP칩으로는 이런 요구에 부응하기 힘들다. 따라서 최근에는 처리속도와 신뢰성을 높이기 위하여 여러 개의 DSP칩을 다중으로 연결한 병렬 신호처리시스템이 많이 사용되고 있다[1].

본 논문에서는 이러한 흐름에 맞추어 상용화된 DSP칩을 사용하여 다양한 응용분야에 범용으로 쓰일 수 있는 병렬 고속 디지털 신호처리시스템을 제안한다. 제안한 시스템의 성능분석을 위해 확률적인 분석방법을 제시하고 FFT와 행렬연산에 적용해 본다. 확률적인 분석방법에 의한 결과를 알고리즘에 의한 성능수치와 비교하여 분석적 방법의 타당성을 확인한다.

본 논문은 다음과 같이 구성되어 있다. 2장에서는 병렬시스템 및 제안한 시스템의 DSP칩에 대하여 살펴보고, 3장에서는 병렬 고속 디지털 신호처리시스템을 제안한다. 4장에서는 제안한 신호처리시스템에 대하여 확률적 분석방법에 의한 성능분석 결과를 살펴보고, 5장에서 FFT 알고리즘에 의한 성능분석 방법으로 검증한다. 마지막으로 결론 및 향후 연구계획을 기술한다.

2. 신호처리 시스템 및 상용 DSP칩

방대한 양의 데이터를 실시간으로 처리하는 응용분야가 증대됨에 따라서 다중의 DSP를 여러 개의 보드로 연결하여 병렬 신호처리시스템을 구현하는 추세이다. 방대한 양의 음성신호를 고속으로 처리하기 위한 병렬시스템이 Paisley 대학에서 개발되었으며[1], 고화질의 실시간 영상처리를 위한 병렬시스템이 일본의 NTT에서 개발되었다[2]. 군사용의 고성능 신호처리 시스템인 AN/UYS가 미 해군에 의해 개발되기도 했다[3].

본 논문에서는 상용화된 TI사의 TMS320C40을 사용하였다. TMS320C40은 32-bit 부동소수점 DSP칩으로 병렬처리를 지원하기 위한 20Mbyte/sec 대역폭의 Communication Port를 6개 제공하며, 80MFLOPS의 처

* 본 연구는 국방과학연구소 수중음향 특화연구센터의 지원으로 수행하였습니다.

리속도를 나타낸다[4]. 또한 두 개의 독립된 고속의 외부 버스를 제공하며, 다른 상용 DSP칩에 비하여 편리하고 강력한 개발환경을 제공한다[5].

3. 고속 디지털 신호처리시스템 제안

그림 1]은 본 논문에서 제안하는 병렬 고속 디지털 신호처리시스템의 전체적인 구성도 이다. 그림에서 전체 시스템은 신호처리부, 공용메모리부, 데이터 입출력부, 그리고 중앙제어부 등 크게 네 개의 서브시스템으로 구성되어 있다.

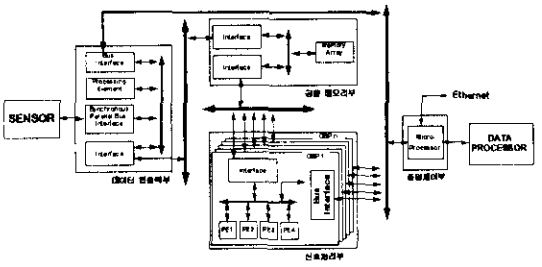

그림 1 : 병렬 디지털 신호처리시스템의 구성도

그림 2]는 병렬 고속 디지털 신호처리시스템의 서브시스템 중 가장 핵심적인 역할을 담당하는 신호처리부의 구성도 이다. 전체적인 구조는 보드 단위로 확장이 가능하다. 각 보드에는 4개의 DSP칩이 Communication Port를 사용하여 완전연결 망의 형태로 서로 연결되어 있다. 또한 TMS320C40의 고속 외부 버스를 이용하여 시스템전체의 공유메모리와 지역메모리에 접근이 가능하도록 설계 되어있다. 신호처리 보드들 간의 통신은 시스템의 공유 메모리를 사용하고 하나의 신호처리 보드내에 있는 프로세서 간의 통신은 Commuication Port를 사용하는 것으로 하였다.

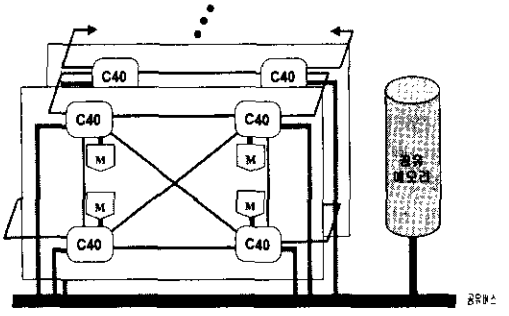

그림 2 : 신호처리부의 하드웨어 구성도

신호처리 보드 당 4개의 DSP칩으로 구성한 것은 신호처리시스템에서 수행하는 연산의 특성상 보드당 DSP의 수는 2의 멱승이 적합하기 때문이다. 또한 제안한 신호처리시스템의 DSP칩으로 선정한 TMS320C40이 제공하는 6개의 Communication Port를 최대한 활용하기 위한 것이다.

4. 확률적 분석방법에 의한 성능평가

본 연구에서 제안하는 신호처리시스템의 성능을 분석 및 평가하기 위한 확률적 분석방법을 제안한다. 성능분석에 필요한 용어를 다음과 같이 정의한다.

- BW : 전체 버스 시스템의 대역폭 (bytes/sec)
- BM : 단위 시간당 액세스 된 메모리 모듈의 개수
- B_S : 중재지연을 포함한 버스의 용량 (bytes/sec)
- B : 시스템의 전체 버스의 개수
- B_T : 시스템의 전체 보드의 개수
- r : 프로세서의 평균 메모리 요청 확률
- M : 시스템의 전체 메모리 모듈의 개수
- M_S : 메모리 모듈의 처리속도 (bytes/sec)
- N : FFT의 포인트 개수
- P_T : 시스템의 전체 프로세서 수
- B : 보드의 수
- P_B : 보드당 프로세서 수
- P_S : 시스템의 성능
- P_P : 시스템의 최대 성능
- C_T : 프로그램을 실행하는데 걸린 전체 사이클 수
- C_{ipc} : 프로세서간 통신에 필요한 사이클 수
- C_{ibc} : 보드간 통신에 필요한 사이클 수
- C_B : 한 바이트의 데이터를 처리하는데 걸린 사이클 수 (cycles/byte)
- O_C : 한 시스템 사이클에 수행될 수 있는 메모리 액세스 오퍼레이션의 수 (FLOP/cycle)

시스템의 성능분석은 P_T개의 프로세서, B개의 버스, M개의 메모리 모듈로 구성된 다중버스시스템에서 프로세서가 평균적으로 요구하는 메모리 액세스 요청 확률이 r일 때 전체 시스템의 버스 대역폭을 구한다.

식 1]은 메모리시스템에서 j번째 메모리가 액세스 될 확률을 나타내며, 식 2]는 i개의 메모리가 액세스 될 확률을 나타내고, 식 3]은 평균 액세스 될 메모리 모듈의 개수를 나타낸다[6]. 이때 전체 버스시스템의 대역폭은 식 4]과 같이 메모리와 버스 중 더 느린 것에 의하여 결정된다. 버스시스템 대역폭 결정에 핵심요소인 r값은 시스템을 적용하는 분야에 따라서 다르며, FFT인 경우는 식 5]와 같이 산출된다.

$$P[M_j] = 1 - \left(1 - \frac{r}{M}\right)^{P_T} \qquad \text{식 1]}$$

$$r=\frac{P_T\left(28+16\frac{N}{P_T}\right)log_2 B_T}{\left(14.5\frac{N}{P_T}+26\right)+\left(58+29\frac{N}{P_T}\right)log_2 P_B+\left(29+9\frac{N}{P_T}+28P_T+16N\right)log_2 B_T} \quad \text{식 5]}$$

$$f(i)={}_MC_i\cdot P[M_j]\cdot(1-P[M_j])^{M-i} \quad \text{식 2]}$$

$$BM=\sum_{i=1}^{B} i\cdot f(i)+\sum_{i=B+1}^{M} B\cdot f(i) \quad \text{식 3]}$$

$$\begin{aligned}&\textit{if } B_S \rangle M_S \textit{ then}\\ &\qquad BW\ (\text{bytes/sec}) = M_S\cdot BM\\ &\textit{else}\\ &\qquad BW\ (\text{bytes/sec}) = B_S\cdot BM\end{aligned} \quad \text{식 4]}$$

식 5]에서 분모항은 N 포인트 FFT를 수행하기 위해 필요한 전체 사이클이고, 분자항은 메모리 엑세스가 필요한 사이클이다. 산출된 r값에 따라서 전체 시스템의 성능 P_S는 프로세서 내부 처리 성능과 버스를 통한 성능치의 합으로 식 6]과 같이 정의되며, 프로세서간의 통신에 기인한 성능저하 수치는 식 7]과 같이 고려하였다. 분모항은 보드간 통신 없이 신호처리 보드 내에서 수행되는 사이클이고 분자항은 프로세서간 통신에 소요되는 사이클을 감산한 것이다.

$$P_S=(1-r)P_P\cdot de+C_B\cdot BW\cdot O_C \quad \text{식 6]}$$

$$de=\frac{(C_T-C_{ibc})-\frac{4}{5}C_{ibc}}{C_T-C_{ibc}} \quad \text{식 7]}$$

수학적 모델링 및 평균 메모리 요청 확률계산에 근거한 전체 시스템의 처리속도는 그림 3, 4]와 같다.

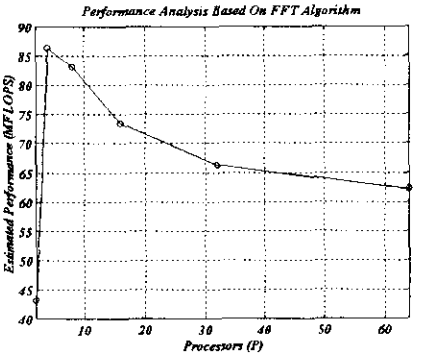

그림 3 : FFT 알고리즘에 대한 성능분석
N=1024, M=1, B=1

그림 3]은 1개의 메모리 및 1개의 버스로 구성된 시스템에서 1024 포인트 FFT를 수행할 때 프로세서의 개수에 따른 성능의 변화를 나타낸다. 프로세서가 2개에서 4개로 증가될 때는 속도가 증가하지만 프로세서가 증가함에 따라 보드간 통신량의 증대로 전체 시스템의 속도는 감소함을 알 수 있다. 그림 4]는 16개의 프로세서와 4개의 메모리로 구성된 시스템에서 1024 포인트 FFT 수행 시, 버스 개수가 증가함에 따라 시스템의 처리속도는 선형적으로 증가함을 알 수 있다.

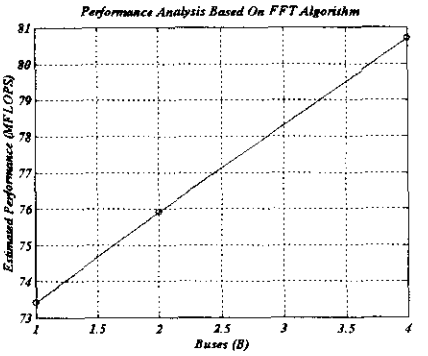

그림 4 : FFT 알고리즘에 대한 성능분석
N=1024, P_T=16, M=4

다음은 행렬연산과 같이 통신 부담이 적은 응용분야에 대한 시스템의 성능을 평가해 본다.

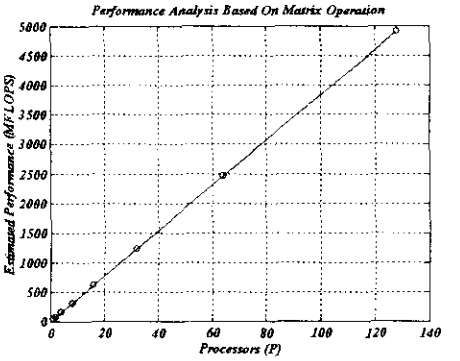

그림 5 : 행렬연산에 대한 성능분석
de=0.8, r=0.2, M=16, B=1

그림 5]는 16개의 메모리와 단일 버스로 구성된 시스템에서 프로세서간 통신으로 인한 성능감소 수치가 0.8, 프로세서 평균 메모리 요청 확률이 0.2인 행렬연산 등을 수행 시, 프로세서의 개수가 증가함에 따라서 전체 시스템의 처리속도는 선형적으로 증진함을 보여준다. 그림 6]은 버스수가 증가함에 따라서 시스템의 처리속도는 선형적으로 증진함을 나타낸다. 그러나 FFT 알고리즘 성능분석의 경우처럼 버스의 증가가 시스템의 성능에 직접적인 영향을 미치지는 못한다.

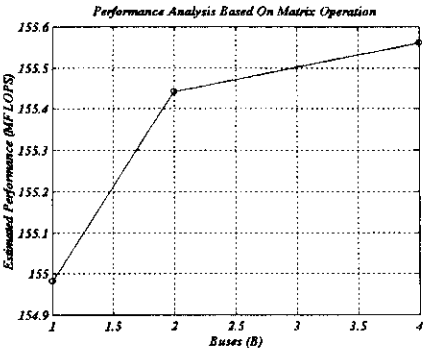

그림 6 : 행렬연산에 대한 성능분석
de=0.8, r=0.2, P_T=4, M=16

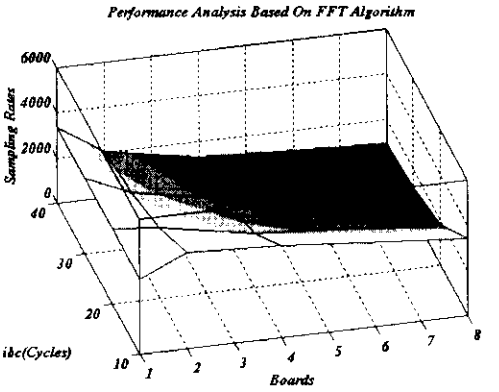

그림 7 : 다중 보드에서 FFT알고리즘에 의한 성능분석 결과

5. 알고리즘 분석에 의한 성능수치 비교

확률적 분석방법에 근거한 성능평가 방법의 검증을 위하여 FFT 알고리즘에 기반한 성능분석을 하였다. 시스템의 성능에 영향을 미치는 요인들은 입력 데이터의 양, 메모리 접근, 보드간 통신, 곱셈과 덧셈연산이 있다. 다섯 가지 요인들에 대해 필요한 연산횟수를 구하고, 하나의 연산에 소요되는 사이클을 곱함으로써 전체 신호처리 시스템의 성능을 Sampling Rate의 단위로 구한다. 추가적으로 필요한 파라미터들은 다음과 같다.

- log_2N : N 포인트 FFT에 필요한 FFT Stage 수
- log_2B : 보드간 통신일 필요한 FFT Stage 수
- C_{mul} : 곱셈연산에 필요한 사이클 수
- C_{add} : 덧셈연산에 필요한 사이클 수
- C_{mem} : 메모리 접근에 필요한 사이클 수

여러 가지 인자들을 이용하여 N 포인트 Complex FFT 수행에 필요한 전체 사이클의 수는 식8]과 같다.

$$\left(\frac{2N\cdot log_2N}{B\cdot P_B}\right)C_{mul}+\left(\frac{2N\cdot log_2N}{B\cdot P_B}\right)C_{add}+\left(\frac{2N\cdot log_2N}{B\cdot P_B}\right)C_{mem}+\left(\frac{N\cdot log_2P_B}{B\cdot P_B}\right)C_{ibc}+\left(\frac{N\cdot log_2B}{2}\right)C_{ibc}$$

식 8]

식 8]을 이용하여 제안한 시스템의 최대성능을 구할 수 있다. TMS320C40은 한 사이클에 덧셈 또는 곱셈을 수행할 수 있기 때문에 C_{mul}과 C_{add}의 값은 1이 된다. 여러 개의 보드를 사용한 경우는 그림 7]과 같이 보드의 수가 증가 할수록, 보드간 통신에 필요한 사이클의 수가 클수록, 전체 시스템의 성능이 저하됨을 알 수 있다. 이는 앞서 확률적인 분석방법에 의한 분석결과 매우 유사함을 알 수 있다.

6. 결론 및 향후 연구계획

본 논문에서는 상용화된 DSP을 사용하여 병렬 고속 디지털 신호처리시스템을 제안하였다. 시스템의 성능 분석을 위해 확률적 분석방법을 제안하였고 FFT 및 행렬연산에 적용하였다. FFT알고리즘 분석에 의한 성능수치와 비교한 결과 제안하는 확률적 분석방법이 유용하게 사용될 수 있음을 보였다. 또한 제안된 신호처리시스템은 방대한 양의 데이터를 실시간으로 처리해야 하는 다양한 응용분야에 쓰일 수 있음을 확인했다.

제안된 시스템의 사양을 구체화하고 TMS320C6x를 확장 사용할 수 있는 신호처리시스템을 설계하고, 시뮬레이션에 의한 성능평가 방법을 연구를 하고 있다.

참고문헌

[1] A.J. Anderson, "Selection Criteria in the Development of a Multiple Processor Based DSP System," *Journal of Microcomputer Application*, pp. 327-345, 1992

[2] T. Sawabe, T. Fujii, H. Nakada, N. Ohta, and S. Ono, "A 15GFLOPS Parallel DSP System for Super High Definition Image Processing," *IEICE Trans. Fundamentals, Vol.39, No.7*, pp. 786-792, Jul. 1992

[3] *Navy Signal Processors Program Office*, PMS 428

[4] Rose. M. Piedra, *Parallel Processing with the TMS320C4X*, Texas Instruments, pp. 97-133, 1993

[5] *TMS320C4X User's Guide*, Texas Instruments, 1996

[6] T.N. Mudge, J.P. Hayes and D.C. Winsor, "Multiple Bus Architectures," *IEEE Computers*, pp. 42-48, Jun. 1987