

Oxide CMP 공정의 최적화에 관한 연구

金東一, 許宗埏, 尹寬基, 蔡然植, 李鎮九

동국대학교 전자공학과 반도체 및 집적회로 연구실

E-mail : jkrhee@cakra.dongguk.ac.kr

Optimizations for Oxide CMP Processes

D.I.Kim, J.G.Heo, K.K.Youn, Y.S.Chae and J.K. Rhee

S & IC Lab., Dept. of Elec. Eng., Dongguk Univ.

Abstract

In this study, oxide(TEOS) CMPs were carried out for various head pressures. Table and head speeds are fixed at 25 RPM. Head pressures are 5, 7.5, 10, 12.5 PSI, and, under these conditions, 1,587, 1,631, 2,556, 2,871 Å/min of oxide(TEOS) removal rates and 14.7, 18.5, 9.52, 7.9% of uniformities are obtained, respectively. Also, these experiments for local and global planarizations were done using the patterned 4" wafers. These conditions are applicable to STI(Shallow Trench Isolation) structures and planarizations for sub-half micron lithography.

1. 서론

CMP(Chemical Mechanical Polishing) 공정은 다층 금속배선 제작을 위한 핵심연구과제로 부각되고 있다. CMP 공정에 의한 광역 평탄화는 lithography시 0.5 μm이하의 via 및 line 패턴형성을 가능하게 한다.[1] 이러한 광역 평탄화를 실현하기 위해서는 웨이퍼 전면적에 대한 평탄화 기술 및 이를 실현하기 위

해 최적화 과정이 필요하다.

본 논문에서는 table 및 head의 회전속도 및 head의 stroke를 고정하고, head 압력을 공정변수로 하여 SiO₂(TEOS)박막의 removal rate와 uniformity를 측정하였으며, 다양한 폭을 갖는 패턴을 이용하여 SiO₂(TEOS) 평탄화 과정을 연구하였다.

2. Oxide CMP의 단위 공정

기본 단위 공정 최적화를 위하여, CMP장비는 Lapmaster의 LGP512를 사용하였으며, slurry는 Rodel사의 ILD1300 그리고 pad는 IC1000/SubaIV를 사용하였다. 4-inch Si 웨이퍼에 SiO₂(TEOS)를 6000 Å을 증착하고 초기두께를 X축과 Y축 방향으로 9지점을 ellipsometer로 측정하였다. 다음으로 table 및 head 회전속도 25 RPM, stroke 30 mm로 고정된 후 압력을 5, 7.5, 10, 12.5 PSI로 변화시켜 1분간 연마한 후 다시 웨이퍼의 X, Y방향으로 초기와 같은 점들인 9지점을 측정하였다. 압력 5, 7.5, 10, 12.5 PSI에서 removal rate은 1,587, 1,631, 2,556, 2,871 Å/min과 uniformity 14.7, 18.5, 9.52, 7.9%를 얻었다. 그림 1은 head 압력 12.5 PSI에서 1분간 연마한 후에 표면을 AFM으로 측정한 것이며, 400μm²에 대

한 rms roughness는 63.3Å이었다. 그림 2는 각각의 압력에서의 removal rate 및 uniformity를 보였다.

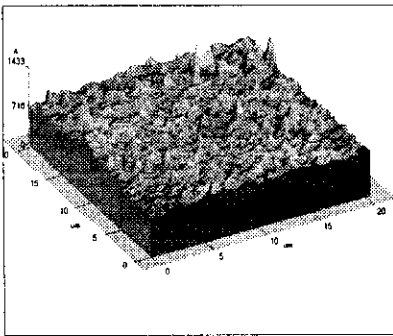
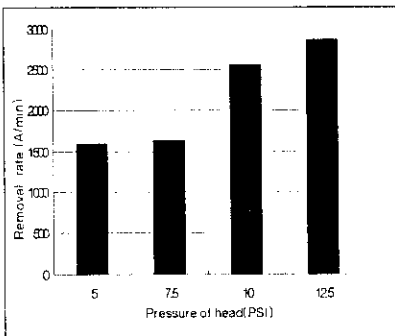
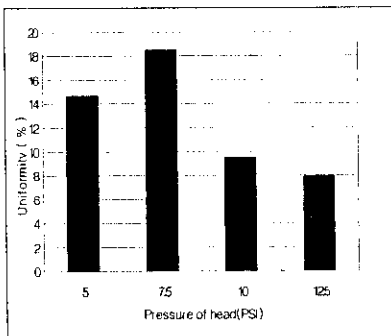


그림 1. Oxide CMP 이후의 AFM 3D영상



(a) 연마율

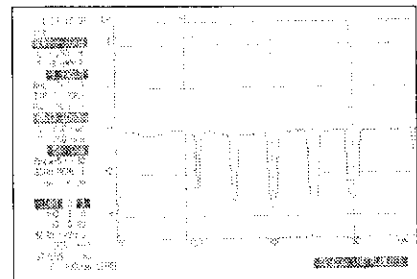


(b) 평탄도

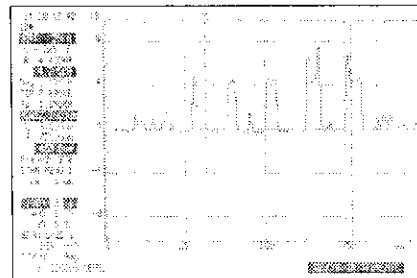
그림 2. Head 압력에 따른 연마율 및 평탄도

3. 패턴화된 wafer에서 Oxide CMP공정

다양한 패턴으로 설계된 마스크를 이용하여, Drytech사의 DRIE284 polysilicon etcher로 3,000Å trench 패턴과 5,000Å의 stack 패턴을 각각 식각하였다. 이후 asher로 PR을 제거한 후 SiO₂(TEOS)를 10,000Å 증착하였다. 그림 3(a)는 10, 20, 30, 35, 40×410μm²가 에칭된 trench 패턴이며, 그림 3(b)는 그림 3(a)의 역상 패턴을 갖는 stack 패턴을 profiler로 측정된 결과이다.



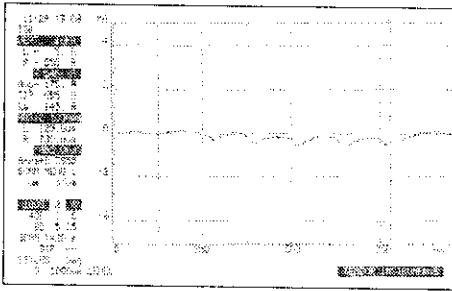
(a) Trench pattern



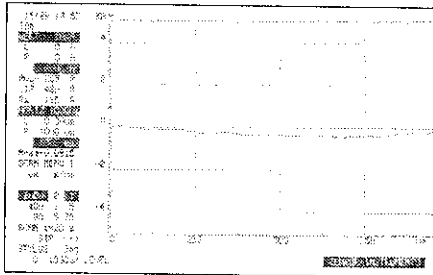
(d) Stack pattern

그림 3. 10, 20, 30, 35, 40×410μm²을 가진 패턴의 표면 profile

그림 4 및 그림 5는 table 및 head 회전속도 25rpm, stroke 30mm, head 압력 7.5 PSI에서 패턴 10, 20, 30, 35, 40×410μm²의 패턴에 대한 trench와 stack 패턴의 표면 profile을 시간에 따라 측정된 그림이다. Trench 패턴인 경우 3분 후, stack 패턴은 5분 후 웨이퍼가 평탄해짐을 볼 수 있다.

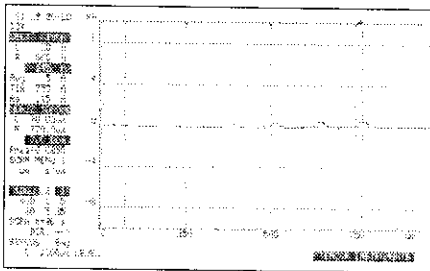


(a) 2min CMP 이후

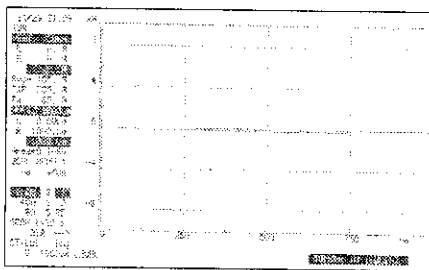


(b) 3min CMP 이후

그림 4. 10, 20, 30, 35, 40×410 μm^2 크기를 갖는 trench 패턴의 표면 profile



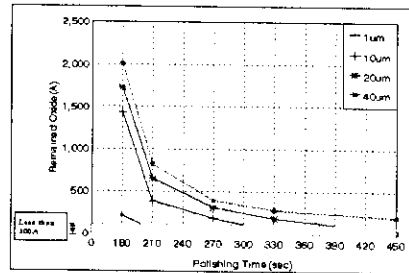
(a) 3min CMP 이후



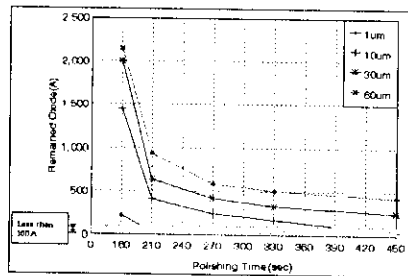
(a) 5min CMP 이후

그림 5. 10, 20, 30, 35, 40×410 μm^2 크기를 갖는 stack 패턴의 표면 profile

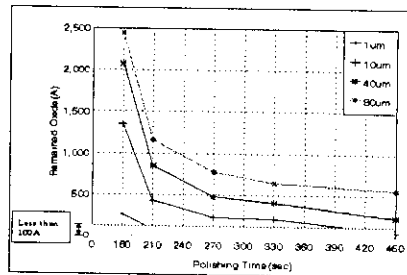
각각의 패턴에 대한 평탄화 정도를 알아보기 위하여 연마시간을 늘려가며 표면 profile을 측정하였다. 그림 5는 table 및 head 회전 속도 25 RPM, head 압력 7.5 PSI에서 길이 40, 60, 80 μm 에 대하여 폭 1, 2, 3, 5, 7, 10, 20, 30, 40, 60, 80 μm 의 패턴에 대한 평탄화 정도를 시간에 따라 측정한 그래프이다.



(a) 패턴길이 40 μm



(b) 패턴길이 60 μm



(c) 패턴길이 80 μm

그림 6. 패턴 폭과 길이에 따른 연마된 oxide 두께 vs. 연마시간

그림 6에서 그래프의 경사가 급격하게 변하는 시간 구간에서는 상대적으로 높은 패턴 부분의 oxide가 빠르게 연마되는 구간이며 경사

가 낮아지면서 oxide의 smoothing, 지역 평탄화 및 광역 평탄화가 진행되는 것을 볼 수 있다[2]. 또한, 길이 및 패턴폭이 작을수록 평탄화 시간이 감소하며, 동일한 패턴 길이에 대하여 패턴 폭이 넓어질 수록 평탄화 시간이 늘어나는 것을 볼 수 있었다. 이는 웨이퍼의 단차가 작아질수록 패턴이 형성되어 있지 않은 부분도 같이 연마되어 평탄화 시간이 지연되는 것으로 사료된다.

4. 결 론

본 논문에서는 head 압력에 따른 oxide CMP 특성화 및 패턴에 따른 oxide 평탄화에 대한 연구를 수행하였다. Table 및 head회전 속도 25 RPM, stroke 30 mm, head 압력 5, 7.5, 10, 12.5 PSI에서 removal rate 1,587, 1,631, 2,556, 2,871 Å/min, uniformity 14.7, 18.5, 9.52, 7.9 %를 얻었다. Head 압력이 높아짐에 따라 removal rate은 증가하고, uniformity가 개선 되는 것을 알 수 있으며 패턴화된 웨이퍼의 시간에 따른 oxide 평탄화 경향을 알 수 있었다. 연구결과 패턴 크기가 작을수록 연마속도가 증가되었으며, CMP 공정 초기에는 빠른 연마율을 보이다가 패턴부분이 smoothing되면서 연마율이 둔화되어 광역 평탄화가 일어나는 것을 확인할 수 있었다.

상기의 공정은 고집적화 소자의 sidewall leakage 문제를 해결해주는 STI(Shallow trench isolation)구조 제작에 응용 가능성을 실험적으로 증명하였으며, 단차증가에 의한 lithography 문제를 해결하여 0.5 μm 이하의 패턴 형성에 기반공정이 되리라 사료된다.

(* 본 연구는 한국전자통신연구원의 차세대 반도체 선행기초연구사업의 지원으로 수행되었음)

參 考 文 獻

1. Anjaneya Modak, Phillip Monteith, and Nitin Parekh, "Components of within-wafer Non-uniformity in a Dielectric CMP Process, "Chemical Mechanical Polish(C.M.P.) for ULSI Multilevel Interconnection Conference (CMP-MIC), pp. 169~172, 1997. 2.
2. H.-M. Tzeng, D. E. Glenn and M.Sun, "In-situ Monitoring of film thickness removal during CMP, "Chemical Mechanical Polish(C.M.P.) for ULSI Multilevel Interconnection Conference (CMP-MIC), pp. 155~162, 1997. 2.