

Hot Carrier 현상에 의한 DRAM 감지증폭기의 성능저하

윤 병 오, 장 성 준*, 유 종 근, 정 운 달, 박 종 태
인천대학교 전자공학과, 402-749, 인천광역시 남구 도화동 177번지
g971138@lion.inchon.ac.kr
인천대학교 전자공학과
*여주대학 사무자동학과

Hot Carrier Effects on the Performance Degradation of Sense Amplifiers in DRAM

Byung O. Yun, Sung J. Jang*, Jong G Yu, Woon D. Jeong, Jong T. Park
Univ. of Incheon, Electronic Eng., 177 Tohwa-dong Namgu, 402-749, Korea
*Yeojuo Institute of Technology, Dept. of Office Automation

Abstract

Hot carrier induced the performance degradation of sense amplifier circuit in DRAM has been measured and analyzed using $0.8\mu\text{m}$ CMOS process. Simulation and experimental results show that the degradation of the MOS devices affects the decrease of the half-Vcc, voltage gain and the increase of the sensing voltage. The dominant degradation mechanism is the capacitance imbalance in the bit-line pair. we carried out the spice simulation to investigate the degradation of the sense amplifier circuit.

I. 서 론

Hot carrier 현상에 의한 MOS 소자의 특성저하는 문턱전압, 드레인전류와 게이트-드레인의 커패시턴스 변화등이다. 이런 특성저하로 인한 소자의 수명시간과 최대허용공급전압을 결정하는 연구가 DC 스트레스 조건에서 많이 진행되었다. 그리고 ring oscillator를 비롯한 간단한 디지털 논리게이트의 전달지연시간의 저하와 CMOS 증폭회로의 이득과 offset 전압변화등에 관한 연구가 진행되어왔다¹⁻⁷. 또한 최근에는 소자열화로 인한 DRAM의 주변회로의 성능저하에 관한 연구가 발표되었다⁸⁻¹¹. 특히 95년 IEDM에서는 소자열화로 인한 세이트-드레인 커패시턴스의 변화로 인한 감지증폭

기의 성능이 저하가 됨을 발표하였다¹⁰. 그러나 감지증폭기의 성능저하현상을 스트레스후의 half-Vcc변화로 분석하여 정성적으로 설명하였다.

본 연구에서는 $0.8\mu\text{m}$ CMOS 표준공정을 이용하여 DRAM용 감지증폭기를 설계·제작하고 소자열화로 인한 감지증폭기의 성능저하를 정량적으로 분석하였다. 감지증폭기 성능저하는 half-Vcc변화, 전압이득 및 감지전압변화 등으로 분석하였다. 그리고 회로가 열화되는 동안 가장 많이 열화되는 소자의 DC특성 변화를 측정·분석하였으며 spice simulation으로 감지증폭기의 성능이 저하되는 양을 정량적으로 분석하였다.

II. 회로설계

본 연구에서 사용된 감지증폭기 회로는 $0.8\mu\text{m}$ 설계규격을 이용한 2-metal CMOS 공정으로 제작되었다. 게이트 산화층 두께는 175Å이고 일반적인 LDD 공형이다. 그림1은 $0.8\mu\text{m}$ CMOS 공정으로 제작된 감지증폭기 회로도이다.

Bit line의 precharge 전압은 데이터 읽는 속도를 최적화할 수 있는 half-Vcc precharge 방식을 사용하였다. 감지증폭기는 Memory cell에 저장된 Data를 확실하게 감지하고 증폭하여 그 값을 외부에 연결시켜준다. DRAM의 가장 중요한 핵심회로이며 고감도, 고속동작

이 요구된다. 회로동작특성을 살펴보면 다음과 같다. 초기적으로 PISOR과 PEQR이 ON이 되어있어 BL과 BLB는 half-Vcc로 precharge되어 있다. 이후 WL이 ON되면 Cs(Data='1')에 실려있던 전압에 의해 BL의 전압이 BLB전압보다 조금 상승하게 된다. 이후 LANG와 LAPG가 동시에 ON이 되면서 감지증폭기가 동작하게 된다. 감지증폭기는 BL과 BLB의 전압차를 감지, 즉 Cs의 Data가 '0' 인지 '1'인지를 감지하여 Cs의 Data가 '1'인 경우 BL은 Vcc로 충전하고 BLB는 0V로 방전하여 감지동작을 완료한다. 이후 BL에 인식된 값을 외부로 연결시켜주므로 회로의 동작이 완료되고 BL과 BLB는 다시 half-Vcc로 precharge된다.

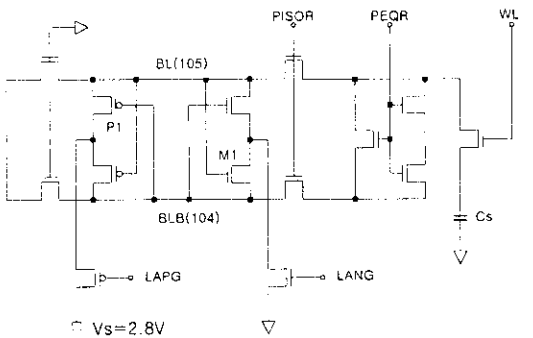


그림 1. 0.8μm CMOS 공정을 이용한 감지증폭기 회로

그러나 계속해서 Cs에 Data '1'을 read, write하게 되면 M1 트랜지스터가 열화되어 감도가 저하되며 voltage gain이 떨어지게 되어 올바른 sensing을 수행할 수 없게 될 것이다.

감지증폭기 양단에 입력되는 전위차 ΔV는

$$\Delta V = |\Delta V_H| = |\Delta V_L| = \frac{V_{cc}/2}{1 + C_B/C_C} \quad (1)$$

이다. 식 (1)에서 알수 있듯이 입력전압을 크게 하려면 C_B/C_C 의 비율 가능한 작게 해주어야 한다. 그러나 DRAM의 용량이 증가함에 따라 bit line의 길이가 길어지므로 C_B 가 증가하며, 트랜지스터의 크기도 점점 감소함에 따라 전원전압 Vcc도 작아지게 된다. 따라서 ΔV가 더욱 감소하게 되므로 감지증폭기의 감도는 더욱 향상되어야 함을 알 수 있다.

그림1에서 bit line pair의 동작을 위해 그림2와같이 신호발생기 회로를 추가하여 clock 신호를 자체적으로

생성하도록 하였다. 그림3은 감지증폭기 회로의 시뮬레이션 과정을 나타낸 것이다. 그림2에서 Vdd=3.3V를 인가하여 LANG와 LAPG, PEQR에 3.3V의 전압이 실리게 하였고, Vpp=4.3V를 인가하여 WL에 동일한 전압이 인가되게 하였다. 그리고 Vs=2.8V를 인가하여 half-Vcc=1.4V가 되게 하였다. Cs에는 Data가 '1'이 되도록 half-Vcc, 즉 1.4V보다 높은 전압을 주어 시뮬레이션하였다.

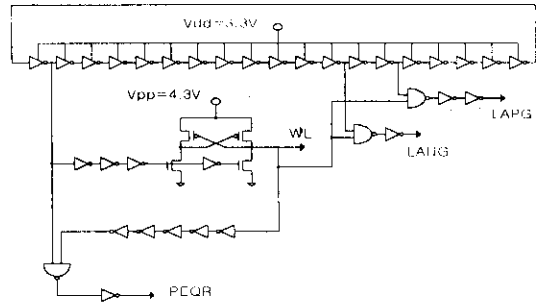


그림 2. sensing clock 생성회로

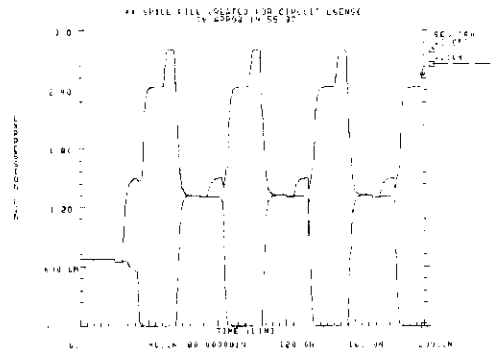


그림 3. 감지증폭기의 시뮬레이션 출력과정

시뮬레이션결과 half-Vcc=1.4V, full-Vcc=2.8V 그리고 Cs의 Data가 '1'이 감지되어 bit line에 Data '1'이 실리고 제대로 sensing이 수행된 것을 확인하였다.

III. 감지증폭기의 성능저하

그림4는 그림1에서 설계한 실제 감지증폭기의 출력파형을 나타낸 것이다. 그림4에서 보듯이 half-Vcc와 full-Vcc는 시뮬레이션 값과 조금 차이가 있지만 성능

서하를 측정하는데는 별 문제가 없고, 시뮬레이션 파형보다 실제출력파형이 훨씬 더 낮게 나온 것을 확인할 수 있었다.

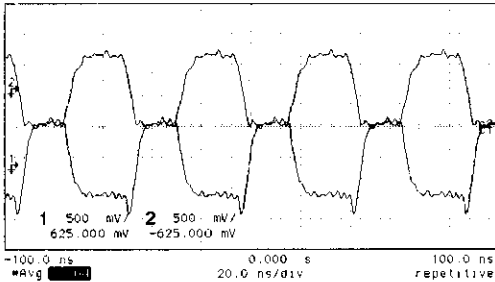


그림4. 감지증폭기의 실제 출력파형

그림3과 동일한 감지증폭기의 성능저하를 측정·분석하기 위해 회로의 정상 동작보다 높은 전압을 인가하였다. 스트레스 인가전압은 6~7V이고, 스트레스 인가 시간은 700분이다. 그림4는 스트레스 전·후의 감지증폭기의 출력파형을 나타낸 것이다. 그림에서 스트레스 전·후의 half-Vcc의 감소와 voltage gain의 감소를 확인할 수 있었다.

half-Vcc의 감소는 스트레스 후의 bit-line pair의 capacitance mismatch로 인한 결과인데 스트레스 후 NMOS의 gate capacitances는 감소하고, PMOS는 증가한다. 따라서 bit line capacitance는 감소하고, bit line capacitance는 증가하는데 PMOS의 증가량보다 NMOS의 감소량이 약 2배가량 된다^[6]. 따라서 위와같은 결과는 특히 bit line capacitance의 감소가 훨씬 더 큰 영향을 준다는 사실을 simulation으로 확인할 수 있었다. 그리고 스트레스 후의 MOS 소자의 출력지형이 감소하기 때문에 voltage gain의 감소가 발생한 것으로 사료되어진다^[8].

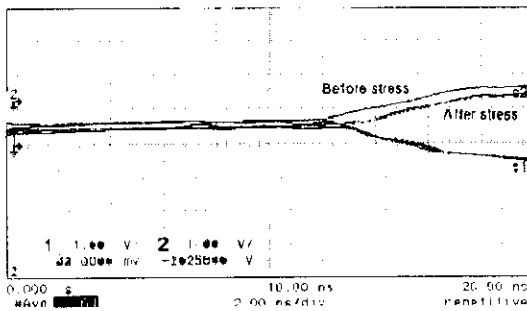


그림 4. 스트레스 전·후의 감지증폭기의 출력파형

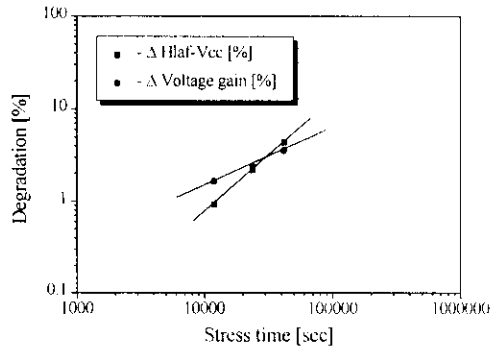


그림 5. 스트레스 시간에 따른 half-Vcc와 voltage gain의 변화

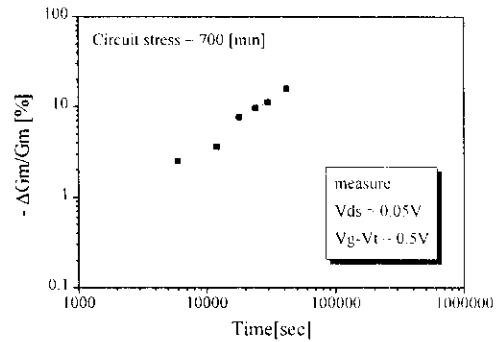


그림 6. 스트레스 시간에 따른 -Δgm 변화

그림5는 스트레스 후에 시간에 따른 half-Vcc의 변화와 voltage gain의 변화를 나타낸 것이다. 그림 6은 스트레스 시간에 따른 M1 트랜지스터의 -Δgm의 변화를 나타낸 것이다.

IV. 결과 고찰

스트레스 후에 감지증폭기의 성능저하, 즉 half-Vcc 감소, voltage gain의 감소를 확인하였다. 이런 결과로부터 회로가 계속 장시간동안 동작할 경우 Cs의 Data가 '0'인지 '1'인지 올바르게 sensing을 수행하지 못하여 감지능력이 서하되고 고속동작을 하지 못할 뿐만 아니라 data fail을 초래할 수도 있다. 이는 DRAM회로의 성능저하에 큰 영향을 주게 될 것이다. 또한 spice simulation을 통하여 스트레스 후에 bit-line pair의 capacitance와 Vt 변화를 modeling하여 출력파형을 확

인한 결과 half-Vcc의 변화와 sensitivity변화를 확인하였다. 표1은 half-Vcc와 sensitivity변화를 나타낸 것이다. 스트레스 전 C_b와 C_s는 각각 250fF과 25fF 즉, C_b:C_s=10:1로 modeling하였고^[9], 스트레스 후에 capacitance imbalance는 15fF, Vt변화는 20mV, mobility 변화는 10%로 하였다.

표1. 시뮬레이션으로 확인한 스트레스 후의 bit-line pair의 half-Vcc와 Vs변화량

	△half-Vcc	△Vs
C _b =240fF	78.4%	78.9%
C _{bb} =255fF	42.2%	42.2%
Vt=20mV, μ=10%	-17.3%	-15.8%

위 결과를 통해 스트레스 후에 bit line capacitance 변화가 half-Vcc나 sensitivity에 가장 크게 작용한다는 사실을 알 수 있었다. 수식(1)은 sensing voltage를 나타낸 것이다.

$$V_s = \sqrt{\frac{CaK}{2\beta} \left(\frac{\Delta C}{C} + \frac{\Delta \beta}{\beta} \right)} + \Delta V_t \dots \dots (2)$$

C : bit line capacitance K : sensing slope
 α=0.5 ΔC, Δβ, ΔVt : 불평형 잡음

위 (2)변수식에서 알 수 있듯이 ΔVs는 ΔC, Δβ, ΔVt의 값에 의해 변하는데 역시 ΔCb의 영향이 가장 크다.

V. 결론

Hot carrier 현상으로 인한 감지증폭기의 성능저하를 측정분석하였다. 스트레스 전·후의 출력파형을 통해 half-Vcc와 voltage gain의 감소를 확인하였고, 개별소자인 M1 소자의 성능저하를 확인하였다. simulation을 통해 sensitivity의 감소를 확인하였다. 앞으로 4G bit 급 DRAM에서는 0.1μm level을 사용하므로 hot carrier 현상으로 인한 half-Vcc와 voltage gain, sensitivity는 성능저하정도를 알아보는 데 중요한 요소가 될 것이고, 성능저하를 정확하게 분석하여 설계해야 할 것으로 사료된다.

참고문헌

- [1] Peter. M Lee et al, "Application of Circuit Level Hot Carrier Reliability Simulation to Memory Design" Proc. of CICC'97, pp. 27-30, 1997
- [2] Jong. T. Park et al. "Hot-Carrier 현상에 의한 Folded-Cascode CMOS Op-Amp의 성능 저하". 대한 전자공학회, pp. 39-45, 1997
- [3] The Impact of NMOSFET Hot-Carrier Degradation on CMOS Analog Subcircuit Performance", IEEE JOURNAL OF SOLID-STATE CIRCUIT, VOL. 30, NO. 6 JUNE 1995
- [4] R. Thewes et al, "Hot-Carrier Degradation of p-MOSFET's in Analog Operation : The Relevance of the Channel-Length-Independent Drain Conductance Degradation", IEDM, pp. 531-534, 1992
- [5] Yoon J. Huh et al, "Hot-Carrier-Induced Circuit Degradation In Actual DRAM". IEEE, pp. 72-75, 1995
- [6] Yoon J. Huh et al, "Hot-Carrier-Induced Gate Capacitance Variation and Its Impact on DRAM Circuit Functionality" IEDM, pp. 33-36, 1995
- [7] C. Duyvury et al, "IMPACT OF HOT CARRIER ON DRAM CIRCUITS", IEEE/IRPS, pp. 201-206, 1987
- [8] J. chung et al, "The effects of hot electron degradation on analog MOSFET performance", IEDM Tech. Dig., pp.553-556, 1990
- [9] Yohji Watanabe et al, "Offste Compensating Bit-Line Sensing Scheme for High Density DRAM's", IEEE JOURNAL OF SOLID-STATE CIRCUIT, VOL.29, NO.1, JANUARY 1994