

Single-poly EEPROM의 프로그램 및 소거특성에 관한 연구

류영진, 유종근, 이광엽*, 김영석**, 박종태

인천대학교 전자공학과, 402-749, 인천광역시 남구 도화동 177 번지

g981051@lion.inchon.ac.kr

인천대학교 전자공학과

*서경대학교 컴퓨터과학과

**충북대학교 전기전자공학부

A Study on the Programming and Erasing Characteristics of Single-Poly EEPROM

Y.C. Yu, C.G. Yu, K.Y. Lee*, Y.S. Kim**, J.T. Park

Univ. of Incheon, Electronic Eng., 177 Tohwa-dong, Namgu, 402-749, Korea

*Seogyong Univ., Computer science

**Chungbuk Univ., Electrical and Electronic Eng.

Abstract

In this work, single-poly EEPROM has been designed and fabricated by using standard 0.8 μ m CMOS process. The initial threshold voltage was about 0.8V but it increased to about 6.5V after programming at $V_{ds}=11.5V$ and $V_{cg}=6.5V$. After erasing devices at $V_s=14.2V$, the threshold voltage decreased to about 1.5V. The programming time and erasing time were about 6ms. and 100ms. respectively. The erasing time can be reduced by applying a series of shorter erase pulses instead of a long single erase pulse.

I 서론

집적회로의 공정기술 발달로 최근에는 마이크로프로세서에 기억소자를 embedding한 system-on-chip architecture 설계연구가 많이 진행되고 있다. 특히 카드 IC를 비롯한 PDA등에서는 전원이 끊어진 상태에서도 계속하여 데이터를 저장할 수 있는 EEPROM, flash 메

모리 등의 비휘발성 기억소자가 요구되므로 이에 관한 연구가 활발하다. 지금 사용되고 있는 EEPROM 이나 flash 메모리는 double-poly 실리콘 게이트 공정과 interpoly 산화 실리콘 공정을 사용하므로 공정이 복잡하고 신뢰도가 떨어지는 문제점이 있다. 이런 문제점을 해결하기 위하여 기존의 일반적인 CMOS 공정을 이용하는 single-poly 실리콘 게이트 EEPROM이 제안되었다[1,2]. 이 single-poly EEPROM은 수직적 구조를 갖는 double-poly 게이트 구조를 수평적으로 펼친 층상 구조이므로 집 면적이 증가 하게된다. 그러나 interpoly 산화 실리콘층을 사용하지 않으므로 double-poly EEPROM에 비하여 신뢰성이 좋게 되며 간단한 공정으로 가격이 싸게 되므로 큰 기억용량이 요구되지 않는 카드 IC등에는 그 활용도가 높 것이다.

NOR형 double-poly EEPROM 은 Channel Hot Electron (CHE) 프로그램 방식과 Fowler - Nordheim Tunneling (FNT) 소거 방식을 이용하므로 비교적 프로그램시간은 μ s로 빠른 반면에 소거시간은 ms 정도로 느리다[3]. 이것은 소거시 플로팅 게이트에 모인 전자가 소스로 터널링될 때 플로팅 게이트와 소스의 중복되는 면적이

작으므로 터널링 전류가 작기 때문이다.

지금까지 single-poly EEPROM 의 프로그램 특성과 데이터 보유시간에 관한 연구가 진행되었으나 소거 특성에 관한 연구가 미흡하다. 특히 소자의 구조를 변경하지 않고 소거시간을 개선할 수 있는 소거방식에 관한 연구가 미흡하다.

본 연구에서는 기존의 일반적인 0.8 μ m 표준형 CMOS 공정을 이용하여 single-poly EEPROM을 설계·제작하였다. 그리고 프로그램 및 소거 특성을 분석하였으며 특히 소거시간을 개선하기 위한 소거방식에 관하여 연구를 하였다. 소거시 소거 전압으로 펄스를 인가 하는 방법을 비교·분석하므로 소거시간을 개선할 수 있는 방법을 제시하였다.

II 소자 설계 및 제작

Single-poly EEPROM 은 IDEC 의 0.8 μ m 표준 CMOS 공정의 설계규칙에 맞게 설계하였다. 테스트 칩의 레이아웃은 그림1과 같으며 채널길이는 0.8 μ m 이고 폭은 1.6 μ m 이다. 컨트롤게이트의 인가 전압 중에서 실제 플로팅 게이트에 인가되는 전압 비율인 커플링비율 (Coupling ratio)은 NMOS의 게이트 커패시턴스와 n-well의 컨트롤 게이트 커패시턴스에 의하여 결정되므로 그림 1에서는 약 0.8이 되게 설계하였다. 컨트롤 게이트가 p+-확산/n-well로 구성되면 프로그램 특성이 좋으며 n+-확산/n-well로 구성되면 소거특성이 좋다는 다른 연구의 결과를 참고로 하여 컨트롤 게이트를 n+-확산/p+-확산/n-well로 설계하였다[2].

소자 제작시 0.8 μ m 표준 CMOS 공정을 이용하였으므로 추가 마스크가 사용되지 않았으며 게이트 산화층 두께는 175Å 이며 LDD 구조이다.

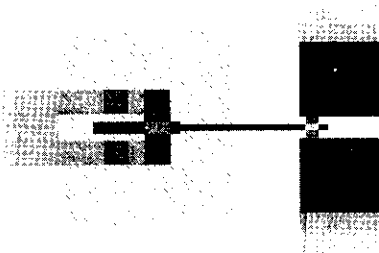


그림1. 테스트 칩의 레이아웃

III. 소자의 프로그램 및 소거특성

제작된 채널길이 0.8 μ m single-poly EEPROM의 one-

shot 프로그램특성을 측정하여 그림2에 나타내었다. 컨트롤 게이트에 11.5V의 일정한 전압을 인가하며 드레인 전압에 따른 드레인 전류특성을 측정하였다. 그림에서 드레인 전압이 약 5V이상 되었을 때 드레인 전류가 급격히 감소되는 현상을 관찰할 수 있다. 이것은 드레인 전압이 5V이상 일 때 드레인 근처에서 온 수평전계에 의하여 생성된 hot electron이 플로팅 게이트로 주입되어 문턱전압이 높아 졌기 때문이다. 주 그림 2로부터 프로그램을 위한 게이트 전압은 11.5V 일 때 드레인 전압은 5V보다 커야됨을 알 수 있다. 그리고 드레인 전압이 10V 정도 되면 드레인 전류가 크게 증가하는 것은 snap-back 현상에 의한 소자의 항복현상 때문이다.

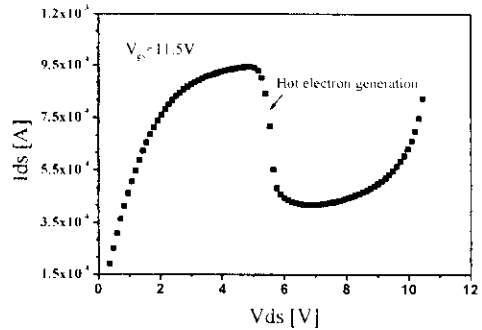


그림2. One-shot 프로그램 특성

그림3은 single-poly EEPROM 의 초기상태, 프로그램 후 및 소거후의 게이트 전압에 따른 드레인 전류특성을 나타낸 것으로 초기상태의 약 0.8V 의 문턱전압이 프로그램 후에는 약 6.5V, 소거 후에는 약 1.5V로 된 것을 알 수 있다. 프로그램은 컨트롤 게이트에 11.5V, 드레인에 6.5V를 10ms인가하였다. 그리고 소거는 컨트롤 게이트와 드레인 및 기판을 접지하고 소스에 14.2V를 100ms 인가하였다. 그림3으로부터 프로그램과 소거가 완전히 되었음을 알 수 있다. 프로그램 시 플로팅 게이트에 축적되는 전자의 양을 구하기 위하여 같은 공정으로 제작된 같은 크기의 bulk nMOS 소자의 게이트 전류를 측정하였다. 커플링 비율이 0.8로 설계하였기 때문에 bulk nMOS의 게이트에 9.2V, 드레인에 6.5V를 인가하였을 때 게이트의 전류는 약 62 pA 이었으므로 프로그램 시간과 같으면 전하량은 약 $6.2 \times 10^{13}C$ 이 된다. 플로팅 게이트에 축적된 전하량을

소거하기 위하여 소스에 14.2V의 전압을 인가하였을 때 게이트 전류는 약 50 μ A이었다. 그 결과 소거시간이 프로그램 시간에 보다 1.2배 커야됨을 알 수 있다.

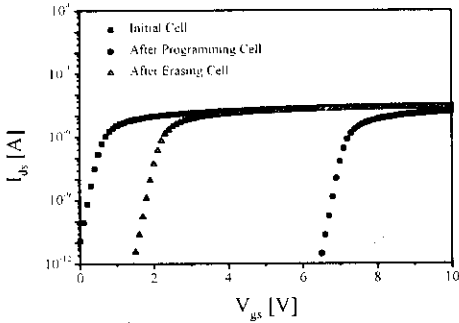


그림3. 초기상태, 프로그램후 및 소거후의 컨트롤 게이트 전압-드레인 전류 특성

프로그램의 최적전압과 시간을 구하기 위하여 그림4에 게이트 전압이 11V로 일정할 때 드레인 전압과 프로그램 펄스 폭에 따른 프로그램 후의 문턱전압을 나타내었다. EEPROM의 판독시 문턱전압 5V를 기준으로 한다면 게이트전압이 11V이고 드레인 전압이 6.5V 일 때 프로그램시간이 60ms 임을 알 수 있으며 드레인 전압이 6V로 낮으면 프로그램시간이 90~100ms로 커야됨을 알 수 있다. 그리고 게이트 전압이 12V, 드레인 전압이 6.5V에서는 프로그램시간이 약 6ms 임을 알 수 있었다. 즉 고속 프로그램용 위해서는 hot electron이 많이 주입되는 조건인 게이트와 드레인 전압을 높여야 한다.

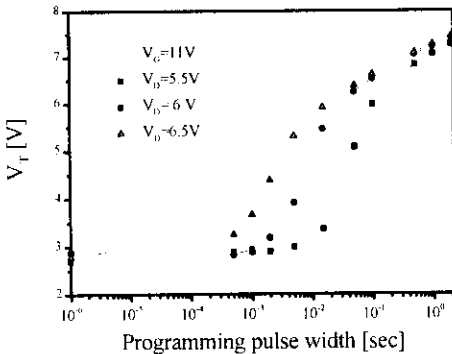


그림4. 드레인 전압에 따른 EEPROM 셀의 CHE 프로그램 특성

그림5는 소거시의 최적 소스 전압과 소거시간을 구하

기 위하여 소거시 펄스폭의 크기에 따른 소거후의 문턱 전압을 나타낸 것이다. 소거 동작은 소스에 높은 양의 전압을 인가하여 플로팅의 축적된 전자를 F-N 터널링에 의하여 소스 쪽으로 뽑아 내는 과정이다. 소스에 높은 전압이 인가될 수록 소거 시간이 짧아지게 된다. 그러나 소스의 전압이 너무 높으면 p-n접합에 항복 현상이 일어나므로 이 보다 낮은 전압을 인가하여야 한다. 그림5에서는 소스전압을 13.8V ~ 14.2V로 인가하면서 소거 시간 변화를 관측하였다. 본 연구에서 제작된 소자의 p-n 접합 항복 전압은 약 15V이었으므로 가능한 높은 전압을 소스에 인가하였다. 관측 문턱전압을 5V로 가정하였을 때 소거 시간을 수백 ms로 하기 위해서는 소스전압을 14.2V로 하여야 함을 알 수 있다. 그림5에서 소스 전압이 14.2V일 때 소거 시간은 약 100ms임을 알 수 있다. 프로그램시와 소거시의 bulk nMOS의 게이트 전류 측정으로부터 소거시간이 프로그램 시간보다 약 1.2배 큰 것으로 예상하였으나 실제로는 약 10배로 큰 것을 알 수 있다. 이것은 플로팅 게이트가 다결정 실리콘이므로 프로그램시 게이트에 축적된 전자가 소스로 터널링이 쉽게 되지 않기 때문인 것이다. 소거 시간이 프로그램시간 보다 비교적 큰 것은 프로그램시 hot electron이 주입되는 면적이 소거시 F-N 터널링되는 면적 보다 크기 때문이다. 그리고 본 연구에서와 같이 게이트 산화층의 두께가 큰 경우는 소거 시간이 길어 질 수밖에 없다.

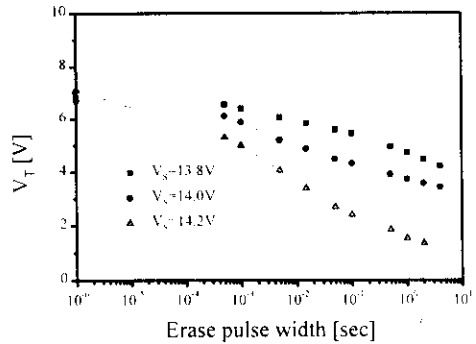


그림5. 소스 전압에 따른 EEPROM 셀의 FNT 소거 특성

IV. 소거 시간을 개선하기 위한 방법

소거는 컨트롤 게이트와 기판을 접지시키고 드레인

을 floating 시킨 상태에서 소스에 전압을 인가하여 FNT 메카니즘으로 플로팅 게이트에 모인 전자를 소스로 뽑아내는 과정이다. 이때 일반적인 소스/드레인 접합기술로는 플로팅 게이트와 소스가 중첩되는 영역이 작아서 전자를 소거하는데 시간이 많이 요구되므로 높은 소스 전압을 인가한다. 다른 방법으로는 소스쪽에 graded접합을 이용하여 중첩 면적을 증가시키므로 소거 시간을 줄이는 연구도 있다[4]. 본 연구에서는 표준 CMOS 공정을 사용하였으므로 소거 시간을 줄이기 위한 소자의 구조 및 공정조건의 최적화를 할 수 없으므로 소거시 각 단자의 인가 전압 방식을 여러가지로 조합하여 소거 시간을 줄일 수 있는 방법들을 제시하였다.

일반적으로 소스에는 single 펄스를 인가하고 있으나, 본 연구에서는 소거 시간을 같게 하면서 소스에 짧은 펄스를 직렬로 인가하여 소거특성을 측정하였다. 그림 6은 같은 소거 시간(100ms)동안에 펄스폭이 다른 여러 주파수의 펄스를 소스에 인가하였을 때 소거시의 문턱 전압 변화를 나타낸 것이다. 그림에서 펄스의 주파수가 높을 수록 즉 펄스폭이 작을 수록 소거가 잘 되는 것을 알 수 있다. 결국 소스에 폭이 짧은 펄스를 인가하므로 소거 시간을 줄일 수 있게된다. 이런 현상을 산화층에 생성된 trap의 detrapping으로 설명하는 연구도 있으나 그것보다는 펄스인가시 발생하는 voltage overshoot 때문에 소거가 잘 되는 것으로 사료된다[5]. Voltage overshoot는 펄스폭이 짧을 수록 또 주파수가 높을 수록 클 것이므로 높은 전계에 의하여 플로팅 게이트에서 소스로 FNT현상이 많이 일어날 것이다.

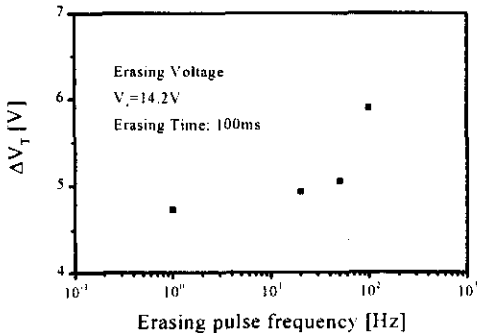


그림 6. 소스에 짧은 펄스를 직렬로 인가하였을 때 펄스 주파수에 따른 문턱전압 변화

V. 결론

0.8 μ m 표준공정을 이용하여 single-poly EEPROM을 설계 제작하여 프로그램 및 소거 특성을 측정 분석하였다. 완벽한 프로그램 및 소거 특성을 얻을 수 있었다. 프로그램 시간은 6ms이며 소거시간은 약 100ms이었다. 소거 시간을 줄이기 위해서는 소스에 펄스폭이 작은 짧은 펄스를 직렬로 인가하는 것이 최적의 방법임을 알 수 있었다.

VI. References

- [1] K. Ohsaki, N. Asamoto, and S. Takagaki. "A Single Poly EEPROM Cell Structure for Use in Standard CMOS Processes". IEEE J. Solid-state Circuits Vol. 29, No.3, pp.311-316, 1994
- [2] 한재철, 나기열, 이성철, 김영석, "Single-PolyEEPROM의 프로그램 특성", 전자공학회 논문지 A편, 제33권 A편 제2호, pp.131-139, 1996
- [3] W. D. Brown and J. E. Brewer. Nonvolatile Semiconductor Memory Technology, 1997, IEEE press
- [4] H. Kume, H. Yamamoto, T. Adach, T. Hagiwara, K. komori, T. Nishimoto, A. Koike, S. Meguro, T. Hayashida, and T. Tsukmuda. "A Flash-erase EEPROM cell with an asymmetric source and drain structure". IEEE IEDM Tech. Dig., pp.560-563, 1987
- [5] T. Endoh, H. Iizoka, S. Aritome, R. Shirota, and F. Masuoka. "New write/erase operation technology for flash EEPROM cells to improve the read disturb characteristics". IEEE IEDM Tech. Dig., pp.603-606, 1992