

S³A방법에 의한 N-MOSFET의 소신호 해석에 대한 연구

임용진 이은구 김철성
인하대학교 전자공학과
인천광역시 남구 용현동 253

A Study on The Small Signal Analysis using the S³A Method of N-MOSFET

Woong-Jin Lim Eun-Gu Lee Cheol-Soung Kim
Dept. of Electronics Eng., Unvi. of INHA
#253 Yonghyun-dong Nam-Gu, Inchon, Korea

요약

소신호 해석을 위해 사용되는 여러 가지 방법을 비교하고 Sinusoidal steady state Analysis(S³A) 방법을 이용해 반도체 소자를 소신호 해석한다.

소신호 행렬의 풀이방법으로 메모리 소비량이 적고 고주파수에서 행렬 연산으로 인한 잡음성분이 적은 전진해법을 사용한다.

MEDICI에 의한 모의실험 결과와 비교하여 10GHz 이하의 주파수 영역에서는 비슷하였으나 10GHz~100GHz의 주파수영역에서 MEDICI에 비하여 정확한 결과를 보였다.

I. 서론

반도체 소자의 동작이 고속화됨에 따라 디지털과 아날로그회로 설계에 사용되는 소자의 주파수응답에 대한 정확한 예측과 소자 내부의 잡음특성이나 신호의 왜곡현상에 대한 분석이 중요하게 되었다. 이에 따라 반도체 소자에 대한 모의실험을 통해 정확한 주파수특성 분석과 예측이 필요하게 되었고 이에 대한 연구가 활발히 진행중이다.^{[1][2][3]}

대부분의 소자 시뮬레이터에서는 소신호 해석을 위

해 주로 S³A방법^{[2][4]}을 이용해 반도체 방정식을 선형화 하며 행렬풀이법으로는 소신호 행렬이 정상상태나 과도상태에 비해 크기가 4배가 되는 특징때문에 메모리소비량이 많은 직접법 대신 주로 반복법(SOR, ILU CGS, BICGSTAB)^{[2][4]}을 사용하여 수치 해석한다.

소신호 행렬은 고주파영역에서 실수부와 허수부가 강하게 결합되기 때문에 반복법에 의해 수치해석하게 되면 수렴성이 좋지 않고 정확한 해를 구할 수 없다.

본 논문에서는 소신호 AC 해석에서 주로 사용되는 Fourier decomposition 방법(FD), Incremental Charge Partitioning 방법(CP)과 S³A방법^[1]의 장단점을 비교^[2]하고 Slotboom변수로 표현된 반도체 방정식을 S³A법을 사용하여 선형화 하고 이를 이용해 반도체소자를 소신호 해석한다.

소신호 행렬의 풀이법으로 메모리의 사용량을 줄이면서 고주파수에서의 수렴성과 해의 정확성을 높일 수 있는 전진해법^[5]을 사용한다.

제시된 방법의 정확성을 비교 검증하기 위해 N-MOSFET 각 단자에서의 인가전압과 주파수에 따른 Conductance와 Capacitance를 MEDICI 모의실험 결과와 비교한다

II. Small signal AC analysis의 방법비교

반도체소자의 소신호 AC해석을 위해 사용되는 방법으로는 FD방법, CP방법 과 S³A방법이 있다.

각각의 해석방법의 특징을 [표1]에서 비교한다.

[표1] 소신호 AC해석방법

소신호 해석방법	특징
FD 방법	transient 해석결과를 이용하여 소신호 해석, 고주파수에서의 정확한 소신호 해를 구하기위해서는 작은 시간간격으로 transient 해석이 요구되어 모의실험시간이 매우 많이 필요
CP 방법	dc 해석을 이용하여 소신호 해석, 저주파수에서는 정확하지만 고주파수에서는 오차가 큼
S ³ A 방법	소자의 모의실험시 직접 소신호를 각 단자에 입력하여 이에 따른 전류를 이용하여 소신호 해석, 정확하나 계산량이 증가

소자가 고속동작을 하게됨에 따라 고주파수에 대한 소자의 응답이 중요하게 되므로 FD방법이나 CP방법에 의한 모의실험은 모의실험 시간이 증가하거나 주파수에 따른 오차가 증가하여 모의실험에 부적합하다^[2].

이에 따라 고주파수에서도 정확하게 소신호 해석이 가능하며 모의실험 시간이 크지 않은 S³A방법에 의한 소신호해석이 필요하다.

III. S³A에 의한 반도체방정식의 해석

S³A를 이용하여 반도체소자를 소신호 해석하기 위해서는 각 전극에 sinusoidal 미소입력이 인가 되면 각 전극에서의 계산되어지는 출력도 sinusoidal 이라 가정하여 반도체방정식^[6]을 선형화하여 각 전극에서의 Conductance와 Capacitance을 계산한다.

소신호 해석을 위해 반도체소자에 인가한 미소 sinusoidal 전압에 대한 각 단자에서의 전위, 전자, 정공의 의사 페르미 준위에 대한 출력은 식[1],[2],[3]으로 가정^[3]할 수 있다.

$$u = u_0 + \tilde{u}e^{j\omega t} \quad [1]$$

$$u_n = u_{n0} + \tilde{u}_ne^{j\omega t} \quad [2]$$

$$u_p = u_{p0} + \tilde{u}_pe^{j\omega t} \quad [3]$$

$$(u = \frac{q}{kT} \phi, u_n = \frac{q}{kT} \phi_n, u_p = \frac{q}{kT} \phi_p,)$$

u_0, u_{n0}, u_{p0} : 정상상태 페르미 준위, t : 시간

$\tilde{u}, \tilde{u}_n, \tilde{u}_p$: 소신호 페르미 준위, w : 주파수)

식[1],[2],[3]의 전위, 전자, 정공에 대한 의사 페르미 준위를 Taylor급수 전개를 이용하여 Slotboom변수의 형태로 변형하면 반도체방정식의 각 단자에서의 출력이 식[4],[5],[6]으로 가정된다.

$$u = u_0 + \tilde{u}e^{j\omega t} \quad [4]$$

$$v = v_0 + v_0(\tilde{v}-1)e^{j\omega t} \quad [5]$$

$$w = w_0 + w_0(\tilde{w}-1)e^{j\omega t} \quad [6]$$

$$(v_0 = e^{-u_0}, w_0 = e^{u_0}, \tilde{v} = e^{-u_n}, \tilde{w} = e^{u_p})$$

또한 전자와 정공농도에 대한 소신호 출력을 Taylor급수 전개를 이용하여 Slotboom변수로 표현하면 식[7],[8]로 가정된다.

$$\tilde{n} = e^{u_0+V_1}(v_0\tilde{u}+v_0(\tilde{v}-1)) \quad [7]$$

$$\tilde{p} = e^{-u_0+V_2}(-w_0\tilde{u}+w_0(\tilde{w}-1)) \quad [8]$$

(\tilde{n}, \tilde{p} : 전자, 정공의 소신호 농도)

따라서 위 가정과 같이 각 전극에 sinusoidal 미소 입력이 인가되었을때의 각 전극에서의 출력을 정상상태 반도체 방정식^[6]에 대입함으로 해서 선형화 할 수 있다. 이에 따라 계산된 소신호 해석을 위해 선형화된 반도체 방정식은 식[9],[10],[11]로 나타난다.

$$F_u(u, v, w) = F_u(u_0, v_0, w_0) + \frac{\partial F_u}{\partial u} \tilde{u}e^{j\omega t} + \frac{\partial F_u}{\partial v} v_0(\tilde{v}-1)e^{j\omega t} + \frac{\partial F_u}{\partial w} w_0(\tilde{w}-1)e^{j\omega t} \quad [9]$$

$$T_v(u, v, w) = F_v(u_0, v_0, w_0) + \tilde{u}e^{j\omega t} \left\{ \frac{\partial F_v}{\partial u} - j\omega(v_0e^{u_0+V_1}) \right\} + v_0(\tilde{v}-1)e^{j\omega t} \left\{ \frac{\partial F_v}{\partial v} - j\omega(v_0e^{u_0+V_1}) \right\} + w_0(\tilde{w}-1)e^{j\omega t} \frac{\partial F_v}{\partial w} \quad [10]$$

$$T_w(u, v, w) = F_w(u_0, v_0, w_0) + \tilde{u}e^{j\omega t} \left\{ \frac{\partial F_w}{\partial u} + j\omega(w_0e^{-u_0+V_2}) \right\} + v_0(\tilde{v}-1)e^{j\omega t} \frac{\partial F_w}{\partial v} + w_0(\tilde{w}-1)e^{j\omega t} \left\{ \frac{\partial F_w}{\partial w} - j\omega(w_0e^{-u_0+V_2}) \right\} \quad [11]$$

식[9],[10],[11]을 수치해석하기 위해 만들어진 행렬 형태는 식[12]와 같다.

$$\begin{pmatrix} \frac{\partial F_u}{\partial u} & \frac{\partial F_u}{\partial v} & \frac{\partial F_u}{\partial w} \\ \frac{\partial F_v}{\partial u} - jw(v_0 e^{n_0 + v_0}) & \frac{\partial F_v}{\partial v} - jwe^{n_0 + v_0} & \frac{\partial F_v}{\partial w} \\ \frac{\partial F_w}{\partial u} + jw(w_0 e^{n_0 + v_0}) & \frac{\partial F_w}{\partial v} & \frac{\partial F_w}{\partial w} - jwe^{n_0 + v_0} \end{pmatrix} \times \begin{pmatrix} \tilde{u} \\ v_0(\tilde{v}-1) \\ w_0(\tilde{w}-1) \end{pmatrix} = 0 \quad [12]$$

식[12]의 소신호 행렬을 간단히 표현하면 식[13]와 같다.

$$[J + jD]\tilde{X} = B \quad [13]$$

(J : 실수 계수 행렬(정상상태의 Jacobian),

D : 허수 계수 행렬, B : 경계조건, \tilde{X} : 소신호 해)

식[13]의 복소 행렬에서 소신호 해 \tilde{X} 를 실수부와 허수부로 나누면 실제 행렬계산을 위한 행렬형태 식 [14]을 구할 수 있다.

$$\begin{bmatrix} J & -D \\ D & J \end{bmatrix} \begin{bmatrix} X_R \\ X_I \end{bmatrix} = \begin{bmatrix} B \\ 0 \end{bmatrix} \quad [14]$$

(X_R : 소신호 해의 실수부,

X_I : 소신호 해의 허수부)

식[14]와 같이 정상상태와 과도상태 모의실험에 필요한 행렬크기와 소신호 행렬을 비교해 보면 행렬의 크기가 4배가 되어 모의실험시 메모리의 소비량이 매우 커지게 된다.

본 논문에서는 상용 시뮬레이터에서 메모리 소비량을 줄이기 위하여 사용한 반복법^{[2][4]}(SOR, ILUCGS, BICGSTAB)대신 전진해법^[5]을 사용하여 메모리 소비량을 최소화하면서 고주파수에서 수렴성이 좋지않고 해가 부정확한 반복법의 단점을 보완했다.

IV. 모의실험 결과 및 비교

소신호 해석 결과의 정확성을 검증하기 위하여 BANDIS^[6]라는 자체개발 프로그램을 300MHz DEC Alphastation에서 모의실험한 결과와 상용 시뮬레이터인 MEDICI를 HP9000/715 EWS에서 모의실험한 결과를 비교 검토하였다.

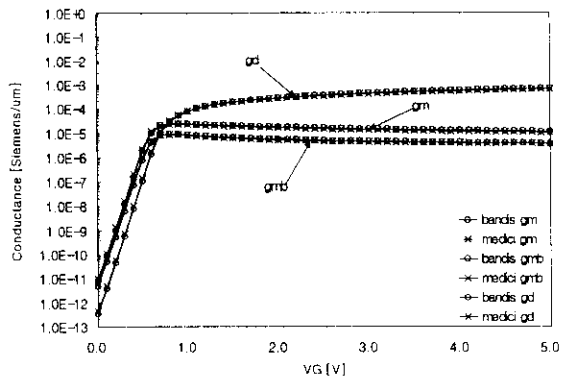
정상상태의 해와 모의실험에 사용된 N-MOSFET의 구조와 경계조건은 참고논문의 발표 결과를 참조^[7]

하였으며, 모의실험 조건은 표[2]와 같다.

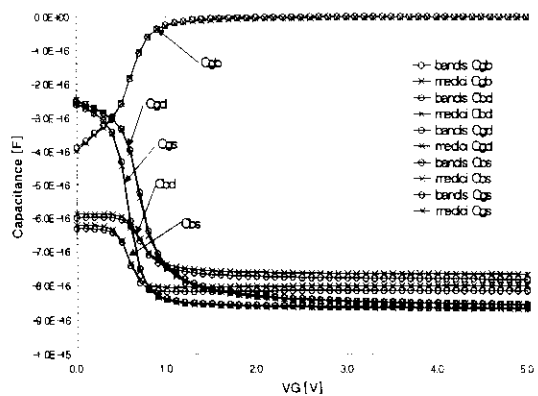
[표2] 모의실험에 사용된 물리적인 모델

이동도	Analytic 이동도
생성-재결합 모델	사용 안함
bandgap-narrowing 모델	사용함

그림 [1],[2]은 드레인 전압이 0.1V로 인가된 N-MOSFET의 각 단자에 소신호 입력으로 진폭 2mV, 주파수 1Hz인 정현전압을 인가하였을 때의 각 단자에서의 게이트전압에 따른 Conductance와 Capacitance이다.



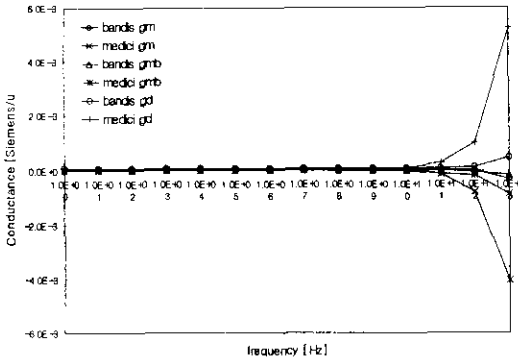
[그림1] 게이트전압에 따른 Conductance의 변화 (입력 소신호 : 2mV, 주파수 : 1Hz)



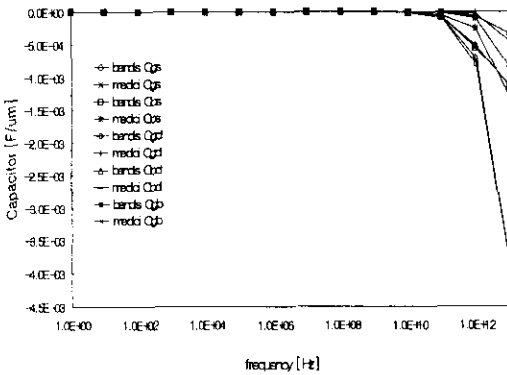
[그림2] 게이트전압에 따른 Capacitance의 변화 (입력 소신호 : 2mV, 주파수 : 1Hz)

BANDIS의 의한 모의실험결과를 MEDICI의 모의실험결과와 비교하여 Conductance와 Capacitance가 각각 최대상대오차 5%, 3%미만의 결과를 보였다.

그림 [3],[4]는 드레인 전압이 0.1V로 인가된 N-MOSFET에 입력 소신호가 열전압의 0.1배이고 게이트 전압이 1.0V로 인가된 경우의 주파수에 따른 Conductance와 Capacitance의 변화이다.



[그림3] 주파수에 따른 Conductance의 변화
(입력 소신호 : 2.581mV, 게이트전압 : 1.0V)



[그림4] 주파수에 따른 Capacitance의 변화
(입력 소신호 : 2.581mV, 게이트전압 : 1.0V)

BANDIS와 MEDICI의 모의실험 결과 1GHz이하의 주파수영역에서는 최대상대오차가 Conductance의 경우는 3%미만, Capacitance의 경우는 2%미만으로 예측 하였으며 10GHz ~ 100GHz의 주파수영역에서는 MEDICI의 결과는 불안정한 결과를 보였으나 BANDIS는 안정된 결과를 보였다.

V. 결론

기존의 상용 시뮬레이터에서 사용한 방법과는 달리 S³A방법을 Slotboom변수로 표현된 반도체방정식에 적용하여 선형화하여 반도체소자의 소신호 해석을 모의 실험 하였다.

드레인 전압을 일정하게 하고 게이트 전압의 증가에 따른 소신호 해석을 모의실험하였을때 MEDICI의 모의실험결과와 비교하여 최대상대오차가 Conductance는 5%이내이고 Capacitance는 3%이내의 오차를 보여 구현한 S³A 방법이 정확함을 알 수 있다.

전진해법을 사용하여 행렬의 해를 구한 결과 10GHz 이하의 주파수영역에서는 MEDICI의 모의실험결과와 비교하여 최대상대오차가 Conductance는 3%내이고 Capacitance는 2%이내의 오차를 보였으며, 10GHz~100GHz 정도의 주파수영역에서는 더욱 안정되게 Conductance와 Capacitance를 구할 수 있어 본 논문에서 도입한 전진해법이 고주파영역을 정확히 해석할 수 있음을 알았다.

참고논문

- [1] M. A. Green and J. Shewchun, "Application of the small-signal transmission line equivalent circuit model to the a.c., d.c. and transient analysis of semiconductor devices," Solid-State Electron., Vol. 17, No 9, pp. 941-949, Sept. 1974.
- [2] Steven E. Laux, "Techniques for Small-Signal Analysis of Semiconductor Devices," IEEE Transactions of Electron Devices, Vol. ED-32, No. 10, pp. 2028-2037 Oct. 1985.
- [3] J. Machek, W. Fulop, "Harmonic Distortion in a One-Dimensional p-n-p Transistor," Solid-State Electronics Vol. 26, No. 6, pp. 525-536, Jun., 1983
- [4] MEDICI manual, Technology Modeling Associates, Inc., pp. 34-45
- [5] 이은구, 김태한, 김철성, "3차원 소자 해석을 위한 전진해법," 대한전자공학회 추계학술대회 논문집, Vol 20, No 2, pp. 441-444, Nov. 1997
- [6] 윤현민, 김태한, 김대영, 김철성 "3차원 정상상태의 드리프트-확산 방정식의 해석 프로그램 개발," 대한전자공학회 논문지 제34권 D편 제8호 pp.41-51, 1997
- [7] 임웅진, 이은구, 김철성, "Trapezoidal방법에 의한 3차원 연속 방정식의 이산화에 관한 연구," 대한전자공학회 추계학술대회 논문집, Vol 20, No 2, pp. 445-448, Nov. 1997