

FPGA를 이용한 WaterMarking Processor의 구현

김기영*, 오희빈**, 이용환**, 이상범**, 이준환***

*단국대학교 공학부, **단국대학교 전자컴퓨터공학과, ***극동대학교 정보통신공학과

Implementation of Watermarking Processor Using FPGA

Whi-Vin Oh, Yong-Hwan Lee, Sang-Burm Rhee, June-Hwan Lee
Department of Engineering, Dankook University
*zzangscv@hotmail.com

요약

본 논문에서는 wavelet을 이용한 워터마크 삽입 시스템 구현을 제안한다. wavelet 변환 기법은 JPEG2000이나 MPEG-4와 같은 차세대 데이터 압축 표준의 기본적 연산으로서 DCT연산에 비해 주파수 해상도와 시간해상도를 모두 만족시킨다. 제안한 시스템은 크게 DWT 변환모듈, 워터마크 삽입모듈, IDWT 복원모듈, Main Controller모듈로 구성된다. DWT 변환모듈은 Haar 웨이블릿 변환알고리즘을 기반으로 설계 되었으며 1차 신축을 통해 변환된 주파수 영역에서 중간주파수 대역(LH 및 HL)을 선택하여 워터마크를 삽입하는 워터마크 삽입모듈, IDWT를 이용 신호를 복원하는 모듈, 전체시스템 구성 블록을 제어하는 Main Controller모듈로 구성된다.

1. 서론

최근 컴퓨터를 비롯한 디지털 시스템의 보급 확대 및 네트워크의 급속한 발전에 힘입어 다양한 디지털 콘텐츠들이 제작/활용되어지고 있다. 현재 다양한 분야에서 응용되고 있는 디지털 콘텐츠는 무단 복제와 변조로부터 저작권을 지키기 곤란한 문제를 안고 있다. 이러한 문제에 대해 디지털 콘텐츠 내부에 특정한 정보(water mark)를

삽입하여 데이터의 저작권을 보호하고 입증하는 수단으로서 디지털 watermarking기법이 제안되고 있다.

워터마크를 원본 영상에 삽입하는 방법으로는 크게 공간 영역에서의 삽입과 특정 주파수 영역에 삽입하는 방법이 있다. 공간 영역에서의 워터마킹은 구현 알고리즘이 단순하다는 장점이 있으나 압축 등의 영상변환에

워터마크와 원 영상이 손상을 입을 수 있는 문제점을 안고 있는 반면에 주파수 영역에서의 워터마킹은 압축이나 잡음에 강인한 특성을 갖고 있다. 주파수 영역으로의 변환은 DCT변환, Wavelet 변환 기법 등이 있으며

이중 Wavelet 변환은 기존의 변환 방식과 달리 시간과 주파수에 대하여 국부성(Locality)을 가지고 신호를 표현할 수 있어 비정상 과정(nonstationary)을 가지는 영상 신호를 해석함에 유리하며, 고압축시 영상 변환을 위한 데이터 변환 처리 속도와 복원후의 영상의 화질에서 DCT기반 변환 알고리즘에 비해 유리한 특성을 가지고 있다.[1,2]

본 논문에서도 Haar wavelet 변환을 이용하여 영상을 분해하고 워터마크를 삽입하는 프로세스를 구현하였다.

워터마킹 기법을 임베디드 시스템(Embedded system)에 응용하기 위해서는 MCU를 이용한 Firmware 레벨에서의 구현과 전용 프로세서를 설계하

여 응용하는 방법이 있으나 Hardware Resource 가 빈약한 Embedded시스템에서의 응용에는 전용 프로세서를 설계하여 알고리즘을 구현하는 방법이 선호되므로 본논문에서는 이러한 watermarking 시스템을 하드웨어 기술언어(HDL)인 Verilog HDL로 설계하여 Xilinx사의 target 디바이스에 적합한 회로를 합성하여 mapping 시키는 과정을 제안한다.

II. Haar Wavelet 변환

1. 변환 알고리즘

공간영역에서의 워터마크 삽입은 많은 취약점이 있으므로 이를 보완하기 위해 원본 영상을 주파수 영역으로의 변환 과정이 필요하게 된다.

Haar 기저를 사용한 이산 웨이블릿 변환은 N 입력 데이터의 유한 집합에서 동작하며, 거듭 제곱(2⁰, 2¹, 2², 2³, ... 2^D)인 값을 갖는다. 즉, N 은 입력 블록의 크기이며 두 개의 컨벌루션 함수를 각각 통과한 입력 데이터는 각각 원래 입력 길이의 절반의 출력을 생성한다. 절반의 출력 중 하나는 저역 통과 필터(low-pass filter) 함수에 의해 아래와 같은 수식을 통하여 생성된다.[3,4]

$$a_i = \frac{1}{2} \sum_{j=1}^N c_{2i-j+1} f_j \quad i = 1, \dots, \frac{N}{2} \quad (1)$$

또한, 다른 절반의 출력은 고역 통과 필터(High-pass filter)에 의해 아래와 같은 출력 함수를 갖는다.[3,4]

$$b_i = \frac{1}{2} \sum_{j=1}^N (-1)^{j+1} c_{j+2-2i} f_j \quad i = 1, \dots, \frac{N}{2} \quad (2)$$

다음은 LPF(low-pass filter) 및 HPF(high-pass filter)의 복원 식이다.

$$f_j^L = \sum_{i=1}^N c_{2i-j} a_i \quad j = 1, \dots, N \quad (3)$$

$$f_j^H = \sum_{i=1}^N (-1)^{j+1} c_{j+1-2i} b_i$$

$$j = 1, \dots, N \quad (4)$$

완전한 복원 신호는 역 저역 통과 필터와 역 고역 통과 필터의 합인 식(5)와 같이 된다.

$$f = f^L + f^H \quad (5)$$

입력 데이터가 필터 함수들을 통과하면, 저역 통과 필터(low-pass filter)의 출력은 두 입력 값의 평균값(average)으로 나타나며 고역 통과 필터(high-pass filter)의 출력은 두 입력 값의 차이(difference)로 나타남을 알 수 있다. 그러므로 주파수 분해결과의 저주파수 영역은 원 입력신호의 정보를 거의 대부분 포함하고 있으며 고주파수 영역은 저주파 영역보다 더 적은 정보를 포함한다.

다음 그림1은 2차원 DWT를 이용한 영상 변환의 과정을 보여 준다.

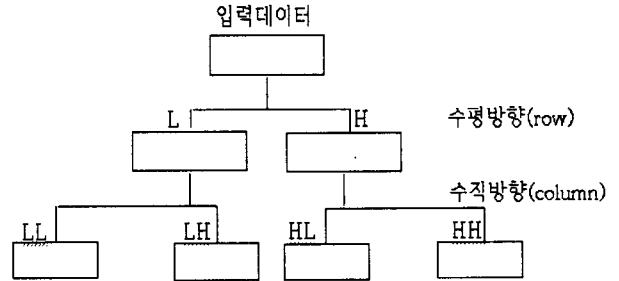


그림 1. Haar 기저를 이용한 2차원 1차 wavelet 변환과정

2. 워터마크 삽입(Insertion of Watermark)

워터마크로 사용될 영상은 256(0-255)의 명암 분포를 갖는 Gray 영상을 양자화 하여 얻어진 128 * 128 크기의 이진 영상을 사용한다. 이 이진 영상은 외부 메모리 시스템 상에 존재한다.

Wavelet 변환을 거쳐 분해된 원 영상에 워터마크를 삽입하기 위해서는 적절한 중간 주파수 영역을 선택하여 실시한다. 저주파 영역(LL)에 watermark를 삽입할 경우에는 압축 등과 같은 영상 처리에 강인성을 보이나 역 변환을 통해 이미지를 복원하면 화질의 열화가 심하다. 반대로 고주파 영역(HH)에 watermark를 삽입하면 화질의 열화는 없으나 압축 등의 과정을 거치면서 워터

마크가 파괴되기 쉽다.

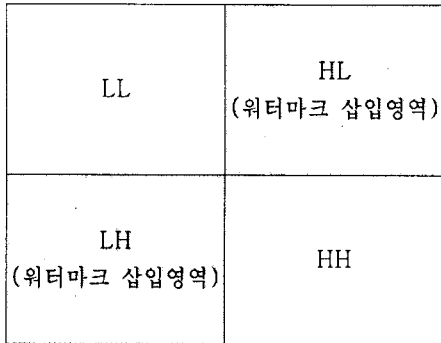


그림 2. 2차원 1차(1-level) wavelet분해에 의해 생성되는 영상

따라서 본 논문에서는 그림2에서처럼 중간 주파수 영역인 LH, HL영역을 선택하여 식(1)과 식(2)를 통하여 얻어지는 wavelet 계수의 LSB(Less Significant Bit)와 메모리에 존재하는 이진영상을 XOR 연산하여 삽입하며 다음 식에 의해 표현 될 수 있다.

$$W_k(i, j) = U_k(i, j) \oplus V_k(i, j) \quad (3)$$

i, j = 삽입될 Pixel 좌표

즉, wavelet 계수 $U(i,j)$ 와 워터마크 $V(i,j)$ 를 XOR하여 결과적으로 watermarked 영상 $W(i,j)$ 를 생성한다.

$$V'_k = W_k(i, j) \oplus U_k(i, j) \quad (4)$$

식(4)는 워터마크 추출 방법을 나타낸다.

III. Hardware 구현

본 논문에서 제안한 워터마크 삽입 시스템의 전체적인 블록도는 그림 3과 같다. Water marking Processor는 크게 각각의 서브 모듈들을 워터마크 삽입 알고리즘에 따라 순차적으로 활성화시키기 위한 적절한 제어신호를 발생시키는 Main Controller 모듈과 DWT 변환 모듈, 외부 메모리

로부터 water mark를 읽어 들여 삽입 알고리즘을 수행하는 워터마크 삽입 모듈(EMB Module), Wavelet 변환된 신호를 복원하는 IDWT 모듈로 구성된다. IDWT 모듈의 경우 DWT 모듈과같은 제어 상태들을 가지며 단지 데이터 패스부, 즉필터 블록만이 차이로가지므로 구조적으로 하나의 Verilog HDL모듈로 설계 될 수 있다.

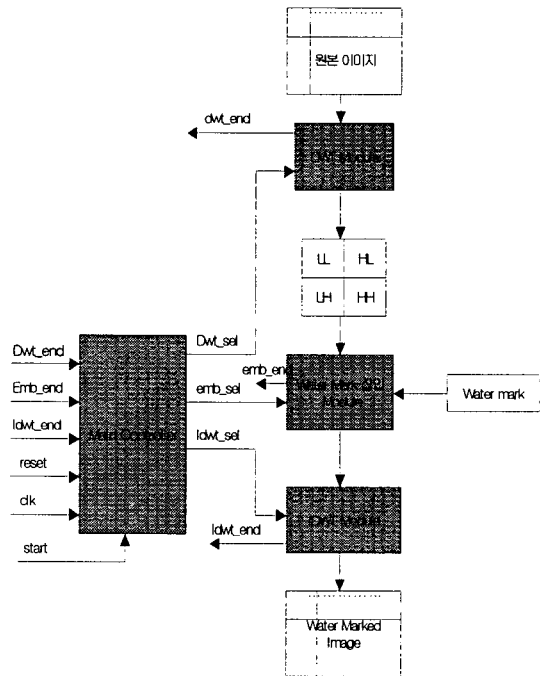


그림 3. 제안 시스템의 Block Diagram

1. 구성 모듈의 설계

1.1 DWT 및 IDWT 모듈의 설계

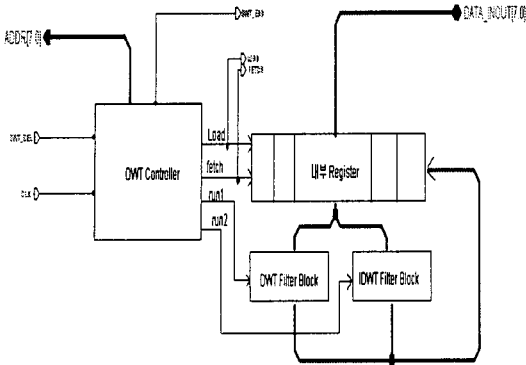


그림 4. DWT 및 IDWT Module

그림4 에서와 같이 Haar wavelet 변환 모듈은 크게 256Byte 크기의 내부 Register와 필터 블록, 그리고 입력 클럭에 따라 상태변화를 일으켜 데이터 패스부(filter block)를 제어하는 DWT controller로 구성되어 있다. 이 컨트롤러는 8bit 크기의 주소 버스(address bus)와 데이터 버스를 통해 원본 영상이 저장된 외부 메모리를 액세스하여 내부 레지스터에 원본 이미지의 한 행(row)에 해당하는 Pixel들을 읽어와 저장하고 처리하게 된다.

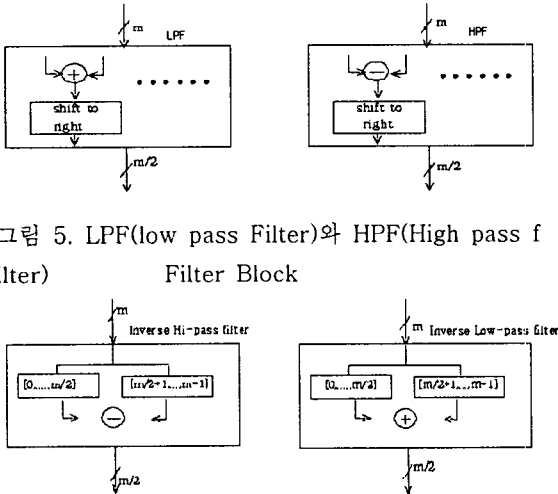


그림 5. LPF(low pass Filter)와 HPF(High pass filter) Filter Block

그림 6. Inverse LPF와 Inverse HPF Filter Block

그림 7은 이 컨트롤러의 FSM을 나타낸다. 변환 과정은 먼저 컨트롤러는 wait 상태에서 대기 중에 메인 컨트롤러로부터 dwt_sel 신호나 idwt

_sel 신호를 받게 되면 fetch 상태로 천이(transition)하게 된다.

이때 컨트롤러는 원본 이미지가 저장된 외부 메모리를 액세스하기 위해 fetch 신호를 외부메모리의 RD/WR 단자에 인가하고 주소bus에 해당 메모리의 주소를 출력하여 내부 레지스터로 이미지를 읽어 들이게 된다. 내부레지스터의 pixel값들에 대해 low-pass filter와 high-pass filter를 적용하여 그 출력을 다시 레지스터로 저장하고 변환할 이미지의 다음 행에 해당하는 Pixel 값들을 변환하기 위해 메모리에 먼저 변환된 값들을 적재하는 과정을 반복하여 2장의 그림 1과 같이 수평방향의 분해를 완료하고 외부 메모리에 저장된 이미지의 한 열(column)에 해당하는 Pixel 값들에 대해 다시 low-pass filtering과 high-pass filtering을 수행하여 수직 방향으로 분해하면 1-level 변환을 완료하게 된다. 이때 running1 상태는 run1신호를 통하여 DWT filter 블록을 활성화시켜 DWT 변환을 수행하는 단계이고 running2상태는 Inverse lowpass filter와 Inverse high pass filter 블록을 활성화 시켜 IDWT 변환을 수행하게 된다.

DWT 컨트롤러 모듈은 clock수를 count하여 변환이 완료되면

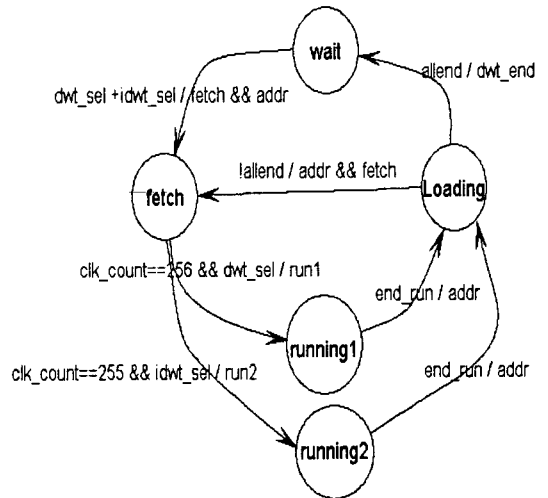


그림 7. DWT 및 IDWT Controller의 FSM
dwt_end 신호를 통해 시스템 전체를 제어하는 시스템 컨트롤 모듈에게 완료를 알리게 된다. dwt_end 신호를 받은 메인 컨트롤러는 다음 단계인

watermark 삽입 모듈을 활성화시키게 된다.

1.2 water mark 삽입 모듈의 설계

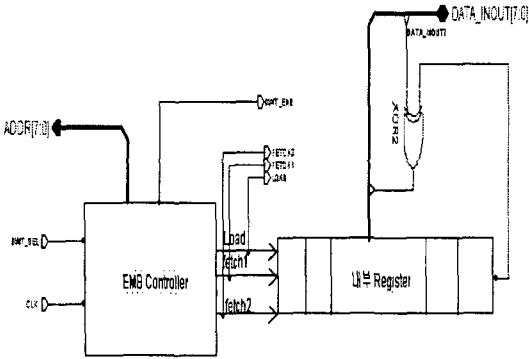


그림 9. watermark 삽입 모듈

watermark 삽입 모듈은 활성화 된 후 외부 메모리로부터 입력받은 128*128 크기의 이진영상과 또 다른 외부 메모리에 저장된, DWT 변환을 거쳐 분해된 중간주파수 영역 값들의 LSB(Least Significant Bit)와 XOR연산하여 워터마크를 삽입하게 된다.

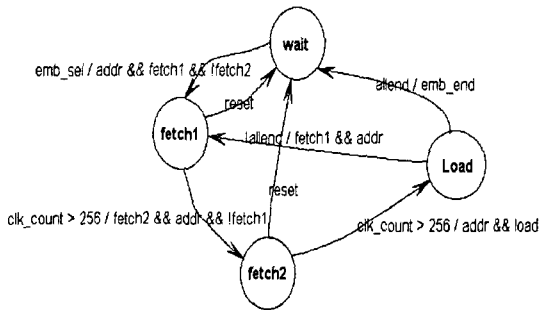


그림 10. EMB controller 모듈의 FSM

fetch1 상태는 원본 영상의 웨이블렛 계수값이 저장된 외부 메모리로부터 데이터를 읽어와 내부 레지스터 (128Bytes)에 저장한다. fetch2상태는 이진 워터마크 이미지가 저장된 메모리로부터 한 Pixel단위로 읽어 들여 내부 레지스터의 데이터와 XOR 연산하여 다시 내부레지스터에 저장하게 된다. 이 연산을 반복하여 LH, HL영역(128*128)에 워터마크의 삽입을 완료하여 외부 메모리에 적재하면 emb_dwt신호를 메인 컨트롤러

에게 출력하고 wait 상태로 돌아가게 된다. 이후 메인 컨트롤러는 IDWT 연산을 수행하기 위해 idwt_sel신호를 다시 DWT 모듈에 인가하여 외부 메모리에 저장된 데이터의 역변환 과정을 거치게 된다.

그림8은 전체 시스템 동작을 제어하는 메인 컨트롤러의 FSM(Finite State Machine)을 나타낸다.

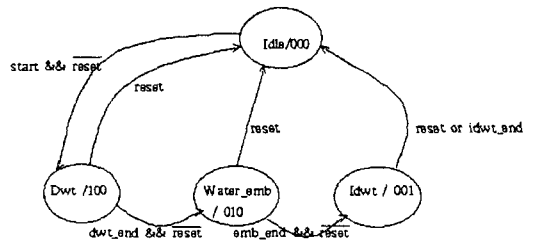


그림 8. System Control Module의 FSM

2. 회로 합성 및 검증 방법

지금까지 제시한 설계 방법들을 Verilog HDL로 구현 하였으며 Xilinx Foundation 4.1i를 이용하여 합성 및 시뮬레이션을 수행하였다. 본 논문에서 Target Device로 선택한 Xilinx사의 Spartan II 2s100pq208 Device가 장착된 EDA-kit와 원본 이미지 및 워터마크 이미지가 PC와 직렬 통신을 통해 다운로드 된 외부 메모리(RAM)를 장착한 PCB 보드를 연결하여 FPGA의 실제 동작을 검증할 수 있었다.



그림 9. 워터마크로 삽입된 2진 영상



그림 10. 워터마크가 삽입된 영상

Ⅳ. 결 론

본 논문은 디지털 영상의 저작권을 보호하기 위한 워터마킹 알고리즘을 FPGA로 구현하였다. 외부의 메모리 접근 횟수를 줄이기 위해 내부에 원본 영상 및 워터마크 영상을 저장할 수 있는 레지스터를 설계 하였으며 이미지 변환 및 역 변환모듈의 경우 병렬로 동작하도록 설계하여 시스템의 성능 향상을 도모했다. 현재 구현된 시스템은 256(0-255)의 명암 분포를 갖는 Gray 영상에 대해서만 워터마킹 알고리즘을 수행하나 향후 칼라 영상에 대한 워터마킹을 수행하도록 좀더 개선된 구조의 프로세서를 제안할 것이다.

참고문헌

- [1] M. L. Hilton, B.D. Jawerth, A. Sengupta, "Cmpressing Still and Moving Images with Wavelets". Multimedia Systems, Vol.2, N o. 3, Apr. 1994
- [2] S. G. Mallat. "A Theory for Multiresolutio n Signal Decompositon: The Wavelet Repr esentation," IEEE, tr. on PAMI, Vol. 11, No. 7, Jul. 1989.
- [3] B. Vidakovic and P. Muller, "Wavelets for Kids," unpublished.
- [4] T. Edwards, "Discrete Wavelet Transform s: Theory and Implementation", Stanford University, Sep. 1991
- [5] Michael D. Ciletti "Advanced Digital Desig n with the Verilog HDL", Prentice Hall
- [6] J.O.Ruanaidh, W.j.Dowling, and F.M.Boland, "Phase watermarking of Digital Images", Proc. of IEEE Conf. on Image Processing, vol. 3,pp. 239-242, 1996