

벅+하프 브리지 컨버터의 효율 특성 고찰

박남진*, 김창선*, 김태식†, 임범선†, 우승훈†
* 목포대학교 전기공학과, † (주)동아일렉콤

Considerations of Buck+Half Bridge Converter characteristics

Nam-Jin Park*, Chang-Sun Kim*, Tea-Sic Kim†, Bum-Sun Im†, Seung-Hun Woo†
* Mokpo National Univ., Dept. of Electrical Engineering, † Dongah Elecomm Corporation

Abstract - We considered of the efficiency for the Buck+Half bridge converter. this converter has advantages of applications for a low output voltage, a high output current and a wide input voltage. Developed the Buck+Half Bridge converter ratings are of 36~72V input and 3.3V/30A output. In Half Bridge converter, the 86~96.4% of the efficiency is measured at 100kHz switching frequency with PQI core. In the case of synchronized the Buck+Half Bridge converter, the measured efficiency is higher than the unsynchronized converter. In the synchronized Buck+Half Bridge, the maximum efficiency is up to 92.3% with PQI core at 100kHz, 7A output.

1. 서 론

집적 회로 기술은 해마다 급속히 발전하고 있으며 그들이 요구하는 전원 전압은 점점 더 감소(5V, 3.3V, 1.5V, 1.2V, 0.8V, ...)하는 반면 소비 전력은 증가하고 있는 추세이다. 현재 집적 회로 기술의 발달은 눈부시게 빠른 속도로 개발되는데 비해 스위칭 전원 장치의 개발은 그에 따라가지 못하는 실정이다. 이러한 집적 회로에 적합한 회로의 개발은 매우 중요시되고 있으며 새로운 컨버터들이 개발·연구되고 있다. 저출력 전압과 대출력 전류에 적합한 회로도도 그림 1과 같은 두-스테이지 컨버터(Two-stage converter)가 제안되었다 [1-4]. 하지만 이 컨버터의 전달함수는 매우 복잡하고 동적 응답, 효율 그리고 컨버터의 크기를 적절히 고려하여 최적 설계를 해야 한다[1]. 두-스테이지 컨버터는 그림 1과 같이 레귤레이션 부분(Regulation stage)과 절연 부분(Isolation stage)으로 구성하며 레귤레이션 부분의 출력이 절연 부분의 입력이 되도록 병렬 연결한다. 레귤레이션 부분으로 벅 컨버터(Buck converter), 부스트 컨버터(Boost converter), 벅-부스트 컨버터(Buck-Boost converter) 등이 사용되고 절연 부분으로 포워드 컨버터(Forward converter), 하프 브리지 컨버터(Half Bridge converter), 풀 브리지 컨버터(Full Bridge converter), 푸시 풀 컨버터(Push-pull converter) 등이 사용된다. 본 논문에서는 벅+하프 브리지 컨버터(Buck+Half Bridge converter)를 제작하여 실험하였다.

표 1. 컨버터의 사양
Table 1. Converter specifications

입력 전압	36~72Vdc
출력 전압	3.3V
출력 전류	30A
출력 전압 리플	50mV
스위칭 주파수	100kHz

2. 벅+하프 브리지 컨버터 (Buck+Half Bridge converter)

벅+하프 브리지 컨버터는 넓은 입력 범위를 갖으며 저출력 전압과 대출력 전류에 매우 적합한 회로이다. 그림 1은 벅+하프 브리지 컨버터의 제어방식을 보여준다. 벅 컨버터(Buck converter)와 하프 브리지 컨버터(Half Bridge converter)를 병렬 종속 연결하여 구성하고 벅 컨버터의 출력전압이면서 하프 브리지 컨버터의 입력전압인 V_{BUS} 전압은 일정하게 유지한다. 하프 브리지 컨버터는 시비율이 50%로 일정하며 벅 컨버터는 출력 전압을 제한한다. 따라서 벅 컨버터는 프리레귤레이터(Pre-regulator)로 사용되며 하프 브리지 컨버터는 절연시키기 위한 변압기 역할을 한다.

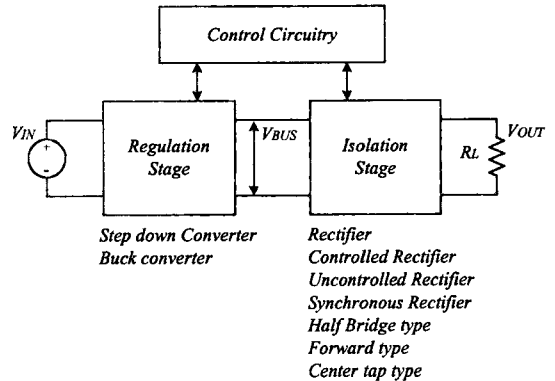


그림 1. 두-스테이지 컨버터의 블록 다이어그램
Fig. 1. Block diagram of two-stage converter

2.1 벅 컨버터(Buck converter)

벅+하프 브리지 컨버터의 프리레귤레이터인 벅 컨버터는 환류 다이오드 대신에 전력용 MOSFET를 사용하는 동기 정류 방식을 적용한다. 동기 정류 방식은 다이오드 순방향 전압강하로 인한 손실을 전력용 MOSFET의 온저항($R_{DS(on)}$) 손실로 줄일 수 있기 때문에 효율을 높일 수 있다[5-7]. 또한 고주파 스위칭에 따라 증가하는 스위칭 손실을 줄이기 위해 벅 컨버터의 출력 필터 인덕터 값을 적절히 조정하여 스위칭 소자들이 영전압 스위칭 동작을 하도록 한다. 이와 같은 적용으로 벅 컨버터는 영전압 준 구형파 컨버터로 설계된다. 전 부하 범위에서 영전압 스위칭 동작을 하려면 출력 필터 인덕턴스 값이 매우 낮게 설계되어 입력 전류 리플 성분이 매우 커지게 된다. 전류 리플 성분이 커지게 되면 라인 전압 강하가 커지게 되어 효율이 감소한다. 영전압 스위칭 방법은 스위칭 손실을 감소시키지만 라인 손실을 증가시키게 된다. 따라서 고효율 벅 컨버터를 설계하기 위

해서는 스위칭 손실과 라인손실의 두 가지 경우를 고려하여야 한다.

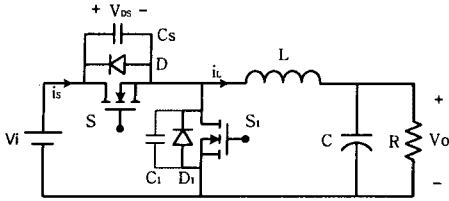


그림 2. 영전압 스위칭 준 구형파 컨버터
Fig. 2. ZVS-QSW converter

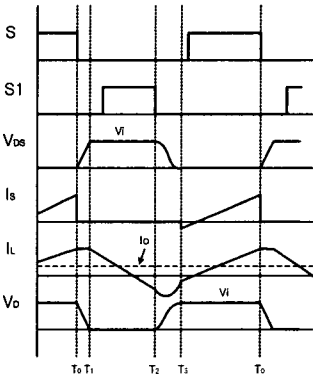


그림 3. 영전압 스위칭 준 구형파 컨버터의 이론 파형
Fig. 3. Theoretical waveforms of ZVS-QSC

2.2 하프 브리지 컨버터 (Half Bridge converter)

백+하프 브리지 컨버터의 입·출력측 절연 역할을 하는 하프 브리지 컨버터는 2차측 정류 회로 방식을 동기 정류 방식(Synchronous rectification)을 적용한다. 또한 하프 브리지 컨버터의 입력전압은 백 컨버터의 출력전압이므로 거의 일정하게 유지된다. 따라서 하프 브리지 컨버터의 주 스위치 시비율을 50%로 일정하게 고정하여 동작시킬 수 있다. 이는 매우 작은 출력 필터 인덕터를 요구하고 동기 정류기의 동작을 최적화시킬 수 있다[5]. 시비율이 50%인 하프 브리지 컨버터는 실제적으로 누설 인덕턴스가 존재하고 약간의 데드타임이 존재하며 2차측 정류 회로는 동기 정류 방식을 적용한다. 2차측 동기 정류 방식은 다이오드의 전압강하로 인한 손실을 다이오드 대신 사용하는 전력용 MOSFET의 온저항($R_{DS(on)}$)손실로 대처하기 위해 사용하며 전력용 MOSFET을 병렬로 연결하여 온저항($R_{DS(on)}$)손실을 크게 낮출 수 있다[5-7].

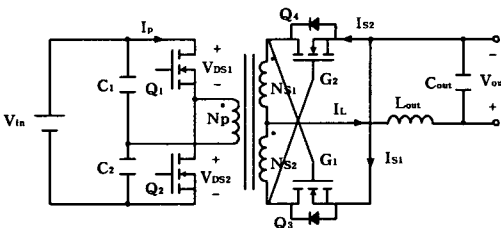


그림 4. 하프 브리지 컨버터
Fig. 4. Half Bridge converter

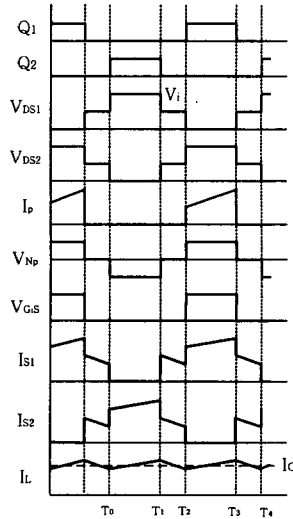


그림 5. 하프 브리지 컨버터의 이론 파형
Fig. 5. Theoretical waveforms of the Half Bridge converter

3. 백+하프 브리지 컨버터의 효율 특성

3.1 스위칭 주파수에 따른 효율 특성

그림 6은 스위칭 주파수에 따른 하프 브리지 컨버터의 효율을 나타낸 곡선이다. 스위칭 주파수를 각각 100kHz, 150kHz, 200kHz로 나누어 효율을 측정해 보았다. 흔히 스위칭 주파수를 낮추면 코어 손실이 줄어들어 효율이 증가할거라 생각하지만 그림 6의 효율 곡선을 보면 스위칭 주파수를 계속 감소한다고 해서 효율이 좋아지는 것은 아니라는 것을 알 수 있다. 스위칭 주파수가 증가하면 코어 손실은 증가하고 또한 코어의 최대 자속 밀도인 B_{max} 값은 낮아지게 되어 코어 손실은 감소한다. 따라서 총 코어 손실은 위 두 가지의 경우가 고려되어 나타나게 된다.

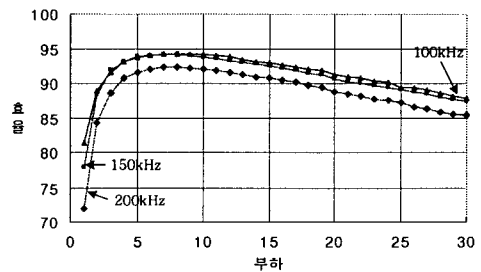


그림 6. 스위칭 주파수에 따른 효율
Fig. 6. Efficiency according to switching frequency

3.2 변압기 코어 형태와 재질에 따른 효율 특성

그림 7은 변압기 형태와 재질에 따른 효율 특성 곡선이다. 변압기의 코어 형태와 재질로 EI20/6.5/15 형태와 ML25D 재질, ER22/7.5/15 형태와 NC-2H 재질, PQ126/11.5 형태와 PC44 재질을 사용하였다. 코어 재질이 PC44이면서 코어 형태가 PQ126/11.5인 플래너 변압기가 가장 좋은 효율 곡선을 나타낸다. 하지만 부하 전류가 높아짐에 따라 효율이 급속히 떨어지는데 이는 변압기의 권선 저항 손실이 높아지기 때문이다.

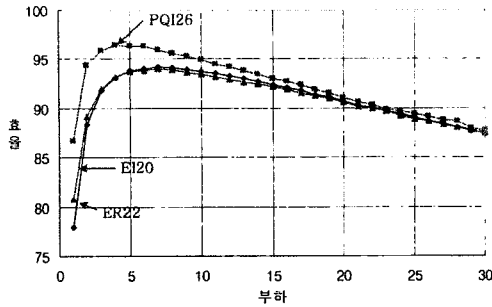


그림 7. 변압기 코어 형태와 재질에 따른 효율
Fig. 7. Efficiency according to transformer cores

3.3 제어 회로가 동기일 때와 비동기일 때의 효율

벅+하프 브리지 컨버터는 부하와 입력전압의 변화에 따라 벅 컨버터 제어부분은 시비율 변화가 있지만 하프 브리지 컨버터의 제어부분은 시비율은 약간의 데드타임이 존재하는 50%로 고정된다. 그림 8은 입력전압이 48V일 때 벅 컨버터와 하프 브리지 컨버터의 제어회로를 동기 시켰을 때와 동기 시키지 않았을 때의 효율을 비교하여 나타낸 것이다. 두 경우의 효율은 비슷하며 부하가 상승하면 약간의 차이가 나며 동기 시켰을 경우가 약간 높다.

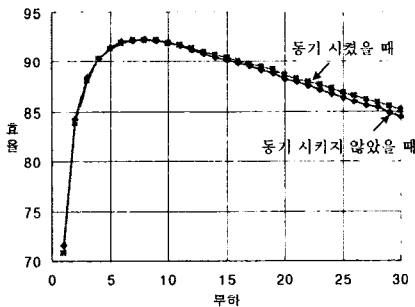


그림 8. 제어 회로가 동기일 때와 비동기일 때의 효율
Fig. 8. Efficiency according to control methods

3.4 벅+하프 브리지 컨버터 효율

벅 컨버터는 쿼터 브릭(quarter-brick) 사이즈로 샘플 제작(양면기판), 하프 브리지 컨버터는 하프 브릭(half-brick) 사이즈로 샘플 제작(양면기판)하여 실험하였으며 벅+하프 브리지 컨버터는 두 컨버터를 병렬 연결하여 실험하였다. 그림 9는 입력전압(36V, 48V, 72V)에 따른 벅+하프 브리지 컨버터의 부하 효율 곡선을 나타낸다. 스위칭 주파수는 100kHz이고 변압기의 코어 형태/재질은 PQ126/PC44이며 벅 컨버터와 하프 브리지 컨버터의 제어회로를 동기 시킨 컨버터의 효율 곡선이다. 입력전압이 증가함에 따라 효율이 감소하는 이유는 입력 전류 리플 성분이 증가하여 라인 손실이 더 커지기 때문이다.

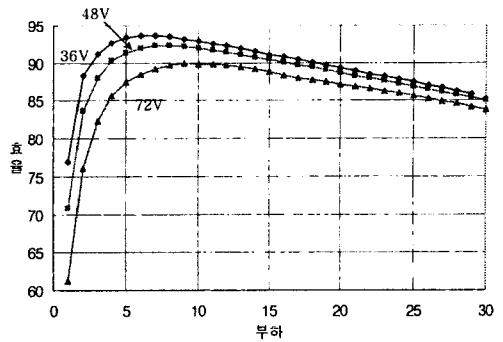


그림 9. 입력전압에 따른 효율
Fig. 9. Efficiency according to input voltages

4. 결 론

고효율·고전력 밀도를 갖는 전원 장치의 개발은 매우 중요시되고 있으며 매우 낮은 전압과 높은 전류를 필요로 하는 전자기기들이 증가하면서 이와 맞는 전원장치들이 개발되고 있다. 벅+하프 브리지 컨버터는 위 조건을 만족하며 넓은 입력 범위를 가지고 저출력 전압과 대출력 전류에 매우 적합한 회로이다. 이 컨버터는 넓은 입력 범위와 전 부하 범위에서 높은 효율(그림 9 참조)을 갖고 있으며 입력전압이 36V일 때 93.64%(부하전류가 6A), 48V일 때 92.27%(부하전류가 7A), 72V일 때는 89.91%(부하전류가 9A)로 효율이 가장 높다. 경부하를 제외하고 가장 효율이 낮은 부분은 부하전류가 가장 높을 때이며 입력전압이 36V일 때 85.46%, 48V일 때 85.07%, 72V일 때 83.86%로 나타났다.

(참 고 문 헌)

- [1] P. Alou, J. Oliver, J.A. Cobos, O. Garcia, J. Uceda, "Buck+Half Bridge(d=50%) Topology Applied to very Low Voltage Power Converter", IEEE Applied Power Electronics Conference (APEC'01),2001
- [2] Masakazu Takagi, katsuhiko shimizu, toshiyuki Zaitzu, "Ultra High Efficiency of 95% for DC/DC Converter - Considering Theoretical Limitation of Efficiency", IEEE Applied Power Electronics Conference (APEC'02),2002
- [3] Martin F. Schlecht "High Efficiency Power circuit" US Patent Number : 5,999,417
- [4] 松田 善秋 "低電壓出力高效率DC/DCコンバータ" PASSWORD Vol.82 2001.10
- [5] J.A. cobos, O. Garcia, J. Uceda, F. Aldana, "Optimized Synchronous Rectification srage for Low Output Voltage (3.3V) DC/DC Converter", IEEE Applied Power Electronics Conference (APEC'94),1994
- [6] P. Alou, J.A. Cobos, O. Garcia, J. Uceda, M. Rascón "A New Driving Scheme for Synchronous Rectifiers : Single Winding Self-Driven Synchronous Rectification", IEEE Applied Power Electronics Conference (APEC'99),1999
- [7] P. Alou, P. Pérez-Bedmar, J.A. cobos, J. Uceda and M. Rascón, "A High Efficiency Voltage Regulator Module with Single Self-Driven Synchronous Rectification", IEEE Applied Power Electronics Conference (APEC'00),2000