

전류를 이용한 단락시험회로의 역률 측정 알고리즘에 대한 연구

이 동준*, 노 창일*, 정 흥수*, 김 선구*, 김 원만*, 나 대열*, 김 철환**
 * 한국전기연구원, ** SungKyunKwan 대학교

A study on the algorithm for calculating power factor of short-circuit using current

Lee Dong-Jun, Roh Chang-IL, Jung Heung-Soo, Kim Sun-Koo, Kim Won-Man, La Dae-Ryeol, Kim Chul-Hwan
 * Korea Electrotechnology Research Institute, ** SungKyunKwan University

Abstract - 대전력 단락시험시 국제규격에서 제시하는 시험회로조건에는 여러 가지가 있다. 그중 시험회로의 역률은 중요한 조건중의 하나로서, 규격마다 다양한 역률 측정방법을 제시하고 있다. 시험전류의 DC성분을 이용하여 역률을 측정하는 방법은 다양한 역률 측정방법중 하나로서 단락전류만으로 역률을 측정할 수 있어 매우 유용한 방법이다. 그러나 규격에서도 제시하는바와 같이 DC 성분을 이용하여 역률을 측정하는 방법은 매우 어려운 것으로 알려져 있다. 본 논문에서는 단락전류의 DC 성분을 이용하여 역률을 측정하는 알고리즘을 제시하였다. 또한, 제시된 알고리즘은 STL guide에 따라 개발되었다.

1. 서 론

90년대 들어 컴퓨터의 발달로 대전력 단락시험 데이터를 자동화된 프로그램으로 계산하기 시작했다[1]. 대전력 단락시험시 국제규격에서 제시하는 시험회로 조건 중 시험회로의 역률은 중요한 조건중의 하나로서, 규격마다 다양한 역률 측정방법을 제시하고 있다. IEC에서는 시험전류의 DC 성분으로 역률을 측정하는 방법과 pilot generator를 이용하는 방법을 제시하고 있다[2]. ANSI에서는 IEC에서 제시하는 방법 이외에 ratio method를 추가적으로 제시하고 있다[3]. 이런 다양한 방법 중 시험전류의 DC 성분을 이용하여 역률을 측정하는 방법은 시험전류만으로 역률을 측정할 수 있어 매우 유용한 방법이다. 그러나 규격에서도 제시하는바와 같이 DC 성분을 이용하여 역률을 측정하는 방법은 매우 어려우며 역률의 크기에 따라 적용할 수 있는 범위가 제한되어 있다. 본 논문에서는 단락전류의 DC 성분을 이용하여 역률을 측정하는 알고리즘을 제시하였다. 제시된 알고리즘은 DTM(double threshold methods)과 같이 STL guide에 따라 개발되었으며, ATP를 이용하여 출력전류를 생성하고 이를 이용하여 제시된 알고리즘을 검증해 보았다[4][5].

2. 본 론

2.1 ANSI와 IEC에서 제시하는 역률 측정법

2.1.1 ANSI에서 제시하는 역률 측정법[3]

ANSI C37.16(1972)에 의한 역률 측정방법은 다음의 3가지로 분류된다.

- (1) Ratio method
- (2) DC decrement method
- (3) Phase relationship method

상기의 방법은 각각 나름대로의 특징과 적용 가능한 범위가 다르며 ANSI에서는 표1과 같이 제시하고 있다.

표 1에서와 같이 DC decrement method는 0.3이하의 역률 측정에서만 적용할 수 있으며 이는 dc component를 얻기 위한 exponential curve fitting의 특성에 기인한다.

2.1.2 IEC에서 제시하는 역률 측정법[2]

표 1. 시험조건에 따라 적용 가능한 역률 측정법

전류	차단시간 (Cycles)	역률	
		0.3이하	0.3초과
20[kA]이하	0.5 이하	Ratio method	Phase relationship method
	0.5 초과	DC decrement method	
20[kA] ~ 130[kA]	0.5 이하	Ratio method	-
	0.5 초과	DC decrement method	
130[kA] ~	Any	Ratio method	-

IEC에서는 역률 측정방법을 DC decrement method와 Pilot generator를 이용하는 역률 측정방법을 제시하고 있으며, pilot generator를 이용한 역률 측정은 ANSI에서의 phase relationship method와 그 개념이 동일하다. DC decrement method는 ANSI의 DC decrement method와 동일한 방법으로서 다음과 같다.

step 1: 시험전류파형의 dc component curve를 산출한다.

step 2: dc component는 식 (1)과 같다.

$$i_d = I_{d0} e^{-\frac{t}{\tau}} \tag{1}$$

여기서, I_{d0} 는 dc component의 초기값

i_d 는 시간 t에서의 측정값

$\tau = \frac{L}{R}$ 로서 시정수를 의미한다.

step 3: 식 (1)에서 τ 를 계산한 후 식 (2)를 이용하여 역률을 산출한다.

$$\phi = \arctan\left(-\frac{\omega L}{R}\right) \tag{2}$$

2.2 역률 측정 알고리즘

2.2.1 DTM(double threshold method)[4]

STL guide에 의하면 신호 분석 전에 입력 data에 대해 DTM을 적용해 noise와 이상 spike 신호를 제거하도록 권고하고 있다. DTM이란 신호의 x축과 y축에 대해 일정 level을 정해 입력신호가 이 level을 동시에 만족하지 못할 경우에는 noise로 간주해 입력 샘플을 0으로 처리하는 기법을 말한다. STL에서 제시하는 x축, y축 level은 다음과 같다.

y축 : A/D converter의 full scale level에 대하여 3%

x축 : 입력신호 주기의 0.5%

본 논문에서 제시하는 알고리즘은 12 bit A/D converter를 기준으로 입력신호에 따라 자동으로 full scale을 판별하도록 개발되었으며, x축 level의 경우에는 사용자가 지정할 수 있으며 기본값으로 신호의 주파수는 60[Hz]로 설정하였다.

그림 1은 noise가 포함된 입력전류와 noise부분만 확대한 모습을 보여주고 있다. 입력전류 시작 전에 시스템 측정라인에 존재하는 noise를 볼 수 있다.

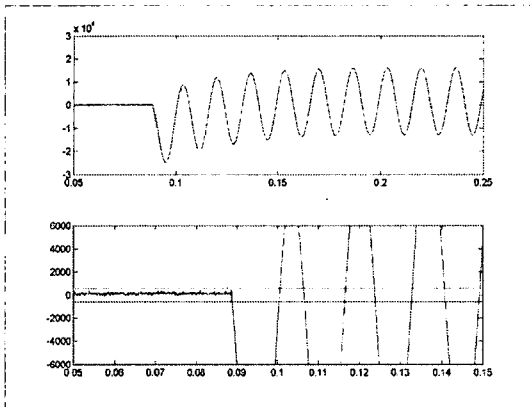


그림 1. DTM을 적용하기 전의 입력전류

그림 2는 DTM을 적용한 후의 전류 파형을 보여주고 있다. 입력전류 시작 전에 나타난 noise가 제거된 모습을 보여주고 있다.

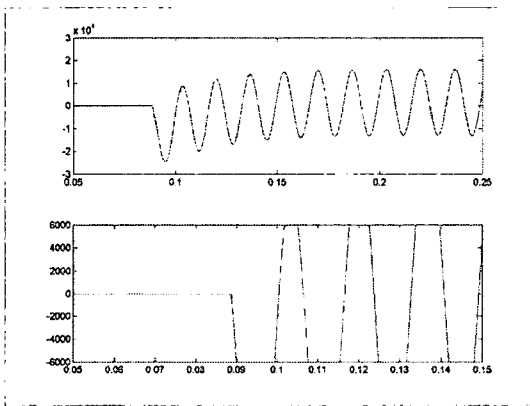


그림 2. DTM을 적용한 후 noise가 제거된 입력전류

2.2.2 DC component curve 산출 및 역률 측정

그림 3은 본 논문에서 제시한 역률계산 알고리즘의 순서도를 보여주고 있다. 먼저, 입력 전류는 DTM을 거쳐 noise를 제거한 후 peak값을 순서대로 찾게 된다. DC curve fitting을 위해서는 curve fitting의 범위를 선정해야 한다. Exponential 함수의 특성상 입력전류의 peak치 전부를 이용하게 될 경우 연산시간만 증가시키게 된다. 본 논문에서는 현재의 peak값을 이전 peak값과의 비교를 통해 그 차이가 DTM에서 설정한 threshold level이상이면 peak값을 더 이상 구하지 않는다. 따라서 입력 전류의 시정수에 크면 클수록 exponential curve fitting 범위는 자동적으로 넓어지고 시정수가 작으면 작을수록 범위 또한 작아지게 된다.

그림 4, 5는 각각 다른 역률을 갖는 시험전류이며 따라서 exponential curve fitting에 사용된 범위에서도 차이가 나게 된다. Fitting은 (+)쪽 피크값들과 (-)쪽 peak값들을 나누어 이루어지며 이 데이터들을 이용하여 DC component curve를 산출한다. DC component curve를 산출한 후에는 식 (1)에 따라 exponential 함수의 계수 I_{d0} 와 τ 를 계산하고 최종적으로 power factor와 curve를 plot하도록 되어있다.

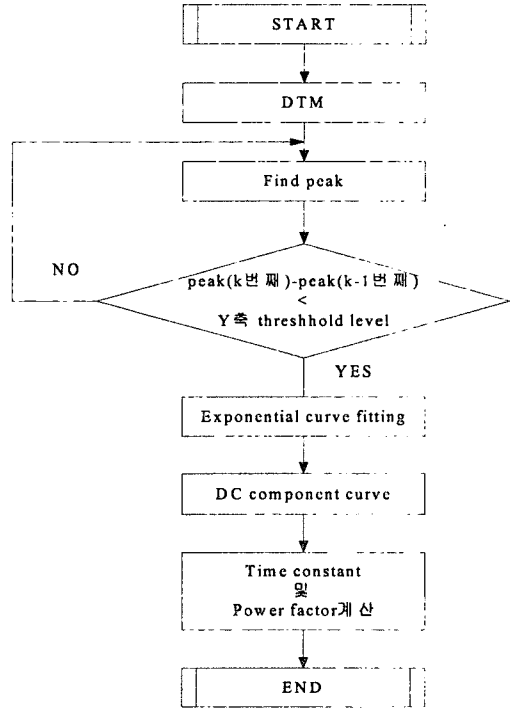


그림 3. 역률 산출 알고리즘

2.3 Simulation

본 논문에서 제시한 알고리즘을 검증하기 위하여 ATP를 이용하여 RL직렬회로에서의 단락전류를 simulation 하였다[5]. 스위치는 전압의 위상각이 0도에서 투입되도록 하여 전류의 DC component가 최대가 되도록 하였다. 또한 알고리즘의 결과에 영향을 미치지 않도록 ATP의 output sampling을 충분히 많이 하였으며, 회로의 R, L을 조정하여 전체 임피던스는 동일하지

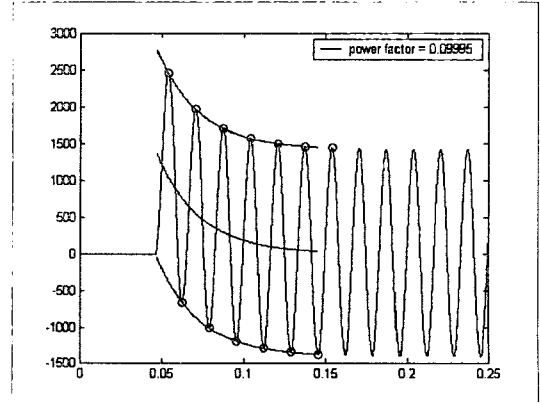


그림 4. 역률이 0.1인 입력전류

만 역률이 변하도록 simulation 하였다.

그림 4는 역률이 0.1인 회로의 전류에 본 논문에서 제시한 알고리즘을 적용한 결과를 보여주고 있다. 그림 상에서 0로 표시된 peak값은 입력신호의 peak값들 중에서 exponential curve fitting에 사용된 peak값을 나타낸다.

그림 5는 전류의 역률이 0.2인 전류에 대하여 본 논문에서 제시한 알고리즘을 적용한 결과를 보여주고 있다. 그림 4의 전류보다 시정수가 작기 때문에 peak값들의 차가 더 빨리 threshold level에 도달하며, 따라서 exponential curve fitting에 사용되는 peak값들도 더 적음을 알 수 있다.

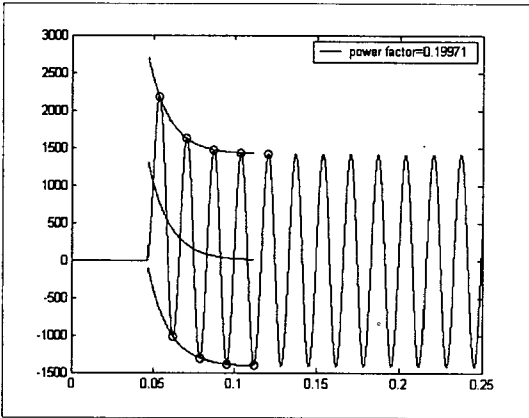


그림 5. 역률이 0.2인 입력전류의 경우

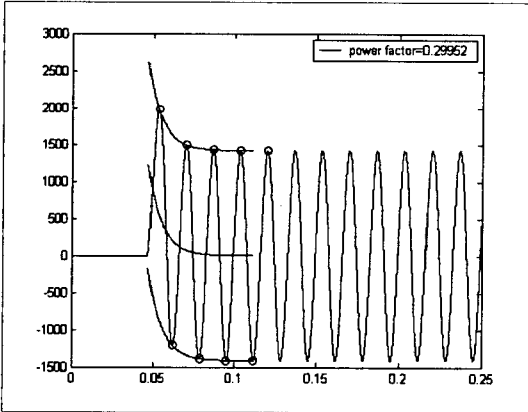


그림 6. 역률이 0.3인 입력전류의 경우

다양한 역률을 가진 입력전류에 대해 본 논문에서 제시한 알고리즘을 적용한 결과를 그림 7에서 보여주고 있다. 역률이 증가함에 따라 제시된 알고리즘이 부정확함을 나타내고 있으며 역률이 0.6보다 크면 그 error가 급격히 증가함을 알 수 있다. 그러나 ANSI 규격에서 제시한 바와 같이 DC decrement method의 경우 0.3 이하의 역률에서만 적용하도록 하고 있다. 본 논문에서 제시한 알고리즘은 역률 0.3이하인 입력전류에 대해서 그 오차가 최대 약 0.2[%]를 넘지 않고 있다.

3. 결 론

본 논문에서는 대전력 단락시험시 시험회로 조건중의 하나인 역률 측정을 위한 DC decrement method를 위한 알고리즘을 제시하였다. 먼저 입력전류는 STL

guide의 DTM에 따라 noise가 제거된다. 그 후 DC component curve를 산출하기 위하여 +쪽과 -쪽 peak값의 차이를 계산하여 그 값이 DTM에서 산정한 y축 level이하가 될 때까지 peak값을 계속 구해나간다.

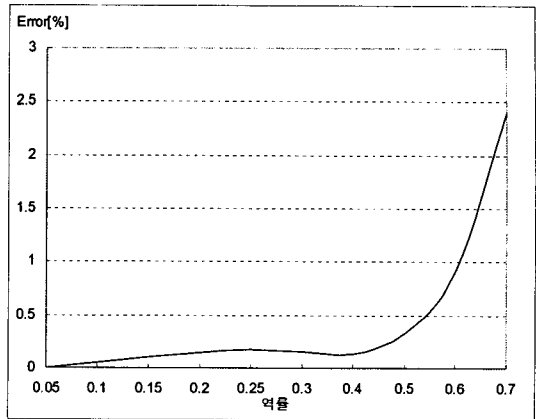


그림 7. 입력전류 역률에 따른 error

최종적으로는 이 peak 값을 이용해 exponential curve fitting을 실시한 후에 시정수를 계산한 후 역률을 산출하였다.

본 논문에서 제시한 알고리즘을 검증하기 위해서 ATP를 사용하여 다양한 역률을 가진 전류를 simulation한 후 알고리즘에 적용해 보았다. 그 결과는 다음과 같다.

- 역률 0.3 이하의 입력전류에 대해서는 그 오차가 최대 0.2[%]를 넘지 않았다.
- 역률이 0.5이상인 전류에 대해서는 본 알고리즘을 적용하기가 힘들다.

본 논문에서는 알고리즘의 검증을 위해서 ATP를 사용하여 전류 투입위상각은 0도로 고정하고, 다양한 역률을 가진 입력전류를 simulation하였다. 그러나 알고리즘의 타당성을 검증하기 위해서는 전류 투입위상각 또한 고려를 해야 하며 이에 대한 계속적인 연구가 요구된다.

[참 고 문 헌]

- [1] Dong-Jun LEE, Maeng-Hyun KIM, Chang-IL ROH, Dae-Ryeol RA, Chul-Hwan KIM, 'The Evaluation of Analysis Software using Test Data Generator', ICEE Proceedings, p937-p940, 2001
- [2] IEC 60947-1, Low-voltage switchgear and controlgear - Part1: General rules, 2001
- [3] ANSI C 37.26, IEEE standard guide for methods of power-factor measurement for low-voltage inductive test circuits, 1972
- [4] STL, 'Harmonization of data processing methods for high power laboratories', Autumn, 2001
- [5] ATP Rule book
- [6] Duane Hanselman, Mastering matlab, 1996