

FLL을 이용하여 Lock을 가속시킨 PLL의 최적 설계에 관한 연구

A Study on the Optimum Design of Fast-Lock PLL using FLL

강 경*, 박윤식, 박재범, 우영신, 성만영

(Kyung Kang*, Yun Sik Park, Jae Boum Park, Youngshin Woo, Man Young Sung)

Abstract

In this paper, we propose a phase-locked loop (PLL) with dual loops in which advantages of both loops can be combined. Frequency-locked loop (FLL) which is composed of two frequency-to-voltage converters (FVC) and an amplifier makes the frequency synchronize very fast and output signal is synchronized in phase with the input reference signal by charge pump PLL. This structure can improve the trade-off between acquisition behavior and locked behavior.

Key Words : PLL, FVC, FLL

1. 서 론

최근 대용량의 정보를 신속하고 정확하게 전달하기 위해 고속화, 고성능화 그리고 다기능이 요구되는 통신 시스템이 끊임없이 개발되고 있다. 그 중에서 각종 통신 장치나 텔레비전 수신기 등에 쓰이는 Phase-Locked Loop (PLL)는 주파수 복조와 변조, 합성, 체배, 클락 복구 등의 목적으로 광범위하게 사용되고 있는데, 기존 PLL의 경우 지터와 락킹 시간 특성을 동시에 좋게 할 수 없다는 설계상의 단점이 있기 때문에 고주파수에서 안정적으로 동작하고 락킹 시간이 빠른 새로운 구조의 PLL들이 계속 연구되고 있다.

본 논문에서는 Frequency-to-Voltage Converter (FVC)와 증폭기로 구성된 Frequency-Locked-Loop (FLL)와, 기존의 PLL 구조를 이용하여 락킹 시간을

감소시켜 락을 빨리 진행시키는 새로운 구조의 PLL을 제안하였다. 제안한 PLL의 구조에서는 주파수 일치 여부를 판단하는 제어 회로를 이용하여 두 입력 신호의 주파수를 FLL로 빠르게 일치시키고 주파수가 일치된 후에는 기존의 PLL을 이용하여 위상을 일치시킴으로써 락킹 시간과 지터의 감소가 독립적으로 이루어지도록 하였다.

2. 본 론

2.1 기존 PLL의 구조 및 동작 원리

전하 펌프 PLL은 그림 1과 같이 기본적으로 위상 주파수 검출기(PFD), 전하 펌프(Charge Pump), 루프 필터(Loop Filter), 전압 제어 발진기(VCO)로 구성되어 있다. 기존의 Sequential 위상 주파수 검출기는 REF 신호가 FB 신호에 비해 위상이 앞설 경우 그 위상차에 비례하는 구간동안 UP 신호가 1이 되고, FB 신호가 REF 신호에 비해 위상이 앞설 경우 그 위상차에 비례하는 구간동안 DN 신호가 1이 된다. UP 신호는 전하 펌프를 통해 전류를 루프 필터에 공급하게 하고 DN 신호는 전류를 루프 필터에서 끄집어내게 한다. UP 신호로 인해 루

* 고려대학교 전기공학과
(서울시 성북구 안암동 5-1 고려대학교,
Fax : 02-921-1325
E-mail : rubie96@hanmail.net)

프 필터에 공급된 전류는 부하 캐패시터에 전하를 공급하여 제어 전압을 증가시키고 이와 유사하게 DN 신호로 인해 루프 필터에서 빠져나온 전류는 충전된 캐패시터를 방전시켜 제어 전압을 감소시킨다. 전압 제어 발진기는 이 제어 전압에 비례하는 주파수를 갖는 파형을 내보낸다. 두 입력 신호가 락이 되었을 때 UP과 DN 신호는 발생하지 않으며 전하 펌프가 고임피던스 상태를 유지하여 루프 필터의 제어전압이 일정하게 되고 전압 제어 발진기의 출력 주파수도 일정하게 된다. 기존의 PLL은 전하 펌프의 전류를 증가시킬 경우 락킹 시간은 감소하나 락이 된 후에 지터가 증가하므로 락킹 시간과 지터를 동시에 감소시킬 수 없는 문제점을 가지고 있다[1].

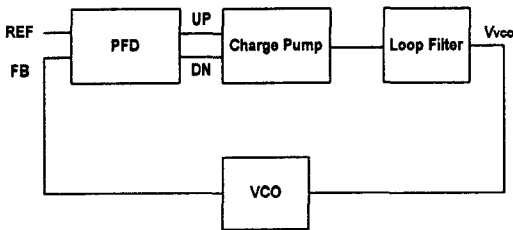


그림 1. 기존의 전하 펌프 PLL의 기본 구조
Fig. 1. Block diagram of a charge-pump PLL

2.2 FLL의 구조 및 동작 원리

FLL의 구조는 그림 2와 같이 주파수를 전압으로 변환하는 FVC와 차동 증폭기, 그리고 전압 제어 발진기로 이루어져 있다. 두 입력 신호의 주파수와 위상을 모두 일치시키는 PLL과는 달리, FLL은 주파수만을 일치시킨다. FVC는 입력 신호로부터 얻을 수 있는 제어 신호를 이용하여 용량이 같은 두 개의 캐패시터에 전하를 재분배함으로써 일정한 전압을 얻는다. 이 때 출력 전압은 FVC의 입력 신호의 주파수 f 에 반비례한다.

그림 2에서 보는 바와 같이 주파수가 다른 두 개의 입력 신호, REF와 FB 신호는 FVC를 통과하여 각각 일정한 전압 V_{REF} 와 V_{FB} 를 출력한다. 이 두 전압의 차신호 ($V_{FB}-V_{REF}$)를 입력받는 차동 증폭기는 이득 A 만큼 입력 신호를 증폭시켜 $A \cdot (V_{FB}-V_{REF})$ 만큼 크게 제어 전압을 변화시켜 빠르게 두 신호의 주파수를 일치시킨다. FVC의 출력 전압은 입력 신호의 주파수에 반비례하므로 REF가 FB보다 더 높은 주파수를 갖는다면 V_{REF} 는 V_{FB} 보다 낮아지므로 제어전압 V_{cco} 가 증가하고

REF, FB신호의 주파수가 일치할 때까지 증가한다. REF와 FB의 주파수가 같아지면 동일한 전압이 차동 증폭기의 입력에 인가되어 제어전압 V_{cco} 가 일정하게 유지되고 이로써 두 입력 신호의 주파수가 일치하는 상태를 유지한다. FLL은 입력 주파수차에 따른 전압차를 증폭시켜 락을 진행시키는 구조이기 때문에 위상은 일치시키지 못하고 주파수만을 일치시키지만 전하 펌프나 루프 필터없이 매우 안정하고 빠르게 락을 진행시키며 집적 면적이 매우 작다는 장점을 지닌다[2].

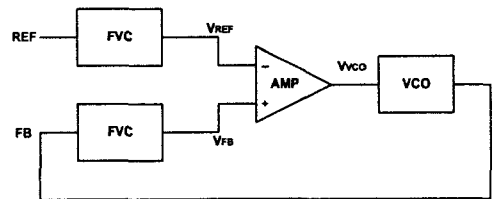


그림 2. FLL의 구조
Fig. 2. Block diagram of a FLL

2.3 FLL을 이용하여 락을 가속시킨 PLL의 구조 및 동작 원리

기존의 PLL은 지터와 락킹 시간을 동시에 개선할 수 없다는 단점이 있다. 이에 비해 FLL은 동작 주파수 범위가 넓고 매우 빠르게 락킹이 되지만 주파수만 일치시키고 위상차는 극복하지 못하는 단점을 가지고 있다. 제안된 PLL은 그림 3과 같이 FLL을 이용하여 빠르게 주파수를 일치시킨 후 기존의 PLL로 위상차를 없애 락킹 시간과 지터를 모두 감소시킬 수 있다.

제안된 구조는 주파수를 일치시키는 FLL과 위상을 일치시키는 PLL의 두 개의 동작 루프로 이루어지며, 두 루프 사이에 삽입된 제어 회로(Control Circuit)로 동작 모드가 결정된다. 제어 회로는 V_{REF} 와 V_{FB} 를 이용하여 동작 모드를 결정하는 제어 전압 V_C 를 출력한다. V_C 가 0이면 트랜스미션 게이트 TG1은 턴온되고 TG2는 턴오프되어 FLL이 동작하게 되고 V_C 가 1이면 TG1은 턴오프되고 TG2는 턴온되어 PLL이 동작하게 된다. 제어 회로는 V_{REF} 와 V_{FB} 의 크기를 비교하여 두 값이 큰 차이가 날 경우 0을 출력하고 그 차이가 지정된 값 이하로 수렴하면 1을 출력하도록 하였다. 제어 회로는 그림 4에 나타난 것과 같이 Subtractor와 Magnitude Comparator (MC) 2개로 구성되어 있다. MC는 입력 전압이 V_H 와 V_L 사이의 값이면 1을 출력하고

범위 밖이나 경계의 값이면 0을 출력하므로 MC1의 V_H , V_{IN} 을 각각 V_{FB} , V_{REF} 으로, MC2의 V_H , V_{IN} 을 각각 V_{REF} , V_{FB} 으로 설정하고, 두 MC의 V_L 이 $V_{REF} - V_{FB}$ 이 되도록 지정하면 FB 신호의 주파수가 REF 신호의 주파수보다 크게 높을 때 $V_{REF} > V_{FB}$ 이 되고 MC1이 0, MC2가 1을 출력하므로 제어 전압 V_C 가 0이 되어 FLL이 동작한다. REF 신호의 주파수가 FB 신호의 주파수보다 크게 높으면 $V_{REF} < V_{FB}$ 이 되고 MC1은 1, MC2는 0을 출력하므로 제어 전압 V_C 는 0이 되어 역시 FLL이 동작한다. REF 신호와 FB 신호의 주파수차가 $V_{REF} \equiv V_{FB}$ 조건을 만족시킬 정도로 수렴하면 MC1과 MC2 모두 0을 출력하므로 제어 전압 V_C 는 1이 되어 PLL이 동작하게 된다. 제어 회로를 구성하는 Subtractor와 MC의 회로도도 그림 5에 나타내었다.

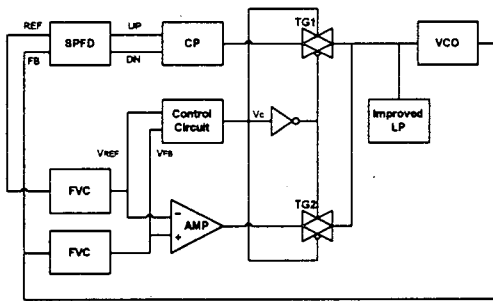


그림 3. 제안한 PLL의 구조
Fig. 3. Block diagram of proposed PLL

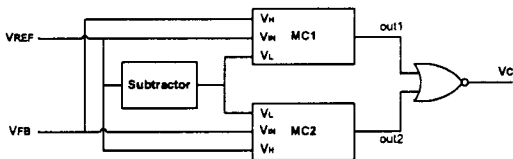


그림 4. 제어 회로의 구조
Fig. 4. Block diagram of a Control Circuit

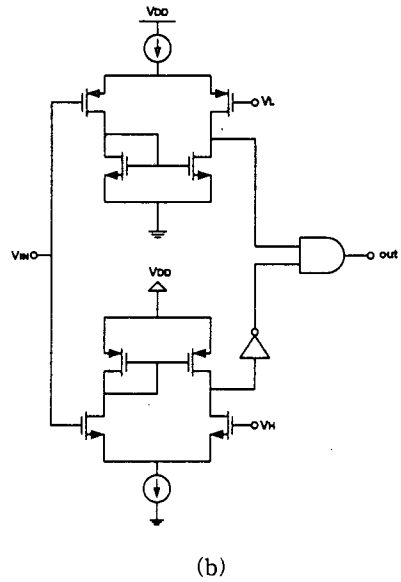
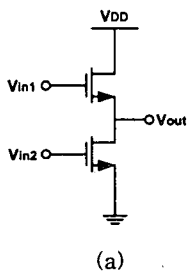


그림 5. (a) Subtractor의 회로도 (b) MC의 회로도
Fig. 5. Schematic of (a) Subtractor (b) MC

사용된 루프필터는 그림 6에 나타낸 것과 같이 기존의 2차 루프 필터와 1개의 TG로 구성되어 있다. 기존의 루프 필터의 경우 C_1 이 C_2 에 비해 작고 R_1 이 존재하므로 큰 전하 펌프 전류가 공급될 때 V_{VCO} 는 증가하다가 UP, DN신호가 모두 0이 되어 불연속적으로 전류가 0으로 감소하게 되면 V_{VCO} 는 큰 폭으로 감소하여 진동을 하면서 락이 된다[3]. 제안된 루프 필터를 사용하는 경우 제어 전압 V_C 가 0일 때 R_1 보다 훨씬 작은 TG의 온저항으로 인해 V_{VCO} 의 초기 변화율은 기존의 루프 필터를 사용했을 때보다 작지만 불연속적인 전하 펌프 전류 감소가 발생해도 V_{VCO} 가 감소하지 않고 락이 안정적으로 빨리 이루어진다. 제어 전압 V_C 가 1이 되면 루프 필터의 저항이 R_1 으로 증가하면서 전체 시스템의 지터를 감소시키게 된다.

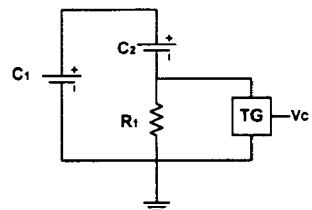


그림 6. 개선된 루프 필터의 회로도
Fig. 6. Schematic of the improved loop filter

2.4 시뮬레이션 결과 및 고찰

FLL을 이용하여 락을 가속시킨 제안된 PLL과 기존의 PLL을 비교하기 위해 5V의 전원 전압을 갖는 1.5 μ m 표준 CMOS 공정 파라미터를 이용하여 설계하였다. 제안된 PLL에서는 20 MHz/V의 이득과 10~100 MHz의 튜닝 영역을 갖는 링 발진기를 사용하였고 1 MHz의 루프 대역폭과 60°의 Phase Margin을 갖도록 하였다. 그림 7은 입력 주파수가 71.43 MHz일 때 기존의 PLL과 제안된 PLL의 락킹 시간을 비교하기 위해 전압 제어 발진기의 입력 전압인 V_{vco}의 전압 변화를 나타낸 것이다. 기존의 PLL의 락킹 시간은 13 μ s이고 제안된 PLL은 2.4 μ s이므로 제안된 PLL이 고속 동작을 수행할 수 있음을 알 수 있다. 그림 7에서 보는 바와 같이 기존의 PLL의 V_{vco} 전압이 진동하면서 일정한 값으로 수렴되는 것에 반해 제안된 PLL의 V_{vco} 전압은 Acquisition 초기에 급격하게 증가하다가 두 입력 주파수가 일치되면 곧바로 PLL이 동작되면서 일정한 값으로 수렴되는 것을 볼 수 있다. 또한 제안된 PLL은 락킹 시간과 지터를 동시에 감소시킬 수 없는 기존의 PLL의 설계상의 단점을 극복하고 락킹 시간과 지터를 독립 변수로 설정할 수 있음을 알 수 있다. 표 1은 입력 주파수에 따른 락킹 시간을 비교한 것이다. 기존의 PLL은 주파수가 높을수록 락킹 시간이 증가함에 비해 제안된 PLL은 주파수가 높을수록 락킹 시간이 감소한다. 이는 FVC가 주파수가 낮을수록 일정한 전압을 찾는 데 시간이 더 소요되기 때문이다[2].

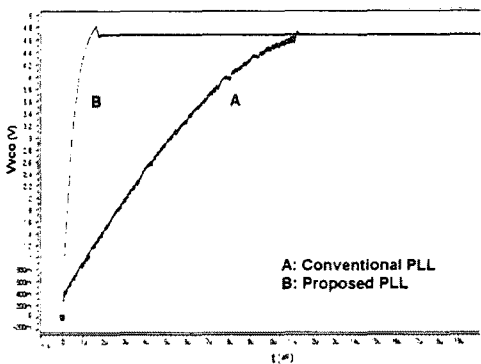


그림 7. 제안된 PLL의 pull-in 과정
Fig. 7. Pull-in process of the proposed PLL

표 1. 입력 주파수에 따른 락킹 시간

Table 1. Locking time on input frequency

Input Frequency	20MHz	50MHz	71MHz	98MHz
Conventional PLL	8.45 μ s	11.0 μ s	13.0 μ s	14.7 μ s
Proposed PLL	2.95 μ s	2.74 μ s	2.41 μ s	2.10 μ s

3. 결론

제안된 PLL 구조는 락을 가속화하기 위해 FLL을 사용하여 기존의 PLL에 비해 주파수를 일치시키는 데 필요한 시간을 크게 줄여 전체 락킹 시간을 감소시켰다. 고속 동작이 용이하고 동작 주파수 범위가 넓은 FLL을 이용하여 주파수를 빠르게 일치시키고 주파수가 일치한 후에는 PLL을 이용하여 위상차까지 극복할 수 있으므로 고속 통신 시스템 등에 효과적으로 사용 가능할 것으로 기대된다.

참고 문헌

- [1] Y.S.Woo, Y.M.Jang, M.Y.Sung, "Phase-Locked Loop with Dual Phase Frequency Detectors for High Frequency Operation and Fast Acquisition", *Microelectronics J*, vol. 33, No. 3, 2002.3, pp. 245-252.
- [2] Abdelouahab Djemouai, Mohamad A. Sawan, Mustapha Slamani, "New Frequency-Locked Loop Based on CMOS Frequency-to-Voltage Converter: Design and Implementation", *Circuit and Systems II: Analog and Digital Signal processing*, IEEE Trans. on, vol. 48, May 2001, pp. 441-449.
- [3] Y.S.Woo, Y.M.Jang, Kyung Kang, "Optimum Design of the Charge Pump PLL with Dual PFDs", *Proceeding of the KIEE Annual Summer Conference 2001 Special Session*, 2001. 7. 19-7. 20, pp. 125-128.