

구조 변화에 따른 LTCC 매립형 인덕터 등가모델 연구

Study of the equivalent circuit model on LTCC embedded inductors

오창훈, 신동욱, 이규복*, 김종규*, 윤일구

(Changhoon Oh, Dongwook Shin, Kyu-Bok Lee*, Jong-Kyu Kim*, Ilgu Yun)

Abstract

In this paper, Characterization for several 3-D embedded passive elements with different structures was performed. The equivalent circuit optimization for embedded inductor was performed by HSPICE simulation software. After extracting each parameter values, the difference of parameter from each structure was examined. From this work, effective characterization of passive devices with similar structure will be possible.

Key Words : LTCC; embedded passives; Modeling; PEEC

1. 서 론¹⁾

이동통신의 발달로 음성, 영상을 전송하는 멀티미디어 서비스가 상용화되고 있다. 이는 주파수 대역의 확대를 가져와 이로 인한 부품의 명확한 특성구현을 필요로 하여 이에 대한 많은 연구가 진행되고 있다. 부품의 소형화 또한 이동통신의 발달과 함께 요구되는 사항인데, 이를 위해서 능동소자와 수동소자를 결합하는 모듈 및 모듈화된 부품의 특성 구현을 위한 연구 또한 활발하게 진행되고 있다[1]. R, L, C 와 같은 수동소자는 각종 소자에 매우 중요한 역할을 하고 있으며 수동소자가 차지하는 비율은 계속 증가하고 있다. 따라서 여러 응용분야에서 향상된 성능의 구현과 소형화를 위해 몇 개의 집적회로(IC)들을 함께 패키징(packaging)하는 Multichip

Modules(MCMs)를 사용하고 있다[2].

MCM 기술을 사용하여 저항, 인덕터, 캐패시터 등의 수동소자를 집적시키는 데에 저온 동시소성 세라믹(LTCC) 공정이 주로 사용되고 있다[3]. LTCC로 제작되는 수동소자의 구조를 정확히 설계하기 위해서는, 각각의 소자에 대한 정확한 모델링이 필요하고, 컴퓨터를 이용한 회로설계에 활용할 수 있도록 library화하는 기술, 그리고 각 파라미터의 변위가 수동소자의 특성에 어떠한 영향을 미치는가에 대한 연구가 필요하다

이 논문에서는 다층(multilayer) LTCC 공정으로 제조된 유사한 여러 구조의 3차원 매립형 인덕터를 모델링하여 이들이 소자의 특성에 미치는 영향을 살펴 보려 한다. 이를 위해 4가지 구조의 3차원 매립형 인덕터를 Partial Element Equivalent Circuit(PEEC) 방법으로 HSPICE simulation tool을 이용하여 모델링하고자 한다.

연세대학교 전기전자공학과
(서울특별시 서대문구 신촌동 134번지)
Fax: 02-362-6444
E-mail: iyun@yonsei.ac.kr

*: 전자부품연구원 무선회로연구센터

2. 테스트 구조 설명 및 측정

2.1 테스트 구조 설명

테스트 구조는 그림1과 같은 모양의 LTCC 공정 에 의해 제작된 12 layer의 인덕터이다.

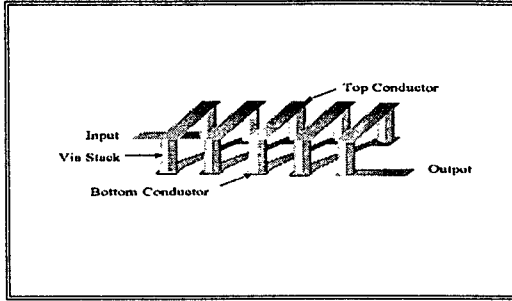


그림 1. 3차원 매립형 인덕터의 구조.

Fig. 1. 3-D embedded inductor illustration.

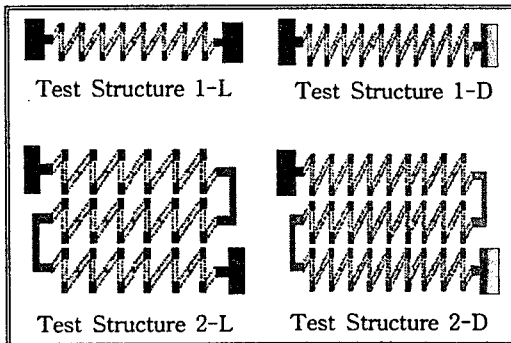


그림 2. 네 가지 테스트 구조의 2차원 모형.

Fig. 2. 2-D models of 4 test structures.

테스트 구조 1은 직선형태의 솔레노이드 인덕터 이고, 구조 2는 양쪽의 패드 중간의 솔레노이드 부분, 그리고 솔레노이드를 연결해 주는 링크(link) 부분으로 구성되어 있으며 'ㄱ'자 형태의 인덕터이다. 양쪽 끝 부분의 패드(pad)와 중간의 솔레노이드가 연결된 직선형태로 기본적인 구조는 같으나 솔레노이드 부분의 시퀀셜 주기에서 차이가 있으므로 느슨(loose)한 구조(test structure 1-L)와 촘촘(dense)한 구조(test structure 1-D)로 구분하였다.

2.2 테스트 구조 측정

Line-Reflect-Mismatch(LRM) method로 calibration하여 각 인덕터를 HP8510C network analyzer와 Microtech probe station을 사용하여 측정하였다. 50MHz~5GHz의 주파수 영역에서

scattering parameter(S-Parameter)를 측정하였다. 이 경우 임피던스 매칭(impedance matching)을 위하여 50Ω의 기준저항을 이용하였다. 또한 제조 공정에서 매우 작은 저항을 갖는 물질을 이용하였기 때문에 직류 저항은 무시하였다. S-parameter는 아래의 식으로 Y-parameter로 변환된다.

$$Y_{11} = \frac{1}{Z_0} \left[\frac{(1 + S_{22})(1 - S_{11}) + S_{12}S_{21}}{(1 + S_{11})(1 + S_{22}) - S_{12}S_{21}} \right]$$

$$Y_{12} = \frac{1}{Z_0} \left[\frac{-2S_{12}}{(1 + S_{11})(1 + S_{22}) - S_{12}S_{21}} \right]$$

$$Y_{21} = \frac{1}{Z_0} \left[\frac{-2S_{21}}{(1 + S_{11})(1 + S_{22}) - S_{12}S_{21}} \right]$$

$$Y_{22} = \frac{1}{Z_0} \left[\frac{(1 + S_{11})(1 - S_{22}) + S_{12}S_{21}}{(1 + S_{11})(1 + S_{22}) - S_{12}S_{21}} \right]$$

3. 모델링 및 통계적 분석

3.1 모델링

모델링을 위하여 인덕터의 각 부분을 그림 3과 같이 기본적인 building block으로 나누었다. 각 building block은 Partial Element Equivalent Circuit(PEEC) method를 이용하였으며 각 building block들이 전체 인덕터에 미치는 영향을 고려하였고 각 building block의 실제 3차원 구조를 등가회로로 적용시켰다.

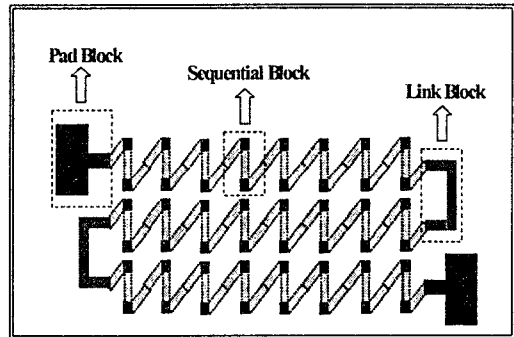


그림 3. 기본적인 building block.

Fig. 3. Basic building block.

기본적인 building block의 등가회로는 그림 4 ~ 그림 6과 같이 대칭적인 구조이며 일반화된 인덕터 모델을 사용하였다[5]. 각 building block 등가회로의 아랫부분에 있는 캐패시턴스(Cgnd1, 2, 3)는 기판과 building block의 사이의 캐패시턴스를 고려한 것이다. 테스트 구조 2와 같이 꺾여있는 구조에서는 솔레노이드 부분끼리의 기생효과(parasitic effect)가 발

생하게 되므로 전류의 방향을 고려하여 L과 C로 이루어진 parasitic block을 설정하였다.

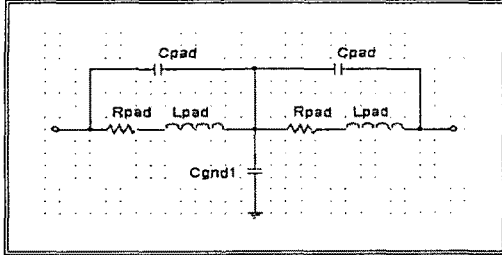


그림 4. Pad block의 등가회로.
Fig. 4. Equivalent circuit for pad block.

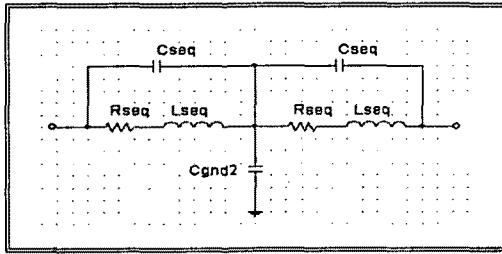


그림 5. Sequential block의 등가회로.
Fig. 5. Equivalent circuit for sequential block.

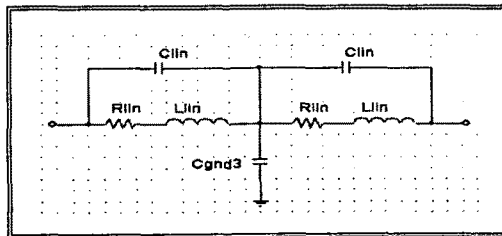


그림 6. Link block의 등가회로.
Fig. 6. Equivalent circuit for link block.

3.2 HSPICE를 이용한 최적화

HSPICE simulation tool을 이용한 시뮬레이션은 기존의 EM/RF(Electro Magnetic/Radio Frequency) 시뮬레이션 방법에 비해 테스트 구조의 동작을 정확히 예측할 수 있다.

각 building block을 구성하는 변수의 추출 및 최적화는 모든 테스트 구조들에 대해 50MHz에서부터 공진 주파수(first resonant frequency)영역까지, 즉 고주파에서 발생하는 기생효과를 고려하지 않아도 되는 범위까지의 모델링을 하였다. 각각의 테스트

구조는 50MHz에서 시작하여 테스트 구조 1-L은 2.4GHz, 테스트 구조 1-D는 2.1GHz, 테스트 구조 2-L은 1.2GHz, 테스트 구조 2-D는 900MHz까지 모델링하였다.

3.3 결과 및 토의

그림 7~그림 10은 세 개의 coupon중 coupon-1에 해당하는 테스트 구조에 대해 S-parameter의 최적화된 결과를 통해서 계산한 Y-parameter이다. S-parameter에서 Y-parameter간의 변환은 앞에서 보인 식을 이용하여 계산하였다. 그림 7~그림 10은 입력 어드미턴스(input admittance)인 Y11의 그림이며 각각의 그림에서 볼 수 있듯이 최적화된 결과는 측정된 결과와 유사하다. 나머지 두 개의 coupon의 테스트 구조들에 대해서도 같은 결과를 갖는다. (실선: Measured Data, 점선: Optimized Data)

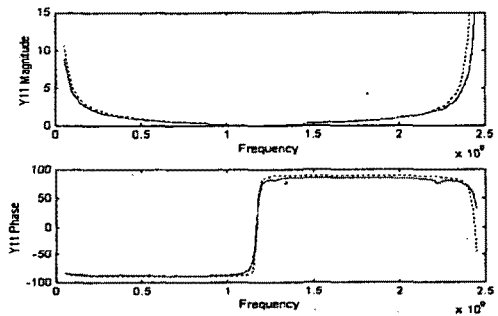


그림 7. 테스트 구조 1-L의 측정된 Y11과 최적화된 Y11.

Fig. 7. Measured Y11 and optimized Y11 for test structure 1-L.

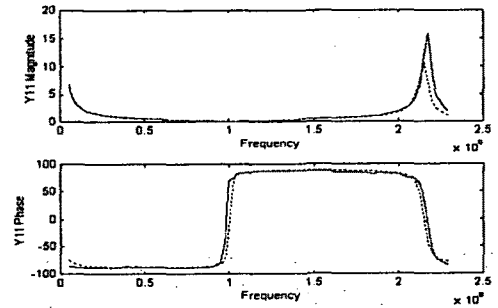


그림 8. 테스트 구조 1-D의 측정된 Y11과 최적화된 Y11.

Fig. 8. Measured Y11 and optimized Y11 for test structure 1-D.

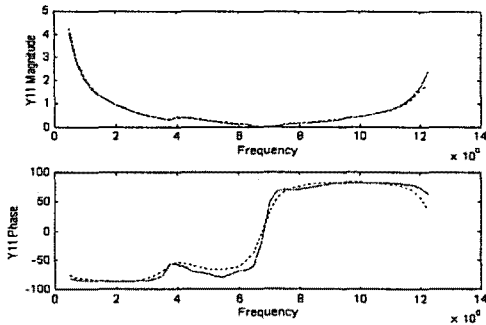


그림 9. 테스트 구조 2-L의 측정된 Y11과 최적화된 Y11.

Fig. 9. Measured Y11 and optimized Y11 for test structure 2-L.

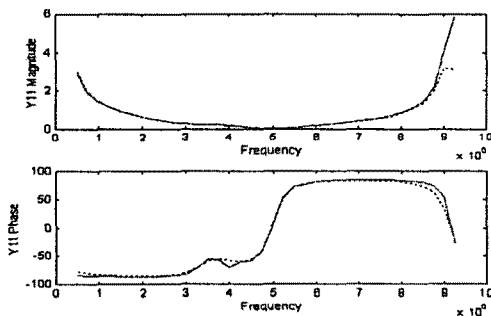


그림 10. 테스트 구조 2-D의 측정된 Y11과 최적화된 Y11.

Fig. 10. Measured Y11 and optimized Y11 for test structure 2-D.

5. 결론

본 논문에서는 다차원 패턴의 LTCC 공정으로 제작된 3차원 매립형 인덕터에 대한 모델링을 PEEC 방법을 이용하여 수행하였고, HSPICE를 사용해서 데이터를 최적화시켰다. 각각의 building block에서 추출된 데이터는 나뉘어진 부분의 등가회로를 나타내는 것으로, 구조의 변화에 따라 패러미터가 어떻게 변하는지를 알 수 있게 해주며, 이를 사용하면 다른 구조의 특성 또한 예측할 수 있을 것이다. 이로 인하여 대량 생산 전의 소자 특성 예측이 가능케 되어 제작비용을 절감할 수 있으며 수율을 향상시킬 수 있게 된다.

감사의 글

본 연구는 전자부품연구원(KETI)의 유망전자부품 기술개발사업(Electro-0580)의 위탁 연구과제로 수행되었습니다.

참고 문헌

- [1] Robert W. Brodersen, "RF Modems for Personal Communications Systems", Technical R&D report, Electronics Research Lab., U. C. Berkeley, July 1995.
- [2] L. J. Golonka, K. J. Wolter, A. Dzedzic, J. Kita, L. Rebenklaus, "Embedded passive components for MCM", 24th International Spring Seminar on Electronic Technology, pp. 73-77, May 2001
- [3] R. L. Brown, A. A. Shapiro, P. W. Polinski, "The Integration of Passive Components into MCMs Using Advanced Low-Temperature Cofired Ceramics", The Int. Journ. of Microcircuits and Electron. Packaging, Vol. 16, No. 4, pp. 328-338, Fourth Quarter 1993.
- [4] A. Ruehli, "Equivalent Circuit Models for Three Dimensional Multiconductor Systems", IEEE Trans. Microwave Theory Tech., Vol. MTT-22, pp. 216-221, Mar. 1974.
- [5] L. Carastro, R. Poddar, E. Moon, M. Brooke, N. Jokerst, "Passive Device Modeling Methodology Using Nonlinear Optimization", Vol. 6, pp. 53-56