

Low energy ion-milling법에 의한 TEM 시료의 비정질층 제거

양민호, 송세안

삼성종합기술원 수원 440-600

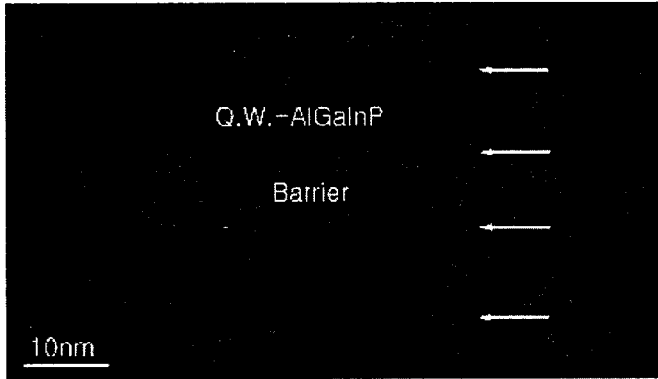
4-6kV 에너지대의 ion-milling TEM 시편제작법은 Ar⁺ ion beam bombardment로 인해 시료의 표면에 비정질층을 형성하는 문제점을 안고 있음에도 불구하고 여전히 가장 널리 사용 되어지고 있다. 특히나 최근의 ion-milling system 제조회사들이 더욱 빠른 TEM 시료의 제작을 위해 빔의 집속도를 증가시킨 것과 더불어 시료의 비정질층 또한 증가 되어졌다.

Si 단결정 기판을 ion-milling시 입사각 8°, 4kV에서 비정질층의 두께는 10nm을 넘는 것으로 알려져 있다.[1] LD, 반도체등 현재 개발되고 있는 소자들은 수백나노에서 시작하여 수나노까지를 공정상에서 제어해야 하는 수준까지 미세화되어졌다. 때문에 이러한 나노소자들을 TEM 분석함에 있어 Ar⁺ ion bombardment로 인한 원시료의 비정질화는 무시할 수 없는 수준의 분석오류를 불러 일으킨다.

이 비정질층을 최소화하기 위해 약 0.2~1kV의 낮은 에너지를 이용한 이온밀링장비를 개조 제작하였다. 장비는 노후된 Baltec R010 ion-milling system에 techno Linda에서 제작한 Low energy ion gun을 장착하는 방식으로 제작 되어졌다. Si wafer을 기준으로 4kV의 기존 에너지를 사용할 때 발생하는 비정질층과 low energy ion-milling system을 거쳐 감소된 비정질층을 TEM과 EDS를 사용하여 비교 확인하였다. 0.3kV에서 Si wafer 시료의 손상층은 1nm 정도까지 감소하였으며 LD의 Quantum Well 관찰시 피할 수 없었던 계면에서의 intermixing 또한 제거할 수 있었다.

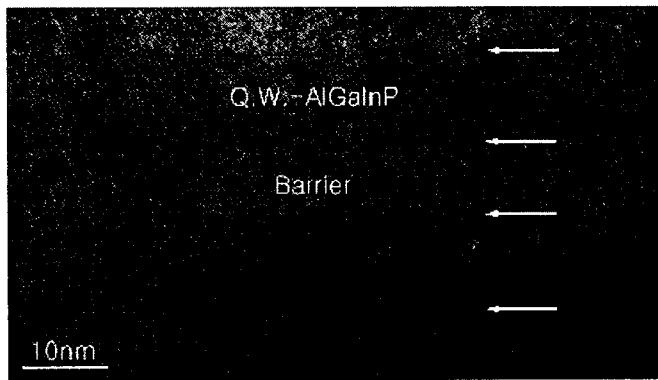
참고문헌

A. Barna, B. Pecz, M. Menyhard, Micron 30 (1999) 267



a)

a) Gatan사의 PIPS ion milling system을 이용하여 4kV로 제작한 GaAs LD 시편의 Quantum Well structure TEM 사진.



b)

b) Low energy ion milling system을 이용하여 0.2kV로 제작된 동일 시편의 TEM 사진.