

액시머 레이저광의 회절에 의한 저온 다결정 실리콘 박막 트랜지스터의 소오스/드레인 접합부 결합 생성

강수혁, 박기찬, 이민철, 한민구

서울대학교 전기·컴퓨터공학부 전기재료 및 소자 실험실

Junction Defects of Self-Aligned, Excimer Laser Annealed Poly-Si TFTs

Su-Hyuk Kang, Kee-Chan Park, Min-Cheol Lee, and Min-Koo Han

School of Electrical Engineering, Seoul National University, <http://emlab.snu.ac.kr>

Abstract - 액시머 레이저를 이용한 저온 (450°C 이하) 다결정 실리콘 박막 트랜지스터 제작 시, 소오스/드레인 이온 주입에 의한 실리콘 박막의 격자 손상은 액시머 레이저 어닐링 (Excimer Laser Annealing; ELA) 방법으로 치유한다. 그러나 게이트 전극 모서리에서의 레이저회절 현상으로 인해 소오스/드레인 접합부에 도달하는 레이저 에너지 밀도가 감소하여 다량의 결정 결합이 치유되지 못한 채 남게 된다. 이러한 결정 결합은 박막 트랜지스터의 전계 효과 이동도를 저하시키는 요인이다. 새롭게 제안한 사선 입사 액시머 레이저 어닐링 (Oblique Incidence Excimer Laser Annealing; OI-ELA) 방법으로 소오스/드레인 접합부의 결정 결합을 제거하고 다결정 박막 트랜지스터의 특성을 향상시켰다.

1. 서 론

액시머 레이저를 이용하여 제작하는 다결정 실리콘 (Polycrystalline Silicon; poly-Si) 박막 트랜지스터 (Thin Film Transistor; TFT)는 전류 구동 능력이 우수하고, 저렴한 유리 기판 상에 제작할 수 있는 장점이 있다 [1]. 따라서 poly-Si TFT는 액정 디스플레이 (Liquid Crystal Display; LCD)와 유기 발광 다이오드 (Organic Light Emitting Diode; OLED) 디스플레이 패널의 화소 및 구동 회로를 유리 기판 상에 접착하여 고화질의 능동 구동 디스플레이 장치를 구현하기에 가장 적합한 소자이다 [2]. 그러나 Poly-Si TFT는 OFF 상태에서 누설 전류가 크고, 장시간 구동 시에 전기적 특성이 쉽게 열화되는 문제점이 있다. 이러한 문제점은 poly-Si 박막 내의 실리콘 결정립 경계 (grain boundary; GB)에 존재하는 많은 수의 전자·정공 트랩과 게이트 절연막과 poly-Si 박막 사이의 계면 트랩 등에 기인한다 [3-5]. 또한 이온 주입에 의해서 비정질화 된 소오스/드레인 실리콘 박막의 재결정화와 불순물 활성화를 위해 그림 1과 같이 액시머 레이저를 조사하였을 때, 소오스/드레인 접합부의 결정 결합이 치유되지 못한 채 남게된다 [6]. 이러한 접합부 결합 결함은 전자·정공의 트랩으로 작용하여 누설 전류 발생의 원인이 되며, 전기적 스트레스에 의해서 추가의 트랩 생성 원인이 되기도 한다.

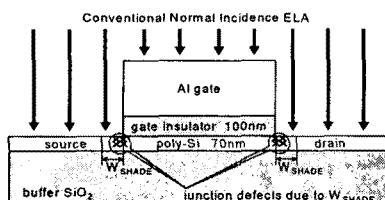


그림 1. ELA poly-Si TFT의 소오스/드레인 접합부에 잔존하는 결정 결함.

본 논문에서는 액시머 레이저를 이용한 poly-Si TFT의 소오스/드레인 접합부 결합 결함의 생성 원인과 이러한 결합 결함이 박막 트랜지스터의 전기적 특성에 미치는 영향을 분석하였다. 또 이러한 소오스/드레인 접합부의 결합 결함을 제거하기 위한 사선 입사 액시머 레이저 어닐링 (Oblique Incidence Excimer Laser Annealing; OI-ELA) 방법을 제안한다. OI-ELA 방법을 이용한 poly-Si TFT는 일반적인 ELA 방법을 이용한 poly-Si TFT에 비해 전기적 특성이 매우 향상되었다.

2. 본 론

2.1 레이저회절 현상과 poly-Si TFT의 소오스/드레인 접합부 결합 결함

2.1.1 게이트 전극 두께가 소오스/드레인 접합부 결합 결함에 미치는 영향

Poly-Si TFT 제작을 위해 XeCl 액시머 레이저 ($\lambda=308\text{nm}$)를 이용하여 비정질 실리콘 (amorphous silicon; a-Si) 박막을 결정화하였다. 게이트 패터닝 이후에 자가 정렬 (self-aligned) 방식으로 비소 이온 (As^{+})을 $1\times 10^{15}\text{ cm}^{-2}$ 의 주입량과 30 keV의 가속 에너지 조건으로 주입하여 소오스/드레인을 형성하였다. 이온 주입으로 인해 비정질화 된 소오스/드레인 실리콘 박막의 재결정화와 불순물 활성화를 위하여 $300\text{mJ}/\text{cm}^2$ 의 에너지 밀도로 액시머 레이저를 6회 조사하였다. 그림 2는 제작한 poly-Si TFT의 단면 TEM 사진으로, 소오스/드레인 접합부에 이온 주입에 의한 손상이 남아있는 것을 확인할 수 있다. 이는 소오스/드레인 접합부의 비정질화 된 실리콘 박막이 ELA 시에 완전히 용융되지 않았기 때문이다. 채널 영역과 소오스/드레인 영역은 그레이 내부의 결합이 거의 없는 다결정 (polycrystalline)으로 구성되는 반면 소오스/드레인 접합부의 실리콘 박막은 서로 결정 방향이 다른 미세 결정 (microcrystalline)들로 구성되어 있다.

접합부의 결정 결함이 남아있는 영역의 폭은 게이트 전극의 두께가 증가함에 따라 넓어진다. ($T_{\text{Gate}} = T_{\text{OX}} + T_{\text{Al_gate}}$) 그림 2의 (a)는 400nm의 게이트 두께에서 결정 결함의 폭이 85nm로 나타났고, 그림 2의 (b)는 800nm의 게이트 두께에서는 결정 결함의 폭이 115nm로 관찰되었다. 게이트 전극의 두께와 박막 트랜지스터의 소오스/드레인 접합부에 남아있는 결정 결함의 폭 사이에 이러한 관계가 나타나는 이유는 게이트 전극 모서리에서의 레이저회절 현상으로 인하여 소오스/드레인 접합부에 도달하는 레이저의 에너지 밀도가 낮아지기 때문이다.

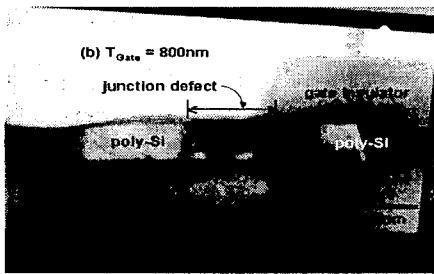
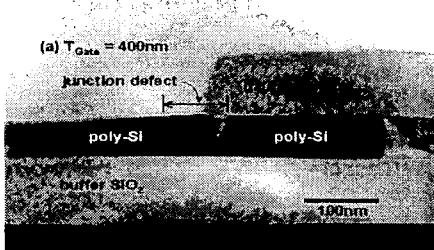


그림 2. ELA poly-Si TFT의 단면 TEM 사진: 게이트 전극 모서리 아래의 소오스/드레인 접합부에 미세 결정 구조의 결정 결함이 보인다. 이 결정 결합의 폭은 게이트 두께가 증가함에 따라 넓어진다. 알루미늄 게이트 전극은 TEM 시편 제작의 편의를 위해 제거하였다.

2.1.2 게이트 전극 모서리에서의 레이저광 회절

그림 3은 poly-Si TFT의 단면 SEM 사진에 XeCl 엑시머 레이저 ($\lambda = 308 \text{ nm}$)를 조사할 때의 모습을 모식적으로 그린 것이다.

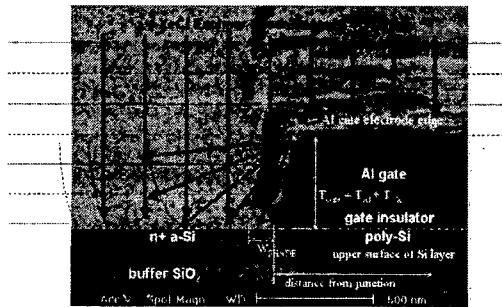


그림 3. poly-Si TFT 게이트 구조의 단면 SEM 사진에 모식화한 게이트 전극 모서리에서의 레이저광 회절 양상.

수직으로 조사되는 레이저광의 진행 경로에 게이트 전극과 같은 장애물이 존재하여 레이저광의 진행이 가로막히면 게이트 전극 모서리에서 레이저광이 회절하여 소오스/드레인 실리콘 박막의 표면에는 이론적으로 그림 4와 같은 조도 분포 패턴이 나타난다. 그림 4의 회절 패턴은 Fresnel 회절로부터 계산하여 구한 결과이다. 장애물이 없을 경우의 레이저광 조도를 100%로 정하면 장애물에 의한 그림자 경계의 레이저광 조도는 25%이다. 또한 그림자 경계로부터 일정 거리까지 레이저광이 약하게

조사되는 영역이 존재하는데, 본 논문에서는 게이트 끝으로부터 레이저광 조도가 50%가 되는 지점까지의 거리를 레이저광의 회절에 의한 그림자 영역의 폭 (W_{SHADE})으로 정의하였다. 그럼 4와 그림 5에 나타난 것과 같이 W_{SHADE} 는 게이트 두께가 두꺼울수록 늘어난다. 계산에 의하면 $T_{\text{Gate}} = 400 \text{ nm}$ 일 때 $W_{\text{SAHDE}} = 87 \text{ nm}$, $T_{\text{Gate}} = 800 \text{ nm}$ 일 때 $W_{\text{SHADE}} = 123 \text{ nm}$ 이다. 이 계산값들은 위에서 나타난 소오스/드레인 접합부의 결정 결합 너비와 잘 부합한다. 계산된 W_{SHADE} 와 실험적으로 얻은 소오스/드레인 접합부의 결정 결합 너비를 비교해 볼 때, 자기 정렬(self-aligned) ELA poly-Si TFT의 소오스/드레인 접합부 결정 결합은 게이트 전극 모서리에서의 레이저광 회절로 인한 레이저 에너지 밀도 감소가 원인이라고 결론지을 수 있다 [7].

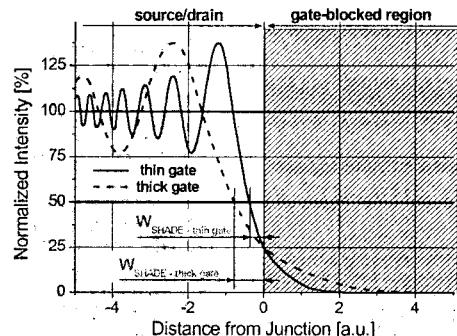


그림 4. Fresnel diffraction에 의한 실리콘 표면에서의 레이저 에너지 변화. 소오스/드레인 접합부에서의 레이저광 조도는 25%이다. 회절에 의한 그림자 영역의 폭 (W_{SHADE})은 게이트 끝으로부터 레이저광 조도가 50%가 되는 지점까지의 거리로 정의하였다.

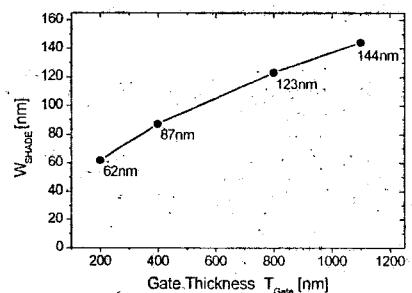


그림 5. 게이트 두께(T_{Gate}) 변화에 따른 W_{SHADE} 계산값. T_{Gate} 가 증가함에 따라 W_{SHADE} 도 증가한다. W_{SHADE} 값은 그림 2에서의 접합부 결정 결합 폭과 잘 부합한다.

2.2 소오스/드레인 접합부의 결정 결합이 poly-Si TFT의 특성에 미치는 영향

소오스/드레인 접합부의 결정 결합이 poly-Si TFT의 전기적 특성에 미치는 영향을 조사하기 위하여 게이트 전극의 두께를 변화시켜이며 poly-Si TFT를 제작하였다. 게이트 전극 두께는 200nm에서부터 800nm까지 변화시켰다.

그림 6은 제작한 poly-Si TFT의 전달특성 그래프이다. 게이트 두께가 증가함에 따라 ON 전류가 감소하는

데, 이는 두꺼운 게이트의 경우 소오스/드레인 접합부의 결정 결합 폭이 넓고 또한 이로 인한 추가적인 직렬 저항이 크기 때문이다. 반면 OFF 전류는 소자간의 편차에 의한 변화 범위 내에서 변화하였고 주목할만한 경향을 보이지는 않았다.

Poly-Si TFT의 ON 전류는 최대 전계 효과 이동도 (μ_{FEMax})로 간단히 나타내어진다. 그럼 7은 게이트 두께와 채널 길이에 따른 평균 μ_{FEMax} 의 변화를 나타낸 그래프이다. 게이트 두께가 증가함에 따라 잔존하는 소오스/드레인 접합부의 결정 결합의 폭이 커지고, 이로 인한 직렬 저항의 크기가 증가하여 μ_{FEMax} 는 감소한다. 또한 채널 길이가 짧아질수록 접합부의 결정 결합으로 인해 증가하는 직렬 저항이 전체 저항에서 차지하는 비율이 커지게 되어 μ_{FEMax} 는 감소한다.

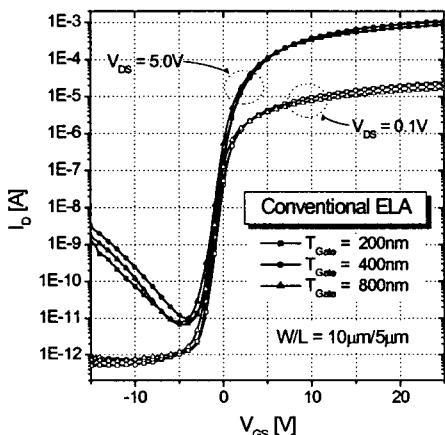


그림 6. 일반적인 ELA 방법으로 제작한 poly-Si TFT의 전달 특성. 게이트 전극 두께가 증가함에 따라 ON 전류가 감소한다. OFF 전류는 소자간의 편차 범위 내에서 변화하였다.

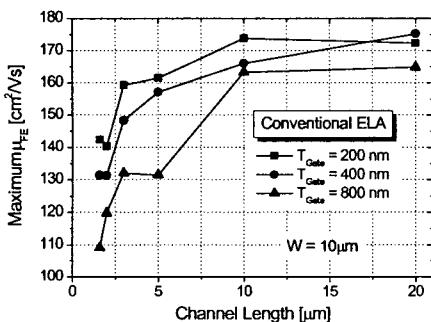


그림 7. 게이트 전극 두께와 채널 길이에 따른 μ_{FEMax} 의 변화. 게이트 전극이 두꺼울수록, 채널의 길이가 짧을수록 μ_{FEMax} 는 감소한다.

2.3 사선 입사 엑시머 레이저 어닐링 (Oblique Incidence ELA: OI-ELA)

2.3.1 OI-ELA를 이용한 소오스/드레인 접합부 결정 결합 제거

소오스/드레인 접합부의 결정 결합을 제거하기 위하여 사선 입사 엑시머 레이저 어닐링 (Oblique Incidence ELA; OI-ELA)이라는 새로운 엑시머 레이저 어닐링 방

법을 제안한다. OI-ELA의 모식도를 그림 8에 나타내었다. 레이저광을 사선으로 입사시키면 소오스/드레인 접합부에 회절로 인한 그림자 영역이 생기지 않아 접합부의 레이저 에너지 밀도가 감소하지 않는다. 따라서 소오스/드레인 접합부의 결정 결합이 남지 않고 이온 주입에 의한 격자 손상이 완전히 치유된다. 그림 9는 OI-ELA 방법을 이용하여 제작한 poly-Si TFT의 단면 TEM 사진으로, 소오스/드레인 접합부의 결정 결합이 제거되었음을 확인하였다.

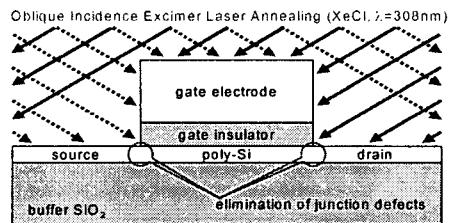


그림 8. 사선 입사 엑시머 레이저 어닐링 방법의 모식도. 소오스/드레인 접합부에도 레이저 에너지 밀도가 100% 전달된다.

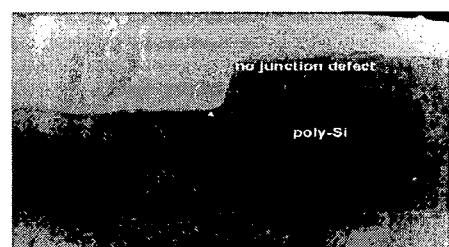


그림 9. OI-ELA poly-Si TFT의 소오스/드레인 접합부 단면 TEM 사진. OI-ELA 방법으로 결정 결합이 제거되었다. TEM 시편 제작의 편의를 위해 알루미늄 게이트 전극은 제거하였다.

2.3.1 OI-ELA poly-Si TFT의 전기적 특성

그림 10은 OI-ELA 방법을 이용하여 제작한 poly-Si TFT의 전달 특성 그래프이다. 일반적인 ELA 방법을 이용한 poly-Si TFT의 경우 게이트 두께가 증가함에 따라 ON 전류가 감소하는 반면, OI-ELA 방법을 이용하여 소오스/드레인 접합부의 결정 결합이 완전히 제거함에 따라 게이트 두께에 따른 ON 전류의 변화가 나타나지 않았다. OFF 전류는 일반적인 ELA 방법을 이용한 poly-Si TFT의 경우와 마찬가지로 소자간의 편차 범위 내에서 변화하였고, 주목할만한 경향을 보이지 않았다. 그럼 6과 그림 9를 비교해 보았을 때, 소오스/드레인 접합부의 결정 결합은 ELA poly-Si TFT의 OFF 상태 누설전류에 거의 영향을 주지 않는 것으로 보인다.

그림 11은 OI-ELA 방법을 이용한 poly-Si TFT의 게이트 두께와 채널 길이에 따른 평균 μ_{FEMax} 의 변화를 나타낸 그래프이다. OI-ELA에 의해 접합부의 결정 결합이 완전히 치유되어 게이트 두께와 채널 길이의 변화와 상관없이 μ_{FEMax} 는 거의 일정하였다. 또한 소오스/드레인 접합부의 직렬 저항의 크기가 감소하여 일반적인 ELA 방법을 이용한 poly-Si TFT에 비하여 μ_{FEMax} 값이 크게 나타났다.

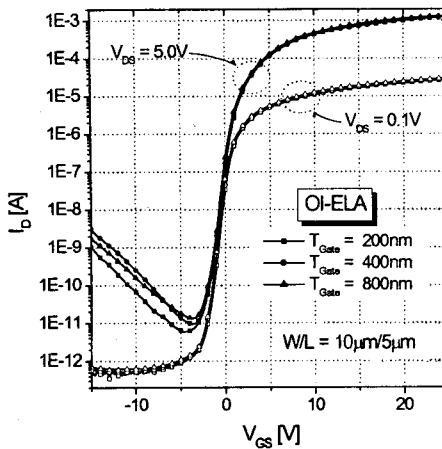


그림 10. OI-ELA 방법으로 제작한 poly-Si TFT의 전달 특성. 게이트 전극 두께 변화에 따른 ON 전류 변화가 없다. OFF 전류는 소자간의 편차 범위 내에서 변화하였다.

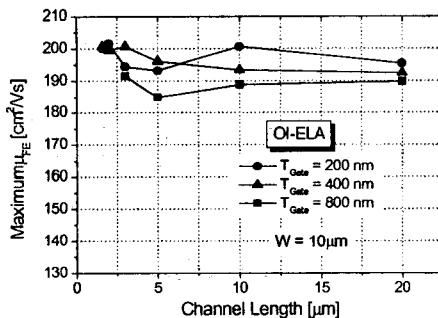


그림 11. OI-ELA 방법을 이용한 poly-Si TFT의 μ_{FEMax} 변화. 게이트 두께와 채널 길이의 변화와 무관하게 μ_{FEMax} 는 일정하고 일반적인 ELA를 이용한 poly-Si TFT의 μ_{FEMax} 보다 크다.

3. 결 론

엑시머 레이저를 이용한 poly-Si TFT 제작 시에 발생하는 소오스/드레인 접합부 결정 결함을 TEM 사진 관찰과 게이트 전극 모서리에서의 레이저광 회절 현상 계산을 비교하여 분석하였다. 소오스/드레인 도핑을 위한 이온 주입에 의해 비정질화 된 poly-Si TFT의 접합부는 게이트 전극 모서리에서의 레이저광 회절로 인해 접합부에 도달하는 레이저 에너지 밀도가 감소하여 엑시머 레이저 재결정화에 의해서 완전하게 치유되지 않고 결정 결함이 잔존하게 된다. 접합부 결정 결함은 특히 채널의 길이가 짧은 poly-Si TFT의 전류 구동 능력을 악화시킨다. 채널 길이가 짧을수록 접합부의 적렬 저항 증가의 영향을 크게 받아 전계 효과 이동도가 두드러지게 감소하였다. 접합부의 결정 결함을 제거하기 위한 방법으로 사선 입사 엑시머 레이저 어닐링 (OI-ELA) 방법을 제안하였다. OI-ELA 방법을 이용하여 제작한 poly-Si TFT는 채널 길이가 1.6μm까지 짧아져도 전계 효과 이동도의 감소가 나타나지 않았다. 이는 OI-ELA 방법으로 접합부의 결정 결함을 완전히 제거하였기 때문

이다. OI-ELA 방법은 짧은 채널 길이의 poly-Si TFT에 매우 유용한 방법이 될 것이다.

(참 고 문 헌)

- [1] G.K. Giust, T.W. Sigmon, J.B. Boyce, and J. Ho, "High-Performance Laser-Processed Polysilicon Thin-Film Transistors", IEEE Electron Device Lett., vol. 20, no. 2, p.77, 1999.
- [2] M. Stewart, R.S. Howell, L. Pires, and M.K. Hatalis, "Polysilicon TFT Technology for Active Matrix OLED Displays", IEEE Trans. Electron Devices, vol. 48, no. 5, p.845, 2001.
- [3] L. Colalongo, M. Valdinoci, and G. Baccarani, "Investigation on Anomalous Leakage Currents in Poly-Si TFT's Including Dynamic Effects", IEEE Trans. Electron Devices, vol. 44, no. 11, p.2106, 1997.
- [4] K.M. Chang, Y.H. Chung, and G.M. Lin, "Anomalous Variations of OFF-State Leakage Current in Poly-Si TFT Under Static Stress", IEEE Electron Device Lett., vol. 23, no. 5, p.255, 2002.
- [5] S. Banerjee, R. Sundaresan, H. Shichijo, and S. Malhi, "Hot-Electron Degradation of n-Channel Polysilicon MOSFET's", IEEE Trans. Electron Devices, vol. 35, no. 2, p.152, 1988.
- [6] F.W. Rohlfing, J.R. Ayres, S.D. Brotherton, C.A. Fisher, and D.J. McCulloch, "Fabrication and Characterisation of Poly-Si TFTs with Self-aligned Lightly-doped Drain", IDRC 2000 Technical Digest, p.119, 2000.
- [7] K.C. Park, J.S. Kim, S.M. Han, S.H. Kang, and M.K. Han, "Source/drain junction defect of excimer-laser-annealed poly-Si TFTs", Proc. 7th Asian Symp. Inform. Display, pp. 77-80, September 2002.