# 플립칩 언더필을 위한 몰드 설계 및 공정 연구

정철화* · 차재원** · 서화일* · 김광선**

Cheol-Hwa Jeong* · Jae-Won Cha** · Hwa-Il Seo* · Kwang-Sun Kim**

* 한국기술교육대학교 전자공학과, ** 한국기술교육대학교 기계공학과

## 초 록

플립칩 공정에서는 반도체 칩과 기판사이의 열팽창계수(CTE : Coefficient of Thermal Expansion)의 차와 외적 충격과 같은 이유로 인해 피로균열(Fatigue crack)이나 치명적인 전기적 결함이 발생하게 된다. 이런 부정적인 요인들로부터 칩을 보호하고 신뢰성을 향상시키기 위해서 플립칩 언더필 공정이 적용되고 있다. 본 연구에서는 기존의 몰딩 공정을 응용한 플립칩 언더필 방법을 소개하였다. 공정 이론과 디바이스를 소개하였으며, 시뮬레이션 및 수식을 통하여 최적의 언더필을 위한 몰더 설계 조건을 구하였다. 그리고 본 연구를 통해 기대되는 공정의 장점을 제시하였다

## 1. 서 론

오늘날의 반도체 산업에서 플립칩 기술은 짧은 입·출력 라인을 통한 고속의 동작속도와 비교적 단순한 공정 등의 장점으로 인해 여러 분야에 걸쳐 응용되고 있다. 반도체 칩의 사이즈는 점점 소형화되고 칩상에 구현되는 회로의 집적도는 점점 증가하고 있다. 또한 칩과 기판사이의 입·출력 범프(Bump)의 사이즈는 점점 작아지고 있는 반면에 그 수는 증가하고 있다. 이러한 이유로 인해서 반도체 칩의 단위 체적당 소모되는 전력량의 증가 때문에 많은 열이 발생하게 된다. 이 열로 인해서 플립칩 공정 진행시 칩과 기판 사이의 열팽창 계수 차이로 입·출력 범프에 균열이 발생할 수도 있으며, 이는 전기적 특성에 치명적 영향을 가져오게 된다. 따라서 보다 효율적으로 열을 분산, 방출하기 위한 방법이 필요하게 되었으며 언더필 방법이 주로 사용되고 있다. 언더필은 열적 효과 외에도 외부 충격으로부터 칩을 보호하는 기능도 한다. 가장 많이 이용되고 있는 디스펜싱(Dispensing) 언더필 방법은 모세관 현상을 이용하여 공정이 진행된다. 하지만 사용되는 인캡슐런트의 가격이 비싸고, 공정의 진행속도가 느리다는 단점이 있다. 그 외에도 ACF나 NCF 등 여러 방법들이 있지만 신뢰성이나 경제성의 문제로 인해 아직까지 양산체제에 적용되지 못하고 있다.[1-8]

본 연구에서는 기존의 몰딩 공정을 응용하여 플립칩 언더필을 수행하는 새로운 공정을 소개하였다. 이 방법은 빠른 공정속도 뿐만 아니라 멀티 플립칩 언더필에 대해서도 응용이 가능하기 때문에 양산성의 장점을 가질 수 있다.

## 2. 몰딩 시스템

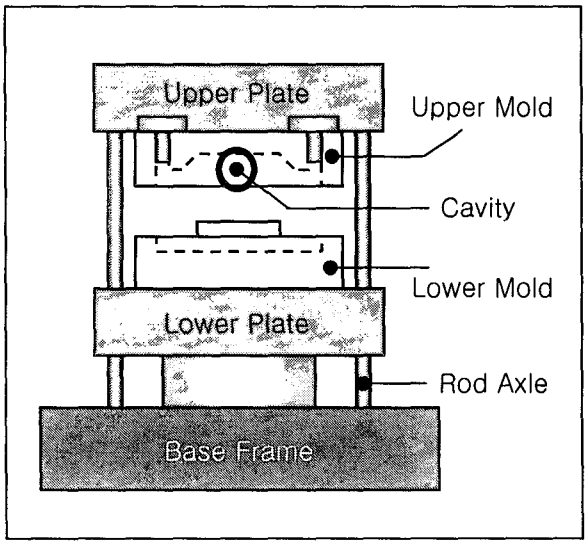



그림 1. 언더필 장치

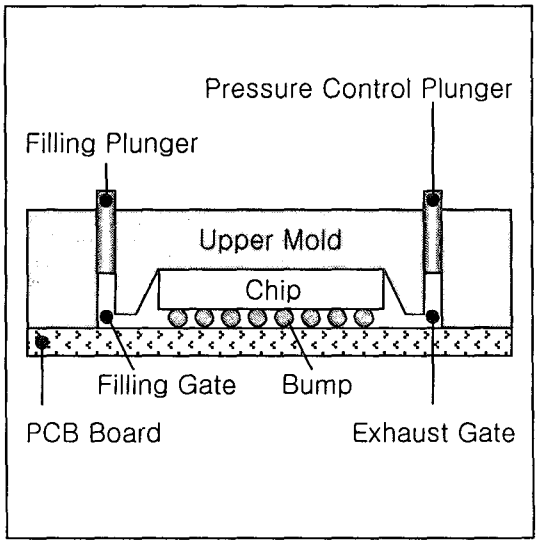



그림 2. 몰드 구조

그림.1은 언더필 장치의 전체적인 Schematic을 나타내고 있으며, 그림.2는 몰더를 이용한 언더필 프로세스를 나타낸다. 그리고 그림.3은 몰딩 공정을 응용한 언더필이 완료된 후의 칩의 단면과 평면의 모습이다.

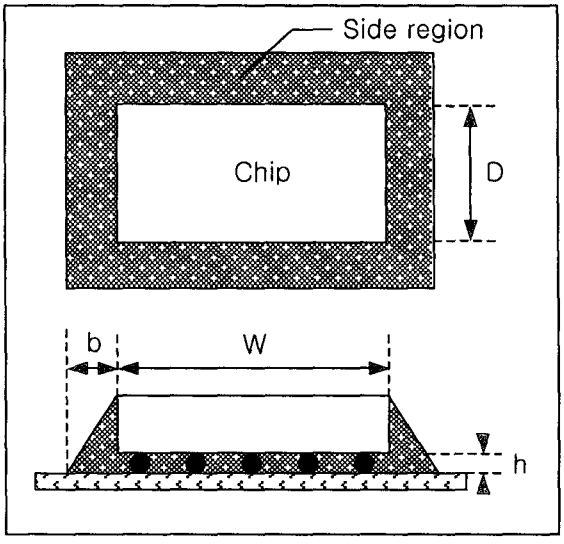



그림 3. 언더필 완료 후 칩의 평면과 단면

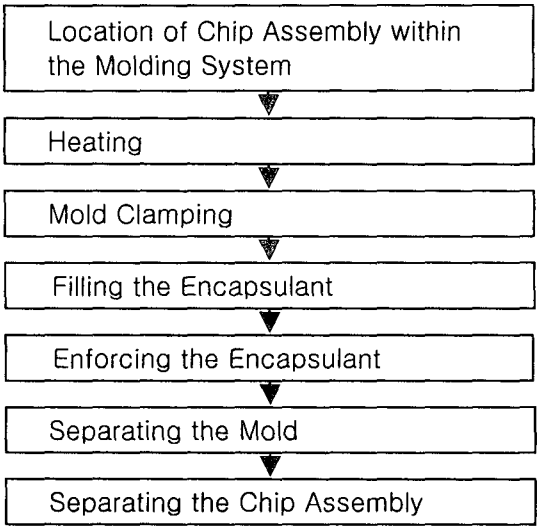



그림 4. 언더필 공정 순서

그림.4는 본 연구에서 제안된 몰딩 공정을 응용한 플립칩 언더필 공정의 순서를 나타내고 있다. 첫번째 단계는 반도체 칩이 상측 플레이트의 공동(Cavity) 내에 위치 할 수 있도록 기판 어셈블리를 하측 플레이트 위에 위치 시킨다. 몰드는 고체 컴파운드가 젤 형태로 주입되기 위해서 적정한 온도로 가열된다. 두번째 단계는 칩이 위치한 공동을 닫기 위해 하측 플레이트와 상측 플레이트를 클램핑(Clamping) 시킨다. 이 단계에서 압력 조절 플런저는 공동내의 압력을 감소시키기 위한 작동을 한다. 공동내의 낮은 압력은 컴파운드의 주입 속도를 빠르게 한다. 젤 형태의 컴파운드는 주입용 플런저에 의해 주입구를 통해 공동 내로 주입되게 된다. 이때 주입용 플런저와 압력 조절 플런저를 통해 공동 내에 패킹압력을 형성하게 되는데 이 패킹 압력은 반도체 칩과 기판 사이에 컴파운드가 채워질 때 보이드가 생기지 않도록 해준다. 다음 단계로 컴파운드 주입이 완료된 후에는 일정 시간동안의 컴파운드 경화공정이 진행된다. 컴파운드가 완전히 경화되면 상측 플레이트와 하측 플레이트를 분리한 후 기판 어셈블리를 분리한다.

## 3. 몰드 설계

공동의 가장자리(Side region)를 채우며 흐르는 컴파운드와 가운데를 채워나가는 컴파운드는 중심 축 끝부분에서 서로 만나게 되는데, 이때 가장자리의 압력강하와 공동내에서의 압력강하는 서로 같게 된다.

가장자리에서의 압력 강하, $\Delta p$는 다음 (1)번 식과 같다.

$$\Delta p = \left(4\eta(W+D)/\left(0.0257b^4\right)\right)\times Q \quad \text{----------} \quad (1)$$

Flow rate, Q는 (2)번 식과 같다.

$$Q = \left((W+D)/t\right)\times\left(b^2/2 + hDW/\left(2(D+W)\right)\right) \quad \text{----------} \quad (2)$$

그러므로 공동내의 압력강하, $\Delta p$는 (3)번 식과 같이 된다.

$$\Delta p = 12\eta QD/\left(h^3W\right) = \left(12\eta D/\left(h^3W\right)\right)\times\left(DWh/t\right) = 12\eta D^2/\left(h^2t\right) \quad \text{----------} \quad (3)$$

$$b^4 - \left\{\left[(W+D)^2h^2\right]/\left[0.1542\,D^2\right]\right\}b^2 - \left[(W+D)DWh^3\right]/\left(0.1542\,D^2\right) = 0 \quad \text{--} \quad (4)$$

윗 식에서 (4)번 식은 반도체 칩과 기판 사이에 컴파운드가 채워질 때 보이드(Void)가 생기는 것을 방지하기 위한 몰드의 공동 측벽면과 칩의 사이드면과의 최대 이격거리, b를 구하기 위한 $b^2$에 대한 이차 방정식이다. 0.1542는 실험 상수이다.

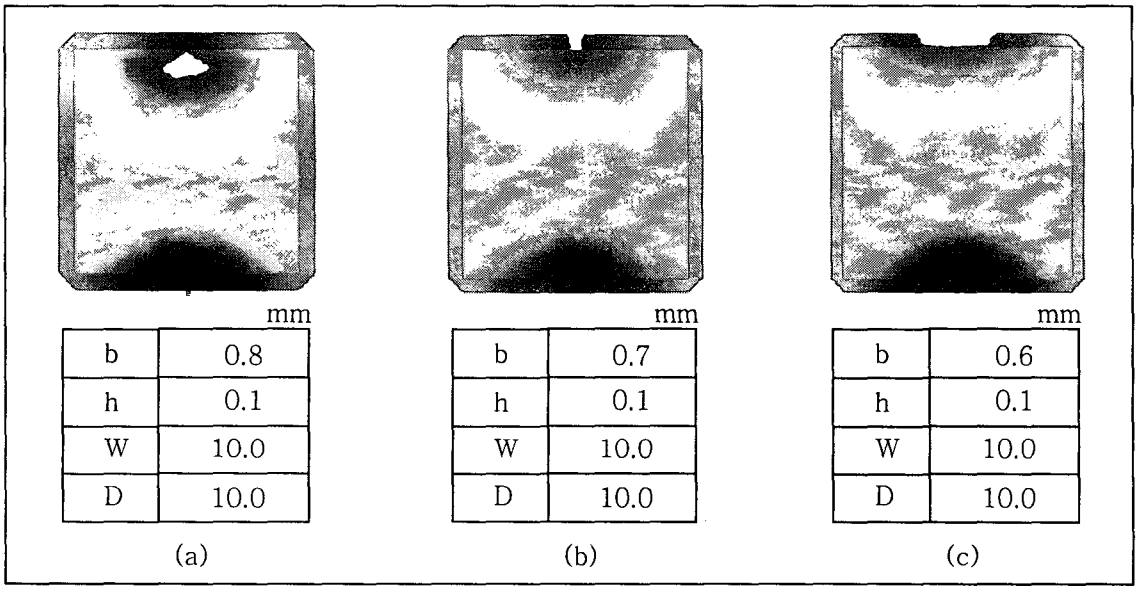
그림.5는 윗 식에 대한 시뮬레이션 결과로 임의로 정해진 이격거리, b에 대해 언더필이 완료된 후의 모습이다. 칩의 사이즈가 10×10㎜ 이고 높이(h)가 0.1㎜일 경우 최대 이격거리 b는 (4)번 식에 의해 약 0.71㎜가 된다.

그림.5-(a)는 이격거리 b가 0.8㎜로 설정된 경우로, 윗쪽 칩 아래부분에 보이드가 발생했음을 나타낸다.

그림.5-(b)는 이격거리 b가 0.7㎜인 경우로, 식에 의한 값이다. 그림에서 볼 수 있듯이 가장자리는 완전히 채워지지 않았지만 칩 아래에 보이드가 발생하지 않았음을 알 수 있다.

그림.5-(c)는 이격거리 b가 0.6㎜인 경우를 보여주고 있다. 이때도 가장자리는 완전히 채워지지 않았지만 역시 보이드가 형성되지 않았다.

시뮬레이션에 사용된 소프트웨어는 "Moldflow Plastics Insight" 이며, 사용된 인캡슐런트는 Dexter의 "Hysol FP4510" 이다. 이때 Substrate의 Heating Temperature는 80℃이다.



mm

| | |
|---|---|
| b | 0.8 |
| h | 0.1 |
| W | 10.0 |
| D | 10.0 |

(a)

mm

| | |
|---|---|
| b | 0.7 |
| h | 0.1 |
| W | 10.0 |
| D | 10.0 |

(b)

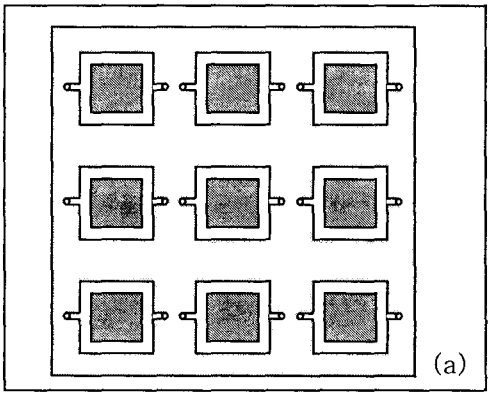
mm

| | |
|---|---|
| b | 0.6 |
| h | 0.1 |
| W | 10.0 |
| D | 10.0 |

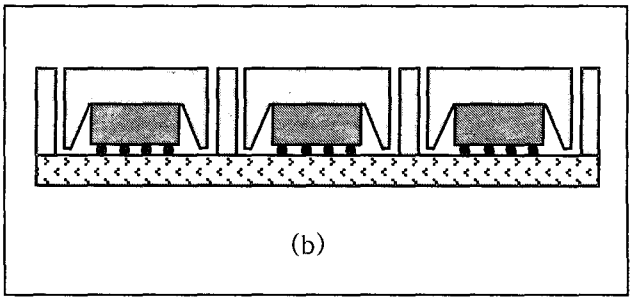
(c)

**그림 5.** 이격거리, b 에 따른 시뮬레이션 결과

그림.6은 멀티 플립칩 언더필을 위한 멀티의 공동이 형성된 몰드의 모습이다. 언더필이 이루어져야 할 칩의 개수와 동일한 공동이 몰드에 형성되어 있다. 이런 몰드를 사용할 경우 다수의 칩을 동시에 언더필 할 수 있게 된다.



(a)



(b)

**그림 5.** 멀티 언더필 몰드의 하측면(a)과 단면(b)

## 4. 결 론

본 연구에서는 몰딩 시스템을 이용하여 플립칩 언더필을 수행하기 위한 새로운 방법을 제안하였다. 최적의 언더필이 이루어질 수 있도록 하기위한 몰드의 조건들을 수식과 시뮬레이션을 통해 구현하였다. 이 방법은 높은 압력에 의해 공정이 이루어짐으로 언더필 속도가 빠르며, 고점도의 인캡슐런트에 대해서도 효율적인 언더필이 이루어질 수 있는 장점을 지닌다. 그리고 다수의 플립칩이 실장 된 멀티칩 어셈블리에 대해서도 응용이 가능하기 때문에 공정속도와 양산성 면에서도 큰 효과를 기대할 수 있다. 수식에 의해 얻어진 칩의 사이드 면과 공동의 측벽면과의 최대 이격거리는 시뮬레이션을 통해 확인할 수 있었다.

다음 연구로는 본 이론을 바탕으로 실제로 몰드를 제작하고 장치를 구현하여 실험을 통해 결과를 확인하는 과정이 수행되어야 할 것이다.

## 참고문헌


[1] R.R. Tummala, E.J. Rymaszewski and A.Klopfenstein, Microelectronics Packaging Handbook, Vol 1, New York, NY:Chapman & Hall, 1997.

[2] J.H. Lau, Chip on Board, New York, NY:Van Nostrand Reinhold, Ch. 12,504(1994)

[3] S.C. Machuga, S.E. Lindsey, K.D. Moore, and A.F. Skipor, "Encapsulation of flip chip structures", in proc. IEEE/CHMT Int' l Electron Manufact. Technol. Symp., Pp. 53-58, 1992.

[4] Lianhua Fan, Zhuqing Zhang and C.P. Wong, "Effect of Filler Settling of Underfill Encapsulant on Reliability Performance", International Symposium on Advanced Packaging Materials, Pp. 218-223, 2001.

[5] D.Suryanarayana, R.Hsiao, T.P. Gall, and J.M. McCreary, "Enhancement of flip chip fatigue life by encapsulation", IEEE Comp., Hybrids, Manufact. Technol., Vol. 14, Pp. 218-223, 1991.

[6] K. K. Wang and S. Han, "Pressurized underfill encapsulation of integrated circuits", U.S. Patent pending, 1997.

[7] S. Han and K.K. Wang, "Study on the Pressurized Underfill Encapsulation of Flip Chips", IEEE Trans. Comp.,Packaging., Manufact. Technol. B, Vol.20, No.4, Nov., 1997

[8] Myung-Jin Yim and Kyung-Wook Paik, "The Contact Resistance and Reliability of Anisotropically Conductive Film(ACF)", IEEE Trans. On Adv. Packaging, V22 No2, May 1999.

[9] John H. Lau, "Low Cost Flip Chip Technologies For DCA, WLCSP, and PBGA Assemblies", Pp.183-298.

[10] John H. Lau, " Flip Chip Technologies"