

이우성, 고영우, 유찬세, 김경철, 박종철  
(전자부품연구원 고주파재료연구센터)

## Abstract

Thermal management is very important for the success of high density circuit design in LTCC. To realized more accurate thermal analysis for structure design, a series of simple thermal resistance measurement by laser flash method and parametric numerical analysis have been carried out. The design of via filled material would be useful in thermal management of power devices.

key words : LTCC, thermal via, thermal conductivity, FEM, laser flash method,

### 1. Introduction

통신기기에서 단말기와 기지국의 거리가 증가함에 따라서 송신단의 증폭기 출력은 증대하게 되며 이와 관련된 소자의 열 생성이 대폭 증가된다. 열발생은 IC 특성을 열화시키기 때문에 신뢰성 있는 부품 개발을 위해서 효율적인 열방출 구조를 설계하는 것이 매우 중요하다.

최근 소형화, 고집적화로 각광을 받고 있는 LTCC(Low Temperature Cofired Ceramic) 재료는 PCB 재료에 비해서 10배 정도 우수한 열전도도를 지니고 있으나, AlN, Alumina, BeO의 재료에 비해서 낮은 열전도 특성을 지니고 있어 고출력의 모듈 제품에 적용되는 기판재료로서 한계가 있다. 이러한 PCB 재료의 낮은 열방출의 문제를 해결하기 위해서 Metal 비아 및 Thermal Pad를 위치시켜 열방출을 위한 구조를 통하여 열방출의 효과를 증대시켜왔다.

본 연구에서는 Laser Flash Method를 활용하여 LTCC/Thermal Via, Thermal PAD를 조합한 세라믹 메탈 복합체 샘플을 제작하여 열전도도를 측정하였다. 이러한 실험을 통해서 열전도도의 특성에 미치는 복합체의 구조적인 영향을 관찰하였으며 또한, FEM(Finite Element Modelling) 시뮬레이션을 통해서 칩과 세라믹/비아 구조에 따른 열방출 효과를 해석하였다.

또한, 기존의 패키지 시뮬레이션에서 수행한 2차원 해석으로는 불가능하였던 Thermal Via Hole의 구조에 대한 영향을 중점적으로 살펴보았으며 Thermal Via Hole의 Array 갯수에 따른 영향, Hole Pitch의 영향 및 Hole Size를 변화에 따른 열거동을 조사하였다. 해석 결과는 Junction Temperature를 이용하여 Junction-to-Ambient Thermal Resistance( $\theta_{ja}$ )를 계산하고 그 값을 이용하여 열성능을 비교하였다.

### 2. Experiment

#### 2-1. Laser Flash Method를 활용한 열전도도의 측정

본 연구 개발에서는 열전도도의 측정에 가장 알려진 Laser Flash Method를 사용하였다. Laser Flash Method는 그림 과 같은 형태로 실험을 진행하는데 시편의 표면에 레이저 펄스를 인가하고 시편의 순간적인 온도변화를 적외선 온도계를 사용하여 측정하여 한다. 측정된 Thermal Diffusivity는 순간적인 온도 상승이 1/2 시간이 되는 점을 측정하여 추출된다. 또한, 열전도도는 다음의 열용량을 측정하여 계산된다. 열전도도의 분석과 관련된 수식은 다음과 같다.

$$\alpha = 1.370 \frac{L^2}{\pi t_{1/2}}, \quad \kappa = \rho \times c_p \times \alpha$$

$\alpha$  : Thermal diffusivity,  $\kappa$ : Thermal Conductivity,  $C_p$ : Specific Heat,  $\rho$ : Density

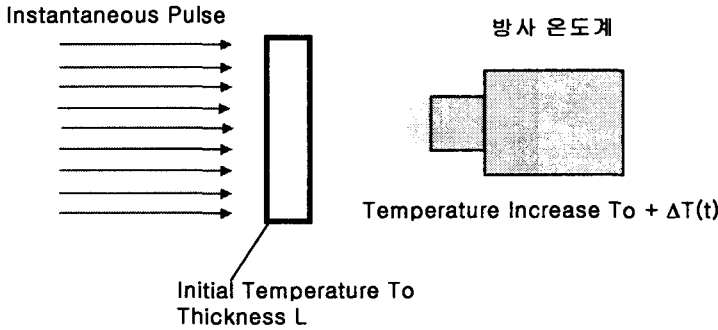


그림 1. Laser Flash Method

### 2-2. FEM을 활용한 비아의 열방출 해석

세라믹/메탈 복합체의 시뮬레이션에 사용한 물성치는 Table1에 나타내었다. 본 연구에서는 Chip에서 소모하는 전력을 1 W로 가정하였고, 자연대류 조건일 때에 대해 해석하였다. Thermal Via Hole 해석의 편의를 위해 Chip, 세라믹 보드가 서로 접합된 구조로 가정하였다. Heat Source, Package와 Board사이에 존재하는 Clearance 및 열대류 경계조건으로의 다음과 같다. ① Heat Source : Chip의 Top부분에서 Heat이 생성 된다. ② onvection : Board의 표면에서만 외부공기와 접촉되어 있으므로 그곳에서만 Convection이 발생한다.

③ Adiabatic : Package 표면에서는 단열되어 있어서 Convection이 발생하지 않으므로 Chip에서 발생한 열은 반드시 Package를 통과하여 Board에서 외부로 발산되어진다. ④ Symmetry를 고려하였다

Table 1. Material Property

	Material	Thermal Conductivity (W/m°C)	Heat Capacity (J/kg°C)	Density (kg/m³)
Chip	Silicon	150	703	2330
Ceramic	LTCC	1.97	-	-
Thermal Via	Ag	419	234	10491

### 2-3. LTCC/Via 복합체에서의 제조

LTCC /Via 복합체는 9599 분말로 테이프 제조, 후막 인쇄공정에 의한 비아필링, 적층 및 절단 공정을 거쳐 제작하였다. 인쇄에 사용된 비아 및 Thermal Pad 재료로는 Ag를 사용하였다. LTCC 기판에 Small(0.14mm), Large(0.2mm)의 비아를 이용하여 단위 세라믹

기판에 존재하는 비아의 면적을 3~18 %까지 을 변화시켰다. 제조된 시편의 크기는 1cm X 1 cm 이었으며 Laser Flash Method를 활용하여 열전도도를 측정하였다. 또한, Thermal Pad의 영향을 관찰하기 위해서 앞서 제조한 비아 밀도 변화 시편의 상부면과 하부면에 전면에 전도체 전극을 형성하였다.

### 3. Results and Discussion

**비아가 내장된 LTCC 기판의 Thermal Impedance와 열전도도 특성 분석 ;** LTCC 기판에 존재하는 비아는 IC가 위치하는 상부면에서 기판의 하부면 방향으로 열 방출을 향상시킨다. 기판에서의 열전도도는 비아의 밀도가 커질수록 증가하며 열전도도는 일반적으로 혼합물의 법칙으로 예측된다.

Thermal Impedance는 다음식과 같이 정의되며 기판의 두께가 증가할수록, 열전도도가 감소할 수로, 열방출 면적이 감소할수록 증가한다.

$$\theta = \frac{t}{kA} \quad (\theta: \text{thermal impedance } t: \text{기판두께, } A: \text{기판단면적, } k: \text{Thermal Conductivity})$$

본 연구에서는 Thermal Impedance를 감소시키기 위해서 비아의 밀도를 증가시킴에 따라 열전도도 특성에 미치는 영향을 관찰하였다. 비아 밀도 증가에 따라서 Laser Flash Method를 이용해서 측정된 결과는 다음과 같다.

비아밀도	Only Via (W/m°C)		Thermal PAD/Via (W/m°C)		혼합법칙
	Small Via	Large Via	Small Via	Large Via	
3%	-	3	-	40	15
6%	6	4	32	64	27
9%	9	7	53	72	40
18%	19	22	67	103	77

비아가 내장된 기판 재료는 비아만 존재할 경우에 매우 낮은 열전도도 값을 보였으며 Thermal PAD를 형성시킨 기판은 Small Via를 형성시킨 경우에 혼합 법칙과 유사한 값을 나타내었으며 Large 비아의 경우에 혼합법칙보다도 큰 값을 나타내고 있다. 본 연구에서 제작된 기판의 열전도도는 103(W/m°C)의 값을 나타내었다.

**FEM(Finite Element Modelling) 해석 :** Thermal Via Hole Array 개수에 대한 결과를 그림4.에 나타내었다. (a)와 (b) 그리고 (c)는 Thermal Via Hole Array가 각각 2x2, 6x6, 12x12인 경우에 대한 Heat Flux의 분포를 나타낸 그림이다. (a),(b),(c) 각각의 경우에 국부적인 최대 상승 온도는 64, 50, 49°C이었고 Junction-to-Ambient Thermal Resistance( $\theta_{ja}$ )는 33.5, 28.1, 27.1이었다. (a)와 (b)에서의 Heat Flux의 값의 차이는 현격한 차이를 보이며, Array 개수가 늘어날수록 열방출의 효과가 큼을 보여주고 있다. 하지만 (b)와 (c)를 비교하여 보면 Array 개수가 늘어나도 Heat Flux 분포의 차이는 거의 존재하지 않는다.

시뮬레이션 결과 Chip 면적 안에서만 Thermal Via Hole이 존재하는 6x6일 때까지만  $\theta_{ja}$  값이 줄어들었고, 그 이상의 Array 개수에서는 거의 변화가 없었다. 따라서 Chip 면적 안에서의 Thermal Via Hole Array 개수는 열전달에 크게 영향을 미치지, 그 면적 밖에 존재하

는 Thermal Via Hole Array는 열전달에 거의 공헌하지 않고 있음을 알 수 있다.

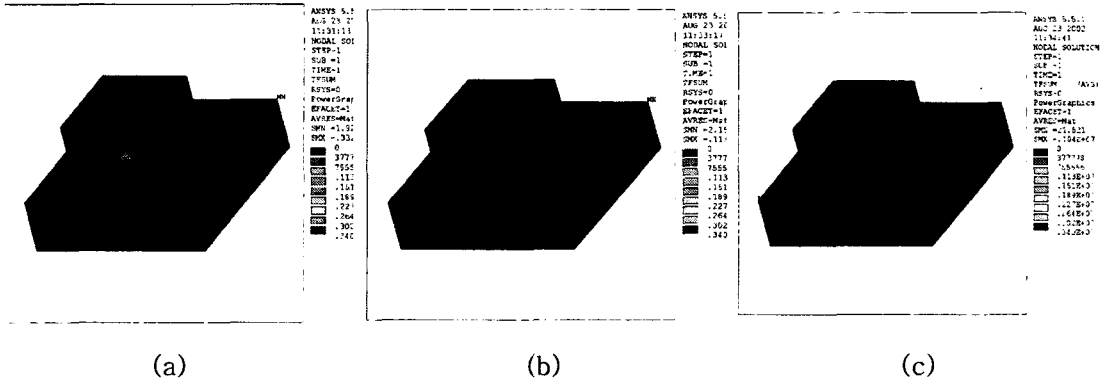


그림 2. Thermal Via 의 Array의 영향

Thermal Via Hole Pitch와 Junction-to-Ambient Thermal Resistance( $\theta_{ja}$ )에 대한 그래프를 그림 3에 나타내었다. (a),(b),(c) 각각의 경우에 국부적인 최대 상승 온도는 55, 51, 61°C 이었고 Junction-to-Ambient Thermal Resistance( $\theta_{ja}$ )는 33.5, 29.8, 39.7이었다. 그 Pitch가 1.0일 때까지는 열전달 성능이 좋아지고 있지만, 그 이상일 때는 오히려 급격하게 성능이 떨어지고 있음을 보여주고 있다.

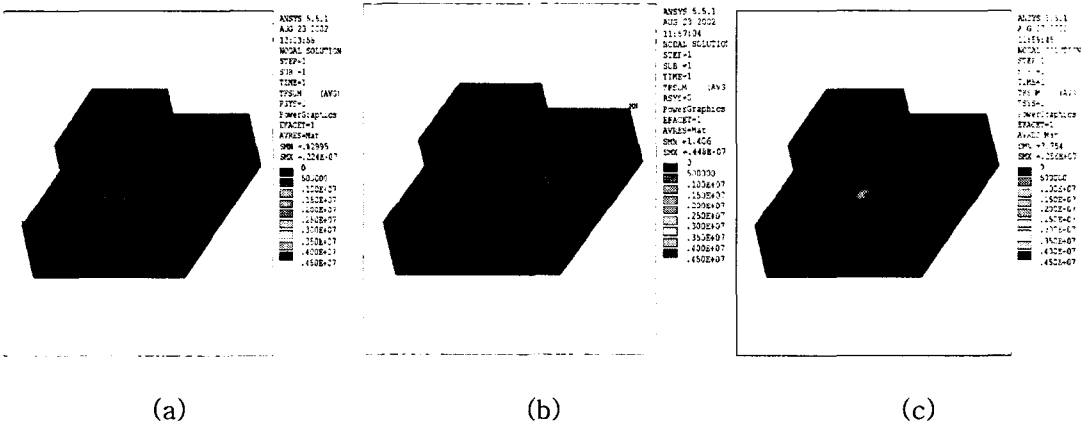


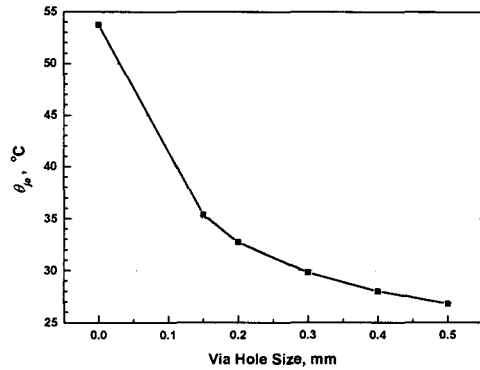
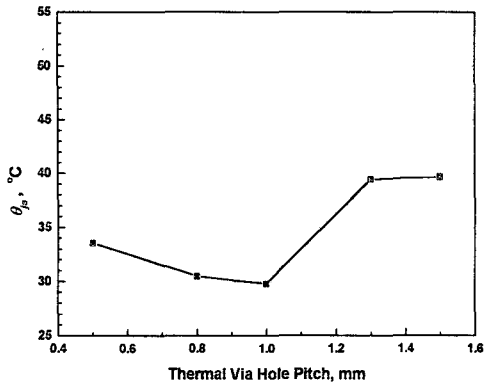
그림3. Thermal Via Hole 의 밀도의 영향

Via Hole Size가 0 ~ 0.5mm까지 변할 때의 Junction-to-Ambient Thermal Resistance( $\theta_{ja}$ )의 변화를 그림 4에 나타내었다. 2차원 해석결과와 비슷하게 0.15mm까지는  $\theta_{ja}$ 가 급격하게 감소하고, 그 이후부터는 선형적으로 완만하게 감소하고 있음을 보여 주고 있다.

Figure 4. Junction-to-Ambient Thermal Impedance Properties according to Size of thermal via hole pitch (a) and size(b).

#### 4. Conclusion

비아가 포함된 LTCC 기판내의 특성을 분석하기 위해서 비아 밀도를 변화시킨 기판을 제작



하여 기판의 열전도도를 측정하였으며 시뮬레이션을 통해서 열방출 구조에 대한 분석을 수행하였다. 지금까지 2차원 해석결과를 보완하기 위한 3차원 해석을 통하여 Thermal Via Hole Array 개수, Via Hole의 Pitch, 마지막으로 Via Hole Size가 열방출 특성에 미치는 영향에 대해 조사하였다. 그 결과 Via Hole Array의 개수 및 점유율이 늘어날수록 열전달 성능이 좋아지지만 어느 이상으로 늘어나서 Chip 면적 밖의 Via Hole은 열전달에 공헌하지 않아서 더 이상 열성능이 개선되지 않는다. Via Hole Pitch는 커질수록 열전달 성능이 향상되지만 어느 이상으로 커져서 그 Hole이 Chip 면적 밖으로 존재하게 되면 오히려 성능이 급격하게 감소하였다.

#### Reference

- (1) Seung Mo Kim and Choon Heung Lee, "Efficient Approach to Thermal Modeling for IC Packages", Journal of the Microelectronics & Packaging Society, Vol. 6, No. 2, pp.31-36, 1999
- (2) G. N. Ellison, "Thermal Computations for Electronic Equipment", Krieger Publishing, Malabar, Florida, 1989
- (3) B. S. Lall, B. M. Guenin, R. R. Marrs, and R. J. Molnar, "Model for QFP Packages", Proc., SEMI-THERM XII Conf., 1996
- (4) JEDEC SPEC, EIA/JESD 51-9 "Test Board for Area Array Surface Mount Package Thermal Measurements" ([www.jedec.org](http://www.jedec.org))
- (5) Bor Zen Hong, "Finite Element Modeling of Thermal Fatigue and Damage of Solder Joints in a Ceramic Ball Grid Array Package", Journal of Electronic Materials, Vol. 26, No. 7, 1997