

코인된 솔더 범프를 형성 시킨 PCB 기판을 이용한 플립 칩 접속 (Flip Chip Assembly on PCB Substrates with Coined Solder Bumps)

나재용, 백정욱
한국과학기술원 재료공학과

Abstract

Solder flip chip bumping and subsequent coining processes on PCB were investigated to solve the warpage problem of organic substrates for high pin count flip chip assembly by providing good co-planarity. Coining of solder bumps on PCB has been successfully demonstrated using a modified tension/compression tester with height, coining rate and coining temperature variables. It was observed that applied loads as a function of coined height showed three stages as coining deformation ; (1) elastic deformation at early stage, (2) linear increase of applied load, and (3) rapid increase of applied load.

In order to reduce applied loads for coining solder bumps on PCB, effects of coining process parameters were investigated. Coining loads for solder bump deformation strongly depended on coining rates and coining temperatures. As coining rates decreased and process temperature increased, coining loads decreased. Among the effect of two factors on coining loads, it was found that process temperature had more significant effect to reduce applied coining loads during the coining process. Lower coining loads were needed to prevent substrate damages such as micro-via failure and build-up dielectric layer thickness change during applying loads.

For flip chip assembly, 97Pb/Sn flip chip bumped devices were successfully assembled on organic substrates with 37Pb/Sn coined flip chip bumps.

1. Introduction

최근에 전자 제품의 고 기능화로 인해 칩과 기판 사이의 접속 (Interconnection) 수가 증가하고 있어 기판에 많은 수의 I/O가 필요하게 되고, 또한 가격 경쟁력이 있는 플립칩 패키지를 위해 점차 세라믹 기판 보다는 유기 기판 (organic substrate)의 사용이 증대되고 있는 추세이다. 이러한 유기 기판은 세라믹 기판과 비교해 전기저항이 작고, 유전상수가 작은 장점이 있으나, 기판의 휨이나 굽힘 등의 문제가 발생할 수 있어, 마이크로프로세서와 같이 많은 I/O를 가지는 제품에 적용하기 위해서는 기판의 휨이나 굽힘 등의 문제가 해결되어야만, 플립 칩 접속 시 전 면적에서의 접속을 보장할 수 있고, 접속 효율을 증대 시킬 수 있다 [1]. 따라서, 이와 같은 유기 기판에서의 플립칩 접속시의 문제를 해결하기 위한 방법으로 유기 기판 위에 솔더 범프를 형성한 후, 솔더 범프를 코이닝 하여 평평도를 맞추는 방법을 제안하고자 한다. 다음의 그림 1은 유기 기판 위에 솔더 범프를 형성한 후, 코이닝 하는 방법으로 유기 기판 표면의 평평도를 해결할 수 있음을 보여 준다. 한편, 고 기능화 된 제품에 사용되는 유기 기판은 얇은 층의 내부가 유전 물질과 구리 배선의 다층 구조로 되어 있고, 마이크로 비아를 이용하여 층들이 연결되어 있기 때문에, 솔더 범프 코이닝 시 가능한 적은 힘이 기판에 걸리도록 하는 것이 필요하다.

본 연구에서는 특별하게 디자인 한 코이닝 장비를 이용하여 유기 기판 위에 형성 시킨 솔더 범프를 코이닝 하는 공정에 대한 연구를 수행하였고, 솔더 범프 코이닝 높이에 따른 코이닝 시 필요한 힘의 변화에 대해서 조사하였다. 또한, 코이닝 속도 및 온도가 코이닝 시 필요한 힘의 변화에 미치는 영향에 대해서도 조사하여 코이닝 시 힘의 크기가 적게 걸리는 조건에 대해서 고찰하였다.

그리고, 97Pb/Sn 조성의 솔더 범프를 올린 테스트칩을 제조하여 37Pb/Sn 조성의 코인된 솔더 범프가 형성된 기판과의 플립 칩 접속을 수행하였다.

2. Experimental

2-1. PCB substrate with coined solder bumps

다음의 그림 2에 본 연구에서 사용된 PCB 기판 위에 코인된 솔더 범프를 형성하는 공정의 개략적인 모식도를 나타내었다. PCB위에 공정 조성 (Sn-37Pb)의 솔더 범프는 스크린 프린트 방법을 이용하여 형성 시켰고, 형성된 솔더 범프의 코이닝은 그림 3에 제시한 인장시험기를 개조한 코이닝 장치를 이용하여 수행하였다. 솔더 범프 코이닝 시 필요한 로드 값의 변화는 코이닝 속도와 시간 및 온도를 달리하여 원하는 높이까지 코이닝을 수행하면서 측정하였다. 코이닝 속도는 12, 6, 1.2, 그리고 $0.6 \mu\text{m}/\text{sec}$ 의 네 가지로 변수를 주었고, 코이닝 온도는 상온, 50, 100, 150 °C의 네 가지 온도에서 수행하여 그 차이점을 비교하였다.

2-2. Test chip 제조

테스트 칩은 가로X세로가 13X13 mm인 크기의 칩 위에 전해 도금 방법을 이용하여 97Pb/Sn 조성(m.p. 315°C)으로 1779개의 솔더 범프를 형성하였다. 전해 도금 된 솔더 범프의 리플로 공정은 수소 (H_2) 분위기 노에서 최고 온도 (peak temperature)는 $380 \pm 10^\circ\text{C}$ 및 녹는점 이상에서의 지속 시간 (dwell time)은 90 ± 5 초로 하였다. 리플로 후 솔더 범프의 지름 및 높이는 각각 130 및 $110 \mu\text{m}$ 이었다.

2-3. Flip Chip assembly

플립칩 접속에 사용된 기판은 2-1에서의 실험 결과를 바탕으로 하여 최적의 조건에서 Sn-37Pb 조성의 솔더 범프를 $25 \mu\text{m}$ 높이까지 코이닝 한 것을 이용하였다. 플립칩 접속 시 리플로 공정은 질소(N_2) 분위기 하에서 전형적인 공정 조성 솔더의 리플로 조건에서 수행하였는데, 최고 온도는 $220 \pm 10^\circ\text{C}$ 이었으며 녹는점 이상에서 지속 시간은 90 ± 5 초로 하였다. 언더 필 재료는 Hysol FP 4549를 이용였다.

3. Results and Discussion

3-1. Load change as coining height

다음의 그림 4에 상온에서 다양한 힘을 가해 코이닝을 수행하여 형성시킨 37Pb/Sn 솔더 범프의 SEM 사진을 나타내었다. 본 연구에서 사용한 코이닝 장비를 이용하면 원하는 높이까지 솔더 범프를 코이닝 하는 것이 가능하며, 이 때 가해지는 힘을 알 수 있다. 그림 5에 코이닝 높이와 가해지는 힘과 관계를 그래프로 나타내었다. 그림에서 보이는 바와 같이 코이닝 되는 높이에 따른 코이닝 시 가해지는 힘의 변화는 초기에는 선형적으로 증가하다가 어떤 높이 이후에는 급격하게 증가하는 것을 볼 수 있다. 전체적인 그래프의 형태는 세 부분으로 구분할 수 있는데, 첫 번째 구간인 0-5 μm 까지는 초기 변형의 탄성 구역으로 특징 지을 수 있으며, 두 번째 구간인 5 μm 코이닝 이후는 솔더 재료의 항복(yield)이 시작되어 소성 변형이 발생하게 되어 솔더 재료의 가공 경화가 시작되는 구간으로 볼 수 있다. 마지막 세 번째 구간에서는 두 번째 구간에서와 비교하여 볼 때 같은 높이를 코이닝 하는데 보다 많은 힘이 필요하게 되는데, 이는 솔더 범프가 어느 정도 이상 아래 방향 변형이 일어나게 되면 그림 4 (d)에서 보이는 바와 같이 옆 방향으로의 변형도 상당히 일어나기 때문이다. 즉, 세 번째 구간에서는 두 번째 구간에서 힘의 증가가 일어나는 원인으로 생각되는 솔더 범프 중앙 부분에서의 변형 강화 효과 뿐 아니라 옆 방향으로의 변형을 위한 shear stress 효과도 더해질 때문에 같은 높이를 코이닝 할 때, 보다 큰 힘이 필요하게 되는 것이라고 판단된다. 결과적으로 두 번째 구간에서의 아래 방향으로의 변형모드가 세 번째 구간

에서는 아래 방향과 옆 방향으로의 혼합 형태로 바뀌어서 압축 응력의 증가와 힘을 받는 면적의 증가로 인해 코이닝 시 필요한 힘이 증가하게 되는 것이라 생각된다.

3-2. Effect of coining rates and coining temperatures on coining loads

다음의 그림 6에 여러 공정 온도에서 25 μm 높이까지 코이닝 시 코이닝 속도에 따른 코이닝 힘의 변화 관계를 나타내었다. 그림에서 보이는 바와 같이 코이닝 속도가 증가함에 따라 (코이닝 공정 시간이 짧아짐에 따라) 같은 높이를 코이닝 할 때 가해지는 힘이 증가하는 것을 알 수 있는데, 코이닝 속도가 빠를 경우에는 솔더 물질의 강화 효과가 커져서 변형에 필요한 힘이 증가되는 것으로 판단된다. 한편, 같은 코이닝 속도에서 코이닝 온도가 높을 경우에는 코이닝 시 필요한 힘의 크기가 감소하는 것을 알 수 있는데, 고온에서는 솔더 재료의 연화가 일어나 같은 높이를 변형하는데 필요한 힘의 크기가 감소하기 때문이라고 판단된다[2,3]. 코이닝 시 필요한 힘의 크기를 감소시키는 면에 있어서 코이닝 속도 변화와 코이닝 공정 온도 변화의 효과를 비교해 보면 코이닝 속도를 낮추는 것에 비해 코이닝 온도를 올리는 것이 힘을 감소시키는 효과가 보다 크다는 것을 알 수 있다. 또한 코이닝 온도를 올리게 되면 코이닝 속도를 빨리 해도 힘의 크기가 증가 되는 정도가 작아 공정 시간도 단축 시킬 수 있는 장점이 있다. 따라서, 솔더 범프 코이닝 시 기판을 보호하기 위해 가하는 힘을 낮추기 위해서는 코이닝 시 온도는 올리는 것이 코이닝 속도를 감소시키는 것보다 효과적인 방법이라고 할 수 있다.

3-2. Flip Chip Assembly

본 연구에서 플립 칩 접속 후 언더 필을 수행한 사진과 내부를 X-ray로 관찰한 사진을 다음의 그림 7에 나타내었다. 그림에서 보이는 바와 같이 언더 필 후 X-ray로 내부를 살펴보았을 때 보이드가 관찰되지 않음을 알 수 있다. 본 연구에서 사용된 칩과 같이 넓은 면적 (13X13mm)의 칩 내부에 많은 수의 범프가 좁은 간격을 가지고 있을 경우에는 플립 칩 접속 후 플럭스 제거 공정이 효과적으로 진행되어야 한다.

한편, 칩에서 97Pb/Sn 조성의 솔더 범프를 사용하고, 기판에서 코인된 37Pb/Sn 조성의 솔더 범프를 사용하는 방법을 이용하여 플립칩 접속을 할 때에는 접속 후 단면의 형태가 매우 중요하다. 다음의 그림 8에 플립 칩 접속된 테스트 칩의 단면 사진을 나타내었는데, 그림에서 보이는 바와 같이 칩 쪽의 97Pb/Sn 솔더 범프를 기판 쪽의 37Pb/Sn 솔더가 감싸는 형태로 접속이 이루어지는 것이 가장 이상적인 형태라 볼 수 있다.

4. Conclusions

특별하게 고안된 코이닝 장비를 이용하여 코이닝 높이, 속도 및 온도를 변수로 하여 PCB 위에 스크린 프린트 방법으로 형성시킨 솔더 범프를 코이닝하는 공정을 성공적으로 수행하였다. 코이닝 높이에 따른 코이닝 힘의 변화는 세 가지 단계로 나타나는데, 탄성 구간, 가공 경화를 가지는 소성 구간, 그리고, 옆 방향 변형 구간으로 나눌 수 있다. 코이닝 힘에 영향을 주는 코이닝 변수에 대한 실험에서는 코이닝 속도가 감소할수록 및 코이닝 온도가 증가할수록 코이닝 시 필요한 힘의 크기가 감소하였는데, 코이닝 온도의 변화가 코이닝 속도 변화보다 크게 영향을 미치는 것을 알 수 있었다. 이와 같은 연구 결과를 바탕으로 최적 조건으로 37Pb/Sn 조성의 코인된 솔더 범프를 유기 기판 위에 형성시키고, 전해 도금 방법을 이용하여 97Pb/Sn 조성의 솔더 범프를 가지는 테스트 칩을 제조하여 37Pb/Sn 조성의 솔더가 97Pb/Sn 조성의 솔더 범프를 감싸는 형태로 접속이 이루어지도록 성공적으로 플립칩 접속을 수행하였다.

References

[1] Mirng-Ji Lii et al: Flip-Chip Technology on Organic Pin Grid Array Packages , Intel Technology Journal Q3, 2000

[2] X. Q. Shi, W. Zhou, H. L. J. Pang and Z. P. Wang : Proc. of Advanced in Electronic Packaging, Hawaii, June. 1999, EEP-Vol. 26-1, pp. 551-557.

[3] Lan Hong Dai and Shi-Wei Ricky Lee: Proc IPACK01(InterPACK01), Hawaii, June. 2001, IPACK2001-15553.

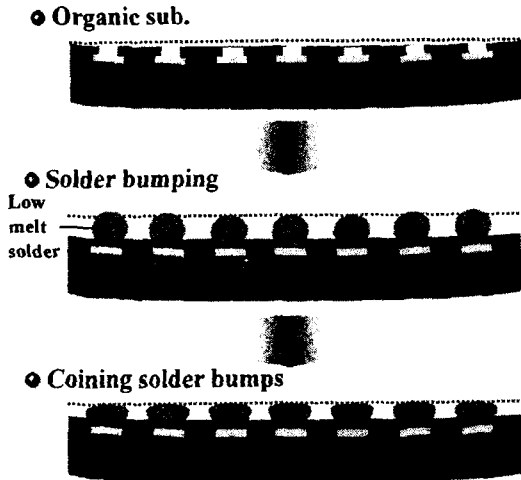


Fig. 1. Illustration of coined solder bumps on PCBs.

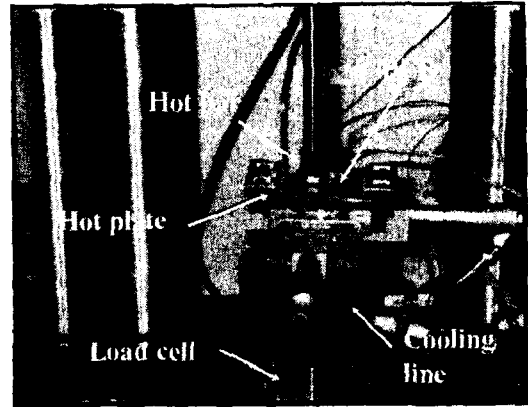


Fig. 3. Solder bump coining machine.

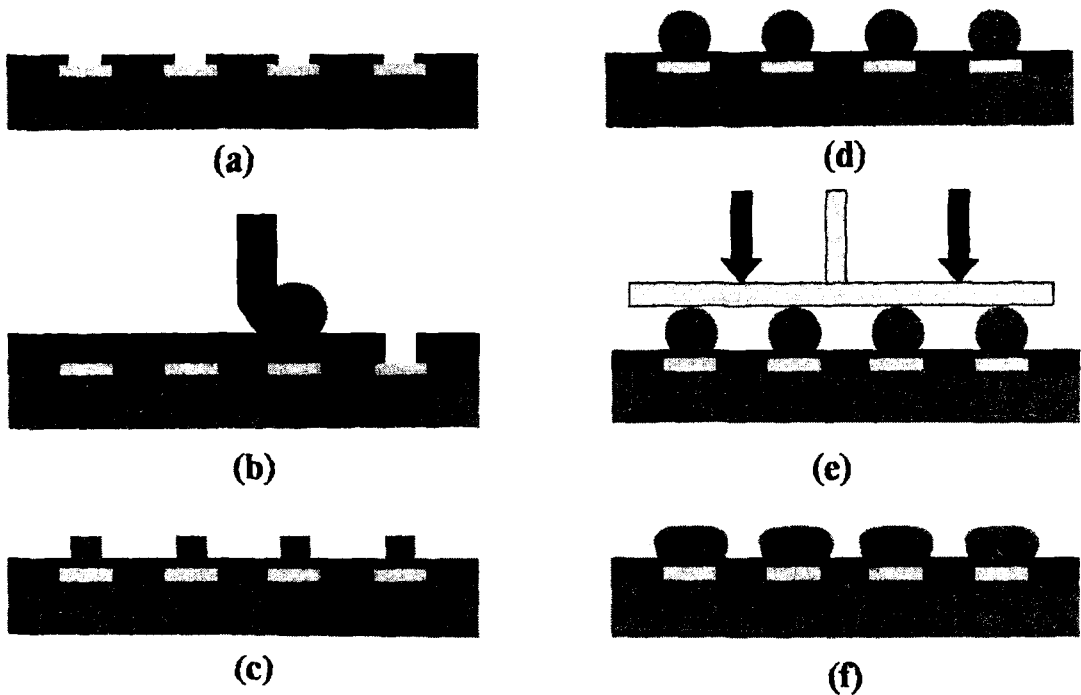


Fig. 2. Coined solder bumping on PCBs. (a) Micro-via PCB, (b) Solder paste screen printing, (c) Solder paste deposition on metal pads, (d) Solder reflow, (e) Coining, and (f) Coined solder bumps

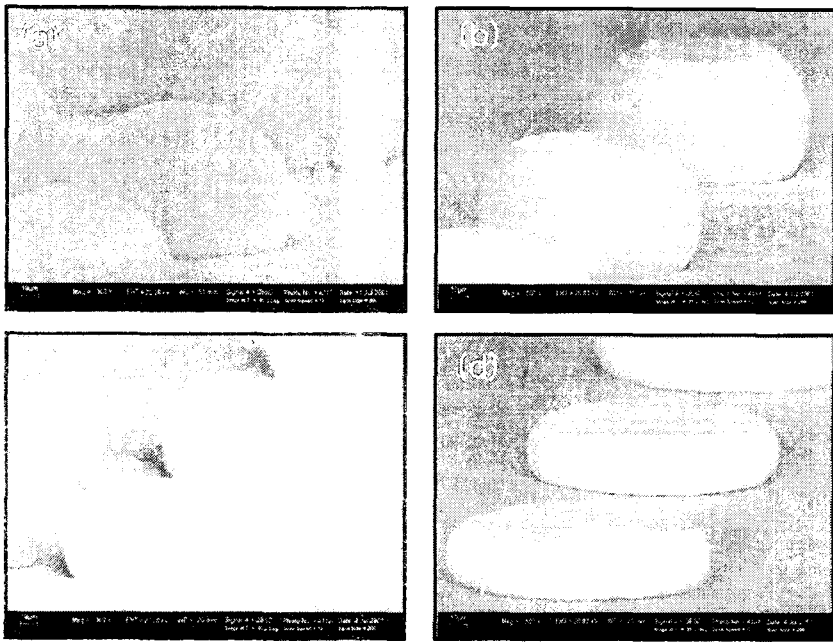


Fig. 4. SEM images of coined eutectic PbSn solder bumps at various coined heights. (a) Initial state, (b) 12.7 μm coining - 48.7 gf, (c) 37.4 μm coining - 145.5 gf, and (d) 57.2 μm coining - 463.1 gf.

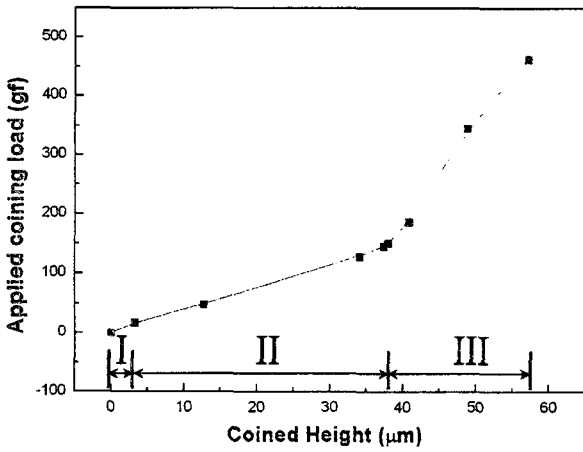


Fig. 5. Applied coining loads of eutectic PbSn solder bumps as a function of coined heights.

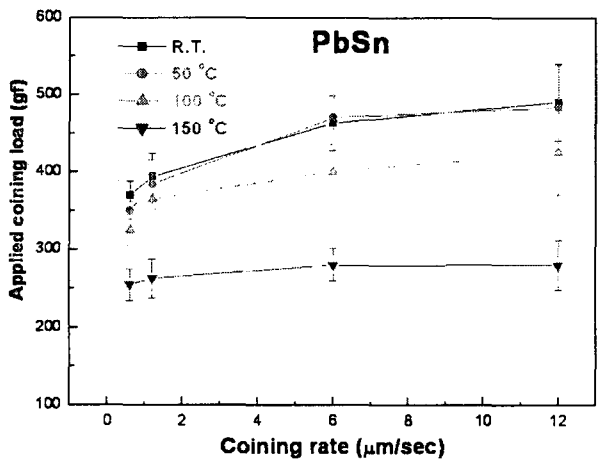


Fig. 6. Coining loads versus coining rates at various process temperatures in eutectic PbSn solder

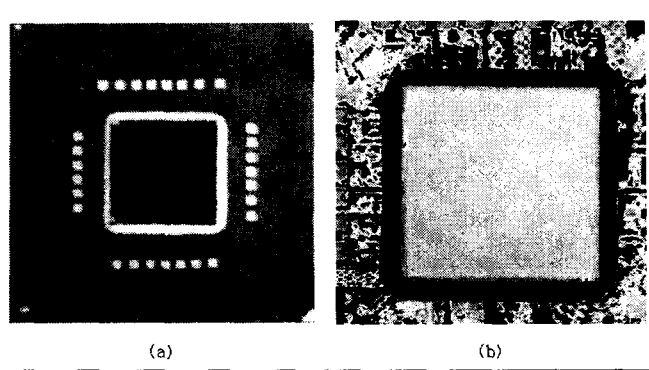
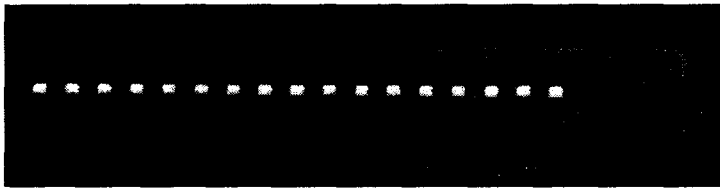
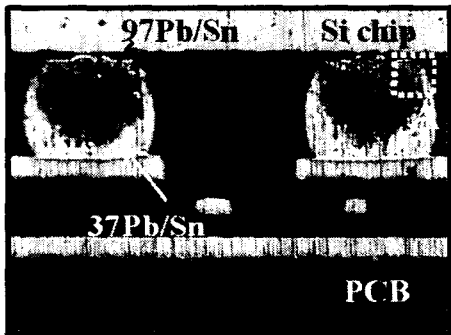


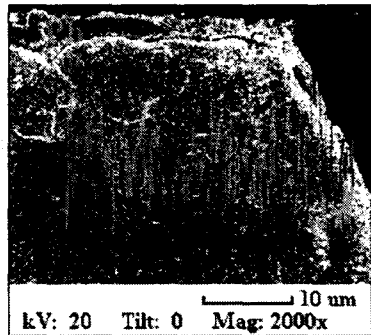
Fig. 7. (a) Photograph and (b) X-ray image of assembled package



(a)



(b)



(c)

Fig. 8. Cross-sectional images of assembled package. (a) SEM image, (b) optical image, and (c) SEM line scan image of area A in (b).