

반도체 공정에서의 신뢰성 연구 - 구리 배선의 신뢰성 (Intrinsic Reliability Study of ULSI Processes - Reliability of Copper Interconnects)

류창섭

삼성전기(주) 기판연구소

Abstract

반도체 공정에서 구리(Cu) 배선의 미세구조와 신뢰성에 대해 연구하였는데, 특히 CVD Cu와 전기도금 Cu를 사용하여 신뢰성에 대한 texture와 결정 구조의 영향을 연구하였다. CVD Cu의 경우 여러 가지 시드층(seed layer)을 사용함으로써, 결정입자의 크기는 비슷하지만 texture가 전혀 다른 Cu 박막을 얻을 수 있었는데, 신뢰성 검사결과 (111) texture를 가진 Cu 배선의 수명이 (200) texture를 가진 Cu 배선의 수명보다 약 4배 가량 길게 나왔다. 전기도금 Cu 박막의 경우 항상 (111) texture를 갖고 있었으며 결정립의 크기도 CVD Cu의 것보다 더 컸다. Damascene 공법으로 회로 형성한 Cu 배선의 경우에도 전기도금 Cu의 결정립 크기가 CVD Cu의 것보다 더 크게 나타났으며, 신뢰성 검사결과 배선의 수명도 더 길게 나타났는데 그 차이는 0.4 μm 이하의 미세선폭 영역에서 더욱 현저했다. 따라서 전기도금 Cu가 CVD Cu보다 신뢰성 측면에서 더 우수한 것으로 판명되었다.

1. Introduction

반도체 소자의 크기가 작아지고 집적도가 향상됨에 따라, 배선의 폭과 높이도 그에 따라 작아지는 반면 총 배선의 길이는 오히려 늘어나고 있는 추세이다. 1 μm 이하의 미세선폭 영역에서는 배선의 RC delay가 intrinsic gate delay보다도 더욱 크기 때문에¹⁾, 빠른 실행 속도를 얻기 위해서는 지금까지 반도체 배선 재료로 가장 널리 사용되어온 알루미늄(Al) 합금보다 전기저항이 더 낮고 신뢰성이 좋은 새로운 재료가 요구되고 있다. 고 신뢰성이 요구되는 이유는 배선의 단면적이 줄어들어 따라 전류밀도가 증가하기 때문이다. Cu는 Al보다 전기저항이 더 낮고 신뢰성이 좋기 때문에 가장 유력한 후보인데^{2, 3)}, Cu가 그 동안 반도체 배선재료로 많이 사용되어지지 않은 이유는 Cu가 Al과는 달리 저온에서 플라즈마를 이용한 드라이 에칭이 잘 되지 않으며, 또 Cu 이온이 Si 소자에 확산해 들어가면 deep level acceptor로 작용하여 소자의 성능을 저하시키기 때문이다. 그러나 이 두 가지 문제는 1990 년대에 들어와 Damascene 공법과 확산방지막의 채택으로 해결되어, 1997년 IBM과 Motorola가 처음으로 반도체 칩 양산에 Cu 배선의 사용을 발표한 이후, 점차 다른 기업에서도 반도체 공정에 Cu 배선을 채택하여 그 적용범위를 넓혀 가고 있는 추세이다.

Damascene 공법이란 드라이 에칭으로 절연층에 트렌치(trench)와 비아(via) 모양을 형성하고, 그 곳에 확산방지막과 Cu 박막을 도금한 후 회로형성에 필요없는 부분을 CMP(Chemical Mechanical Polishing)를 이용하여 제거해주는 방법이다. 이때 트렌치나 비아에 공동(void)을 형성하지 않는 Cu 도금이 필수적인데, 이를 위해 무전해 도금법⁴⁻⁵⁾, 화학기상증착법(Chemical Vapor Deposition or CVD)⁶⁻⁸⁾, 스퍼터링 후 Cu를 reflow 하는 방법⁹⁻¹¹⁾, 그리고 전기도금법^{12, 13)} 등이 연구되어 왔다. 그 중 CVD와 전기도금법이 가장 뛰어난 트렌치 충전성을 보여 주었는데, 현재 대부분의 반도체 회사에서는 가격 면에서 더욱 경제적이고 생산성이 뛰어난 전기도금법을 표준으로 채택하고 있다.

반도체 소자의 미세 배선에서는 전류밀도가 상당히 높기 때문에, 이동하는 전자가 금속원자와 충돌하여 금속원자를 이동시킬 수 있다¹⁴⁻¹⁵⁾. 소위 EM(Electro-Migration)이라 불리는 현상인데, 전자 이동의 상류 쪽에는 배선 내부에 공동(void)이 생기고 하류 쪽에는 배선 바깥쪽에 둔덕(hillock)이 생겨 배선의 개회로(open circuit)나 단락(short circuit)의 불량을 일으키게 된다. EM은 전자의 이동에 의해 야기되는 고유의 신뢰성(intrinsic reliability) 문제이기 때문에 종종 배선의 시

한폭탄이라 묘사되기도 하며 근본적인 방지는 불가능하다¹⁶⁾. 다만, 수명을 충분히 길게 해주는 것을 목표로 삼고 있는데, 보통 최악의 사용조건에서 10년 후에 칩의 불량률이 0.01% 이하가 되도록 하고있다. EM에 영향을 끼치는 인자로는 결정립 크기, texture, Cu 표면 또는 계면상태 등의 미세구조와, 배선 폭이나 비아/트렌치의 형상이나 위치 등에 따르는 기하학적 구조, 그리고 확산 방지막, 층간 절연물질 등의 주변환경을 들 수 있다.

본 논문에서는 CVD Cu와 전기도금 Cu를 사용하여 EM 신뢰성에 대한 texture의 영향과 Damascene 공법에서의 트렌치 안의 결정립 크기에 따르는 영향을 연구, 비교하였다

2. Experimental Procedure

첫 번째 연구는 EM 신뢰성에 대한 texture의 효과를 조사하기 위한 것인데, Damascene 공법에 의한 트렌치 안에서의 Cu texture는 매우 복잡하기 때문에, 기초 연구를 위해서는 좀더 단순한 구조를 사용할 필요가 있다. 본 연구에서는 CVD Cu 박막을 wet etching에 의해서 회로 형성한 구조를 사용하였다 (Fig. 1(a)). 다양한 texture를 얻기 위해서 한 시편에서는 CVD Cu를 TiW 위에 바로 증착하였고, 다른 시편에서는 얇은 sputtered Cu (0.05 μm)를 시드층으로 사용하여 증착하였다. CVD Cu는 $\text{Cu}^{\text{t}}(\text{tmvs})(\text{hfac})$ 를 precursor로 이용하여 150°C에서 증착하였고¹⁷⁾, 회로형성 후 forming gas 분위기에서 400°C에서 1 시간 동안 annealing 하였다. EM 시험 배선의 두께는 0.5 μm , 폭은 1.5 μm , 길이는 800 μm 였고, Cu의 산화를 방지하기 위해서 EM 시험을 질소 분위기에서 진행하였다. EM 시험은 전류밀도 8 MA/cm², 가열온도 175~250°C에서 행하였는데, 이 조건에서 배선의 자체 가열로 13°C의 온도 증가가 있어서 활성화 에너지의 계산 시에 이 값을 포함시켰다. EM 시험의 수명(time-to-failure)은 저항값이 50% 증가했을 때의 시간으로 정의하였다.

두 번째 연구는 Damascene 공법에서의 결정구조에 따르는 EM 신뢰성을 조사하기 위한 것인데, 트렌치 안에서 전기도금 Cu의 결정구조가 CVD Cu의 것과 매우 다르기 때문에, 이 두 가지 방법에 의한 Cu 배선의 결정구조와 EM 신뢰성을 연구, 비교하였다. 이때 texture에 의한 영향을 배제하기 위하여 CVD Cu와 전기도금 Cu의 증착/도금시 동일한 시드층(50 nm Ta/50 nm sputtered Cu)을 사용하였다 (Fig. 2(a)). EM 시험 배선의 두께는 0.4 μm , 길이는 1000 μm 였으며, 폭은 배선 폭의 영향을 조사하기 위해서 0.25~2.0 μm 사이의 여러 가지 값을 사용하였다.

Cu 박막의 texture는 X-ray 회절법(Bragg-Brentano 2θ scan)을 사용하여 확인하였고, 또 Schulz 반사법(Schulz reflection method)을 사용하여 주 texture 면이 박막 표면으로부터 기울어진 정도를 측정하였다. Schulz 반사법은 2θ 를 주 texture 면의 Bragg 각에 고정시키고 시편을 약간씩 기울이면서 회절강도를 측정하는 방법이다. 결정립 크기의 분포는 투과전자현미경(TEM) 사진으로부터 구하였다.

3. Results and Discussion

Al이나 Cu는 모두 면심입방격자(FCC) 구조로 되어있는데, sputtered Al이나 sputtered Cu, 그리고 전기도금 Cu의 경우 대개 매우 강한 (111) texture를 갖고 있다. 그러나 특이하게도, CVD Cu 박막의 경우에는 (200)면의 texture가 얻어졌는데 (Fig. 1(b)), 이는 CVD의 증착기구와 관련이 되어 있는 것 같다. FCC 구조에서 (111)면은 표면에너지(surface energy)가 최소로 되는 면이고, (200)면은 변형에너지(strain energy)가 최소로 되는 면이다. CVD Cu의 경우에도 얇은 (111) texture의 sputtered Cu 박막을 시드층으로 사용함으로써 (111)면의 texture를 가진 CVD Cu 박막을 얻을 수 있었다 (Fig. 1(b)). 이 두 가지 texture의 CVD Cu 박막에서 결정입자의 크기 분포는 거의 비슷했다 (Fig. 1(d)). EM 신뢰성 검사결과 (111) CVD Cu의 수명이 (200) CVD Cu의 수명보다 약 4배 가량 길게 나왔다 (Fig. 1(e)). EM의 활성화 에너지는 두 가지 박막의 경우 모두 0.8~0.9 eV 범위 안에 있었는데, 이 값은 Cu의 입계(grain boundary)를 통한 확산의 활성화 에너지 값에 해당한다.

X-ray 회절의 강도를 비교해보면 (111) CVD Cu의 (111) 강도가 (200) CVD Cu의 (200) 강도보다 훨씬 세며 (Fig. 1(b)), 또 (111) CVD Cu에서 (111) 결정립이 박막표면으로부터 기울어진 정도 (기울어짐 분포 $< 7^\circ$)가 (200) CVD Cu에서 (200) 결정립이 박막표면으로부터 기울어진 정도 (기울어짐 분포 $< 20^\circ$)보다 더 작음을 알 수 있다 (Fig. 1(c)). 이는 (111) CVD Cu의 경우 대부분의 (111) 결정면이 박막 표면과 매우 평행하게 배열되어 있는 반면, (200) CVD Cu의 경우에는 많은 (200) 결정면이 박막 표면으로부터 상당히 기울어져 있음을 의미한다. Texture가 더 잘 발달될수록 입계에서 원자가 더 규칙적인 배열을 이루고 있으며, 경각입계(low-angle grain boundary)의 경우 입계각(tilt angle)이 작을수록 Cu 원자의 이동 경로로 작용할 수 있는 전위(dislocation)의 수가 더 작게 되어 원자의 이동이 더 어려워진다. (111) CVD Cu의 EM 수명이 (200) CVD Cu의 EM 수명보다 더 긴 이유는 결정립의 기울어짐 분포가 더 작아서 입계를 통한 Cu 원자의 이동이 그만큼 더 어렵기 때문이다.

전기도금 Cu 박막의 미세구조는 시드층과 확산방지층의 미세구조에 의해 큰 영향을 받았다^{17,18)}. 시드층의 (111) texture가 강할수록 전기도금 Cu 박막의 (111) texture도 강하게 나타났고, 시드층의 표면조도가 낮을수록 전기도금 Cu 박막의 결정립 크기가 크게 나타났다¹⁸⁾. 또 전기도금 Cu 박막에서 강한 (111) texture를 얻기 위해서는 확산방지층 형성이후에 진공을 깨지 않고 Cu 시드층을 스퍼터링해 주는 것(*in-situ* deposition)이 필수적이었다.

Damascene 공법에 의한 트렌치 내에서의 Cu의 결정구조가 신뢰성에 미치는 영향을 연구하기 위해서, 트렌치 내에서 서로 매우 다른 결정 구조를 갖는 CVD Cu와 전기도금 Cu의 신뢰성을 비교하였다. 이때 texture에 의한 영향을 배제하기 위하여 같은 시드층을 써서 Cu를 증착/도금 하였다. 전면 박막(blanket film)의 경우, CVD Cu와 전기도금 Cu의 texture는 모두 강한 (111)으로 매우 비슷했지만, 결정립의 크기는 각각 0.29 μm 와 1.05 μm 로 전기도금 Cu의 결정립 크기가 CVD Cu의 것보다 약 3배정도 크게 나타났다 (Fig. 2(b-c)).

Damascene 공법으로 회로 형성한 CVD Cu 배선의 경우, 트렌치 내의 결정구조는 전면 박막의 경우와는 상당히 다르게 나타났다. 배선편이 결정립 크기의 2배 보다 작은 영역에서 더욱 작아질 경우, CVD Cu의 결정립 성장이 트렌치의 폭에 의해서 제약을 받기 때문에 결정립 크기가 전면 박막의 경우에 비해서 더 작게 된다 (Fig. 2(a)).

그림 2(d)에 EM 시험 결과가 나와 있는데, CVD Cu의 경우 배선편이 2 μm 에서부터 점차 줄어들어 따라 EM 수명이 천천히 감소하다가 0.7 μm 부터는 증가하고 0.4 μm 이하에서는 다시 감소하는 것을 알 수 있다. 배선편이 0.7 μm 이상에서는 배선편이 넓을 수록 공동이 자라 배선이 끊어지는데 걸리는 시간이 길어지고, 0.7 μm 이하에서는 배선편이 좁을 수록 입계의 면적이 줄어들어 Cu 원자의 이동이 어려워 지기 때문이다. 배선편이 0.4 μm 이하에서는 배선편이 좁을 수록 결정립 크기도 더욱 작아지기 때문에 입계 면적이 오히려 증가하여, 결정입계를 통한 Cu 원자의 이동이 용이하게 되고 EM 신뢰성의 저하를 초래하게 된다 (Fig. 2(d)).

이에 반해 전기도금 Cu의 경우에는 결정립의 크기가 트렌치 폭에 상관없이 항상 크게 형성되었는데, 이는 전기도금 Cu에서 특이하게 나타나는 저온 재결정화(room temperature recrystallization or self-annealing) 때문인 것으로 보인다¹⁹⁻²⁰⁾. 전기도금 Cu의 경우, 보통 트렌치 단면에 1~2개의 결정립만이 형성되어, 배선은 CVD Cu와 같은 다결정형(polycrystalline structure)대신에 준 대나무형(near-bamboo structure)의 결정구조를 가지게 된다²¹⁾. 준 대나무형의 결정구조에서는 확산경로인 입계가 배선의 길이를 따라 계속 연결되어 있지 않고 자주 끊기기 때문에 EM 시험 수명이 길게 된다²²⁾. 전기도금 Cu의 경우 배선편이 0.4 μm 이하에서도 결정립의 크기에 큰 변동이 없었으며, 따라서 EM 신뢰성도 배선편에 따르는 변동이 거의 없었다 (Fig. 2(d)). EM 활성화 에너지는 서로 큰 차이가 없었지만, 전기도금 Cu 배선의 EM 시험 수명이 CVD Cu의 것보다 높게 나타났다 (Fig. 2(e)). 따라서 공정가격이나 생산성측면에서 뿐만 아니라 신뢰성 측면에서도 전기도금 Cu가 CVD Cu 보다 더 우수한 것으로 판명되었다.

4. Conclusion

CVD Cu의 경우 보통 (200)면의 texture가 생겼는데, 스퍼터링 방식으로 증착된 Cu 박막을 시드 층으로 사용할 경우 (111)면의 texture를 얻을 수 있었다. 이 두 가지 texture의 Cu 박막에서 결정 입자의 크기 분포는 거의 비슷했다. Cu 배선의 EM 신뢰성 검사결과 (111) texture의 CVD Cu의 수명이 (200) texture의 CVD Cu의 수명보다 약 4배 가량 길게 나왔다.

전기도금 Cu는 하층(under layer)의 미세구조에 따라 강도의 차이는 있었지만 항상 (111) texture를 갖고 있었다. Damascene 공법으로 형성된 배선구조에서 전기도금 Cu의 EM 신뢰성이 같은 texture를 갖는 CVD Cu의 것보다 더 좋게 나타났는데, 이는 0.4 μm 이하의 미세선폭 영역에서 더욱 두드러졌다. CVD Cu의 경우 결정립 크기가 트렌치 폭에 의해서 제한되기 때문에, 미세선폭의 영역에서 결정립 크기가 더욱 작아지게 되고, 이는 신뢰성의 저하를 초래했다. 이에 반해 전기도금 Cu의 경우에는 결정립이 트렌치 폭에 상관없이 항상 크게 형성되었고, 따라서 신뢰성이 트렌치 폭에 의해서 거의 영향을 받지 않았다. 전기도금 Cu의 EM 수명이 CVD Cu의 EM 수명보다 높게 나와, 신뢰성 측면에서 전기도금 Cu가 CVD Cu 보다 더 우수함을 알 수 있었다.

Acknowledgement

이 논문은 저자가 Stanford University에서 Semiconductor Research Corporation의 지원을 받아 연구한 것이다.

References

- [1] M. T. Bohr, IEDM Tech. Dig., p.241 (1995).
- [2] S. Venketesan et al., IEDM Tech. Dig., p.769 (1997).
- [3] D. Edelstein et al., IEDM Tech. Dig., p.773 (1997).
- [4] C.Y. Mak, MRS Bulletin, p.55 (1994).
- [5] J.S.H. Cho et al., MRS Bulletin, vol.18, no.6, p.31 (1993).
- [6] P. Doppelt and T.H. Baum, MRS Bulletin, p.41 (1994).
- [7] J.A.T. Norman et al., IEEE VMIC Conf., p.123 (1991).
- [8] C. Ryu et al., Proceedings of Advanced Metallization for ULSI Applications, p.145 (1994).
- [9] K. Abe, Y. Harada, and H. Onoda, IEEE VMIC Conf., p.308 (1995).
- [10] D.S. Gardner and D.B. Fraser, IEEE VMIC Conf., p.287 (1995).
- [11] S. Hirao et al., Symposium on VLSI Technology Digest of Technical Papers, p.57 (1997).
- [12] R.J. Contolini, L. Tarte, R.T. Graff, and L.B. Evans, IEEE VMIC Conf., p.322 (1995).
- [13] V.M. Dubin, S. Lopatin, S. Chen, R. Cheung, C. Ryu, and S.S. Wong, Advanced Interconnects and Contact Materials and Processes for Future Integrated Circuits, p.275 (1998).
- [14] H.B. Huntington and A.R. Grone, J. Phys. Chem. Solids, vol.20, Nos. 1/2, p.76 (1961).
- [15] J.R. Black, Proc. of the 6th Annual International Reliability Phys. Symposium, p.148 (1967).
- [16] P.-C. Li, T.K. Young, IEEE Spectrum, vol.33, issue 9, p.75 (1996).
- [17] C. Ryu et al., Solid State Technology, vol.42, no.4, p.53 (1999).
- [18] S.S. Wong, C. Ryu et al., International Interconnect Technology Conference, p.107 (1998).
- [19] T. Ritzdorf et al., International Interconnect Technology Conf., p.287 (1999).
- [20] H. Lee, S.D. Lopatin, S.S. Wong, International Interconnect Technology Conf., p.114 (2000).
- [21] C. Ryu et al., IEEE Transactions on Electron Devices, Vol.46, No.6, p.1113 (1999).
- [22] J. Cho and C.V. Thompson, Appl. Phys. Lett., vol.54, no.25, p.2577 (1989).

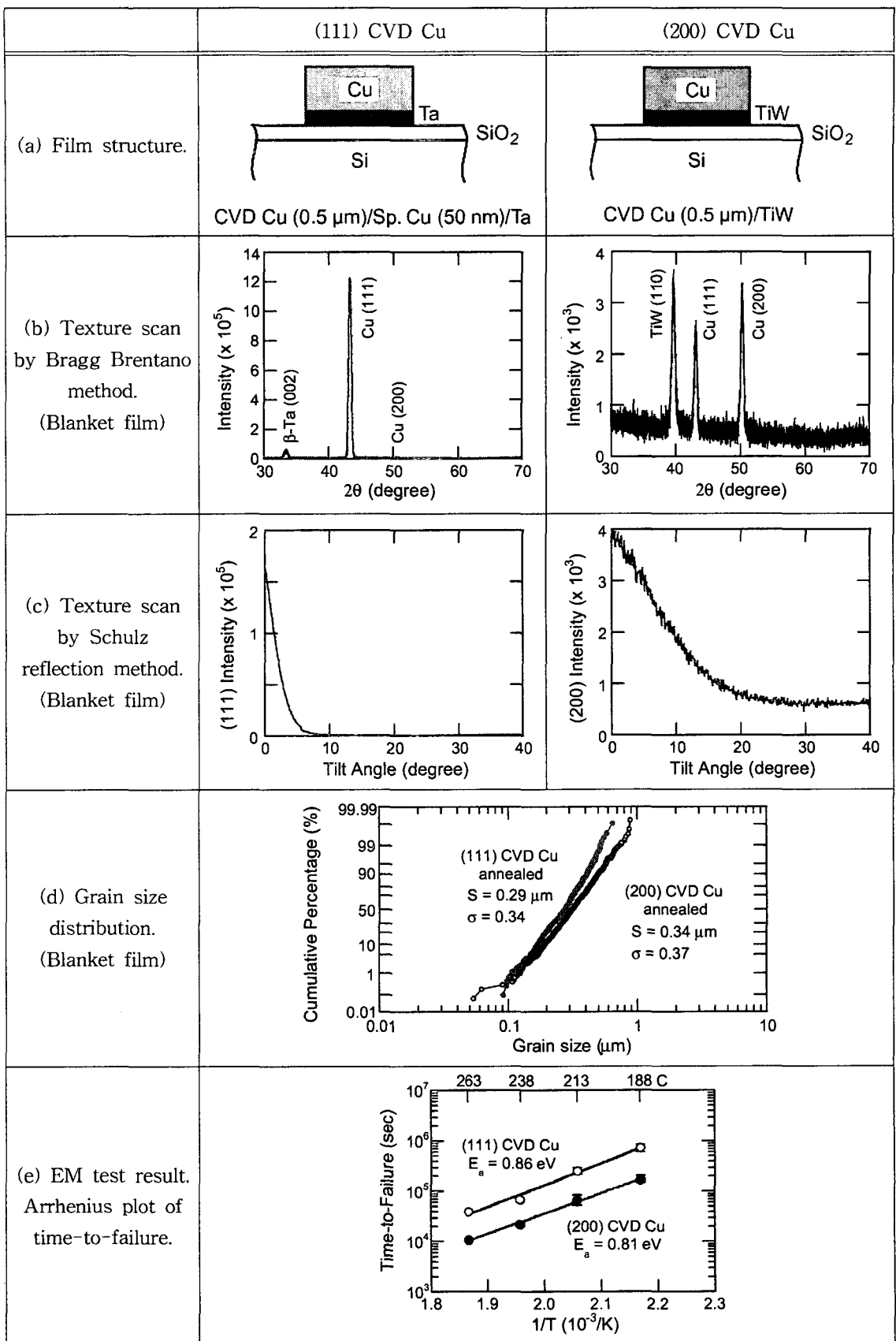


Fig. 1. Summary of microstructure and EM test result of (111) and (200) CVD Cu.

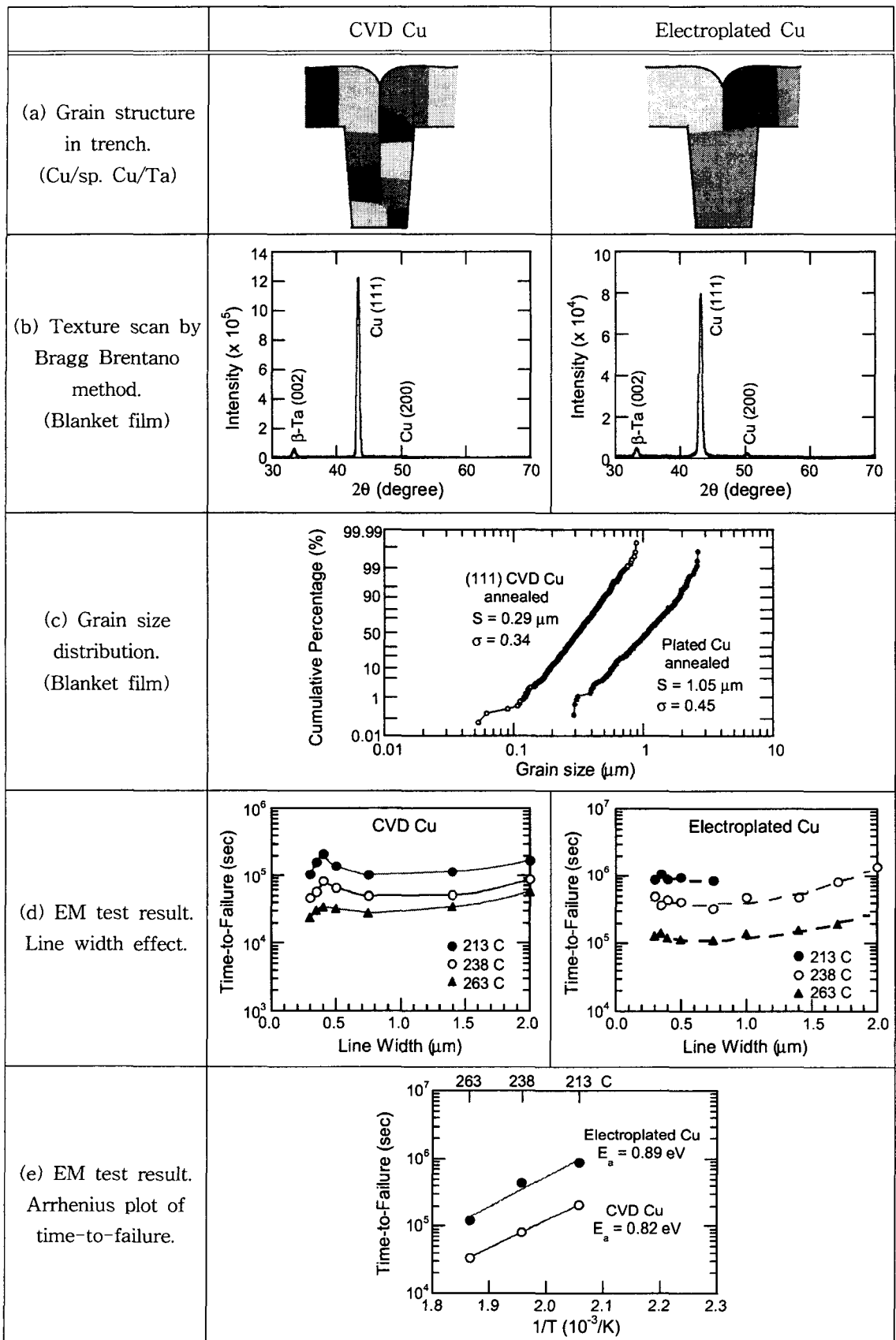


Fig. 2. Summary of microstructure and EM test result of CVD Cu and electroplated Cu.