

2.5 Gb/s 클럭-데이터 복원기를 위한 위상 비교기 설계 연구

이 영 미^o, 우 동 식, 유 상 대, 김 강 욱
경북대학교 전자전기컴퓨터학부
E-mail: kang_kim@ee.knu.ac.kr

A Design Study of Phase Detectors for the 2.5 Gb/s Clock and Data Recovery Circuit

Young Mi Lee^o, Dong Sik Woo, Sang Dae Yu, Kang Wook Kim
School of Electrical Engineering and Computer Science, Kyungpook National University

Abstract

A design study of phase detectors for the 2.5 Gb/s CDR circuit using a standard 0.18- μm CMOS process has been performed. The targeted CDR is based on the phase-locked loop and thus it consists of a phase detector, a charge pump, a LPF, and a VCO. For high frequency operation of 2.5 Gb/s, phase detector and charge pump, which accurately compare phase errors to reduce clock jitter, are critical for designing a reliable CDR circuit. As a phase detector, the Hogge phase detector is selected but two transistors are added to improve the performance of the D-F/F. The charge pump was also designed to be placed indirectly input and output.

Key words: CDR, PLL, SONET, Optical Transceiver

I. 서론

최근 몇 년간 인터넷 사용자수 뿐만 아니라 멀티미디어와 같이 데이터 집중한 application이 증가하면서 인터넷 백본 (backbone)에 전달되는 데이터의 양 또한 과히 폭발적이라 할 수 있다. 글로벌 인터넷 백본의 load는 곧 수십 Tera-bps로 증가할 것으로 보인다. 이것은 바로 백본의 대역폭이 매년 50-100배로 증가해야 함을 의미한다. 이러한 많은 양의 데이터는 적은 손실과 넓은 대역폭을 갖는 전송 매체를 통해 전송되어야 한다. Optical fiber를 이용한 데이터 전송은 적은 손실과 광대역 특성을 가져 광범위하게 사용되고 있다 [1].

SONET (Synchronous Optical NETwork)은 동기식 광전송망이다. 광섬유 매체를 통한 고속 데이터 통신을 위한 국제적인 표준으로서 동기식이라고 하는 것은 신호를 보내는데 있어서 보낼 데이터가 존재하는지 여부에 상관없이 일정한 시간 간격을 가지고 전송하는 것을 말한다. 이와 반대로 비동기식 전송에서는 시간 간격과 상관없이 보낼 데이터가 있는 경우에만 보내는 것을 의미한다. 북미 지역에서 마련된 표준안을 SONET 이라 하고, 유럽지역에서는 SDH 라는 표준안이 마련되었다(standard IEEE 802.17). 여기에

는 51.84 Mb/s 이상의 속도로 수행되는 광전송을 위한 광학 인터페이스(optical interface), 전송률(Rate), 전송 형태등을 포함하고 있다. SONET은 광케이블로 전송되기 위해 광학 캐리어(OC: optical carrier)를 가지는데 SONET OC-48은 2.5 Gb/s의 광 통신을 위해 마련된 표준안이다.

SONET과 같은 광전송망 복구를 하는 방법으로는 전광(O/O/O: optical-optical-optical)과 광전광(O/E/O: optical-electrical-optical) 방식이 있다. 전광 방식은 광 영역에서 데이터를 재생하는 것으로 이에 대한 많은 연구가 이루어졌으나 아직까지 대부분의 기술들은 아직 연구 중이거나 흠족할 만한 특성을 얻지 못하였다[1]. 광전광 방식에서 광 신호는 전기적인 전류(electric current)로 먼저 변환되어져 전기적 영역에서 재생되고 다시 광 신호로 변환된다. 이 방식은 전광 방식에 비해 광-전 변환으로 인한 추가 비용이 드는 단점에도 불구하고, 상용 전송망에 범용 적으로 사용되고 있다. 디지털 전송시스템에서 신호의 재생은 재증폭 (Reamplification), 재형성 (Reshaping), 그리고 재 타이밍 (Retiming)의 3가지 단계를 거치는데 흔히 3R-regeneration 이라고 한다.

본 연구에서는 인터넷의 백본으로 널리 쓰이고 있는 SONET OC-48용 클럭-데이터 복원기에 사용될

수 있는 위상 비교기와 전하 펌프를 Charted의 1.8 V 0.18 μm CMOS 공정을 이용하여 디자인 하고 ADS로 시뮬레이션 하였다.

II. 클럭-데이터 복원기의 구조

그림 1은 광전송 시스템을 위한 광통신 수신기를 보여준다.

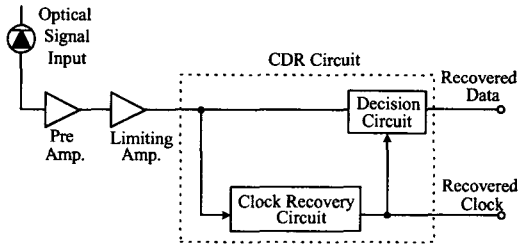


그림 1. 광통신 수신기

수신기의 동작은 수신된 광 신호가 photo detector에 의해 전기적 전류로 변환됨으로서 시작된다. 전기적 전류는 먼저 증폭기와 limiting 증폭기를 거치면서 다음 단계를 위한 충분히 큰 신호와 모양의 전압으로 재 증폭되고 재 형성된다. 이러한 광섬유 수신기의 핵심은 클럭-데이터 재생 장치 (CDR: clock and data recovery circuit)로서 photo-diode를 통해 변환된 광 신호의 클럭을 CDR을 통해 재생하고, 이 재생된 클럭에 데이터를 동기화 시켜 보내는 장치이다. CDR의 성능에 따라 시스템의 속도, 가격, 파워 소모, 지터 특성, 신호 대 잡음비 (SNR)가 결정된다고 할 수 있다.

클럭-데이터 복원기를 구성하는 방법에는 크게 open-loop 구조와 phase-locking 구조가 있는데 그림 2는 후자의 phase-locked loop을 이용한 블록 다이어그램이다.

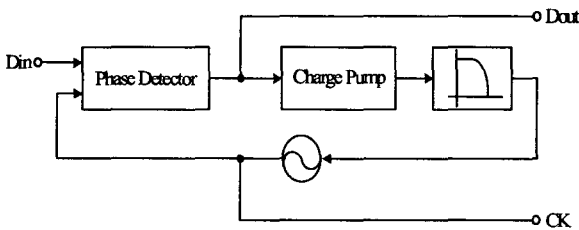


그림 2. 클럭-데이터 복원기 구조

복원기의 입력 신호는 NRZ (non-return to zero) 포맷 (format)으로 연속적인 1 또는 0의 데이터 스트림으로 나타나는데, 이 신호에는 클럭 신호에 대한 어떠한 정보가 전송되지 않으며, 스펙트럼 또한 데이터의 주파수 성분을 가지고 있지 않게 된다. 따라서 이러한 랜덤 데이터의 위상 차를 추출할 수 있는 위상

비교기가 쓰여야 하고 Decision circuit을 쓰지 않았기 때문에 위상 비교기가 retiming의 역할도 해야 할 것이다. 위상비교기의 위상 오차는 차지 펌프와 루프 필터를 거치면서 오실레이터의 컨트롤 전압으로 입력된다. 컨트롤 전압에 따라 오실레이터의 출력 주파수는 증가 또는 감소하게 되어 Din이 CK와 같도록 조정된다.

III. 위상 비교기

클럭-데이터 복원기 회로에서 위상 비교기(phase detector)는 전압제어 발진기 (voltage-controlled oscillator)와 입력 데이터 시퀀스간의 phase lock을 제공하는 중요한 블록이다. 위상 비교기는 데이터와 클럭의 영점 교차 (zero crossings) 간격에 대한 정보를 제공한다. 이러한 위상 정보는 전압 제어 발진기의 컨트롤 전압으로 사용되고 phase lock이 이루어지면, 이 전압은 일정한 상수로 유지된다.

흔히 사용되는 위상 비교기로는 아날로그 곱셈기 (analog multiplier), XOR gate, 위상/주파수 비교기 (phase/frequency detector)등이 있으나 이것은 모두 주기적인 신호에 대한 위상을 비교해 주므로 연속적인 1 또는 0이 나타나는 NRZ (non-return to zero) 형태와 같은 랜덤 신호에 대해서는 위상 오차를 추출하지는 못한다. 랜덤 신호에 대한 위상 비교기는 크게 선형 위상 비교기 (linear phase detector)와 이진 위상 비교기 (binary phase detector)로 나눌 수 있다. 그 중에서 선형 위상 비교기로 많이 쓰이는 Hogge phase detector를 그림 3에 나타내었다.

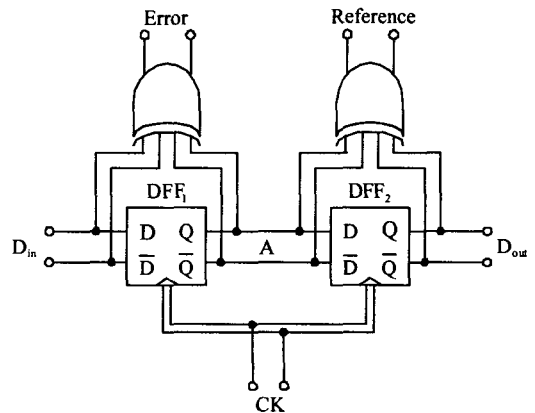


그림 3. Hogge phase detector

위상 오차는 Error와 Reference의 차이를 구함으로써 얻을 수 있는데 이 두 신호는 데이터의 천이 (transition)때 마다 일어나며 Error는 클럭-데이터의 위상차에 비례하는 너비의 pulse를, Reference는 클럭

의 반주기에 비례하는 너비의 pulse를 낸다. 이러한 Hogge 위상 비교기의 장점은 phase lock 일 때, 클럭의 영점 교차가 한 비트의 중간에 나타나므로 들어오는 시퀀스의 automatic retiming이 이루어지므로 decision circuit이 없어도 되므로 전체 시스템의 복잡도와 파워 소모가 줄어드는 이점이 있다. 그림 4는 위상비교기의 D flip-flop을 구현한 회로이다.

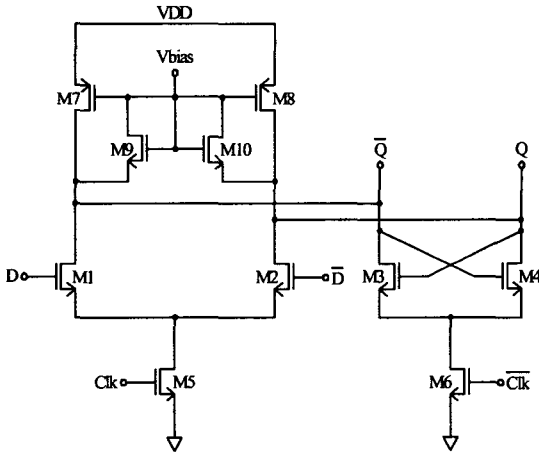
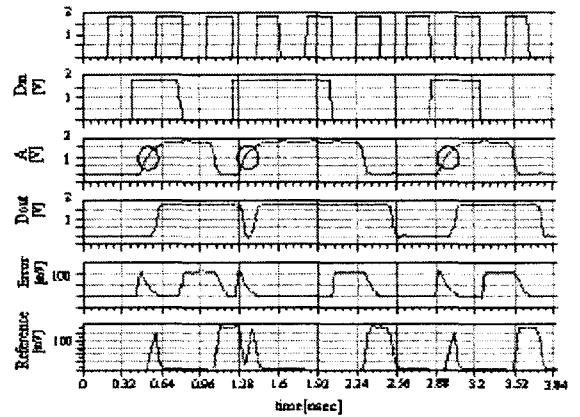


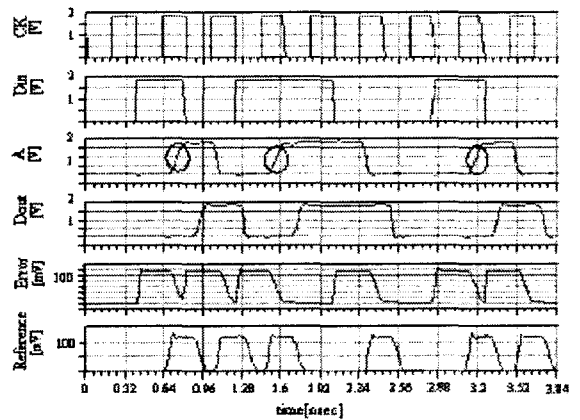
그림 4. 개선된 ECL-like D-F/F

2.5 Gb/s의 높은 주파수의 신호를 비교해야 하므로 고속 동작이 가능한 ECL-like D flip-flop을 이용한다. 그러나 일반적인 ECL-like D flip-flop는 transient time이 길다는 단점이 있으므로 여기서는 M9와 M10을 추가함으로써 transient time을 줄이고 동작 최대 동작 주파수 높였다. 두 개의 부가적인 트랜지스터는 정상 동작동안에는 OFF 상태로 D flip-flop에는 영향이 없다가, 입력 신호의 급격한 변화가 일어날 때 트랜지스터는 ON 되면서 보다 빨리 극복하게 해준다.

그림 5(a)와 (b)는 Hogge phase detector를 Chartered 0.18 μm CMOS 공정으로 디자인하고 ADS로 시뮬레이션 한 결과 파형이다. 일반적인 ECL-like D flip-flop을 이용한 것과 개선된 ECL-like D flip-flop을 이용한 결과를 나타내었다. D flip-flop의 출력 파형인 A를 서로 비교해 보면 그림 5(a)가 슬루율이 낮아서 끌어짐을 알 수 있다. 뿐만 아니라 그림 5(a)에서는 A에서 파형을 빨리 따라 가지 못함에 따라 다음 출력 결과인 Dout, Error, Reference 파형에도 영향을 주어 왜곡이 심한 파형을 보이고 있다. 반면 그림 5(b)에서는 A 파형의 슬루율이 비교적 개선되어서 Dout, Error, Reference에도 올바른 출력 결과를 내고 있다.



(a)



(b)

그림 5.

- (a) 일반적인 ECL-like D-F/F을 이용한 결과 파형
- (b) 개선된 ECL-like D-F/F을 이용한 결과 파형

IV. 전하 펌프

그림 6(a)와 같은 일반적인 전하 펌프 (charge pump)에서는 스위치 M1과 M2가 출력 단에 직접적으로 연결되어 있기 때문에 전류의 ON/OFF가 일어날 때마다 적지 않은 스파이크를 유발하게 된다. 이러한 스파이크는 적절한 조치를 취하지 않으면 출력에 그대로 나타나게 된다. 따라서 스위치가 출력에 간접적으로 연결되도록 그림 6(b)와 같이 스위치 M1과 M6을 추가하여 M2와 M5의 드레인 노드가 출력에 연결되게 한다.

V. 결론

본 연구는 Chartered의 1.8 V 0.18 μm CMOS 공정을 이용하여 SONET OC-48용인 2.5 Gb/s 클럭-데이터 복원기를 위한 위상 비교기와 전하 펌프를 설계하였다. 2.5 Gb/s라는 높은 주파수를 처리하기 위해 위상 비교기의 내부에 ECL-like D flip-flop을 이용함으로써 가능하게 하였다. 그러나 일반적인 회로로는 주파수가 높아짐에 따라 신호의 주기에 대한 상대적인 transient time이 길어지고 또한 slew rate가 낮아짐에 따라 다음 단의 입력클럭 특성에도 좋지 않은 영향을 끼치면서 전체 클럭-데이터 복원기의 지터 특성을 악화시킨다. 따라서 본 연구에서는 클램프의 역할을 하는 두개의 트랜지스터를 추가하여 입력의 큰 변화에 대한 응답 신호의 transient time과 slew rate을 보다 높이고 또한 동작 주파수도 올리는 효과를 얻었다. 전하 펌프 또한 스파이크가 일어나지 않도록 스위치와 출력 단자를 간접적으로 연결시켰다. 본 연구에서 디자인 된 위상 비교기는 2.5 Gb/s의 동작 속도를 지원함에 따라 SONET OC-48용 클럭-데이터 복원기에 쓰일 수 있을 것으로 보인다.

Acknowledgement

이 논문은 2002년 한국전자통신연구원의 지원에 의해 연구되었음 (계약 번호:1010-2002-0068).

참고 문헌

- [1] Jafar Savoj and Behzad Razavi, "A 10-Gb/s CMOS Clock and Data Recovery Circuit with a Half-Rate Linear Phase Detector," *IEEE J. Solid-State Circuits*, vol. 36, pp. 761~766, May 2001.
- [2] J. Christoph Scheytt, Gerhard Hanke, and Ulrich Langmann, "A 0.155-, 0.622-, and 2.488-Gb/s Automatic Bit-Rate Selecting Clock and Data Recovery IC for Bit-Rate Transparent SDH Systems," *IEEE J. Solid-State Circuits*, vol. 34, pp. 1935~1943, Dec. 1999.
- [3] C. Hung and Kenneth K. O, "A fully integrated 1.5-V 5.5-GHz CMOS phase-locked loop," *IEEE J. Solid-State Circuits*, vol. 37, no 4, pp. 521~525, April 2002.
- [4] Young-Mi Lee, Ju-Sang Lee, Ri-A Ju, Bu-Cheol Jang, and Sang-Dae Yu, "Design of A 1.8-V CMOS Frequency Synthesizer for WCDMA," *ITC-CSCC2002* vol. 2, pp. 1312~1316. July 2002.

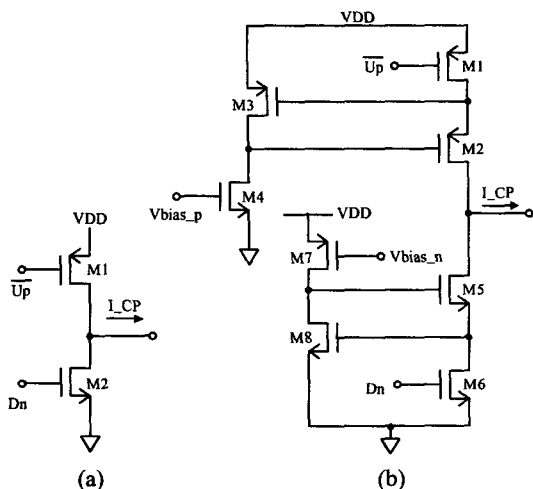


그림 6. (a) 일반적인 전하 펌프
(b) 개선된 전하 펌프

스파이크가 일어날 때 M2와 M5는 여전히 OFF 상태이므로, M1과 M6의 스위칭으로 인해 M2와 M5의 소스에서 일어나는 전류 스파이크는 출력 단에 직접적으로 전해지지 않는다 [4]. 추가적인 트랜지스터는 active cascode를 이루기 위한 것으로 각각의 소싱(sourcing) 또는 싱킹(sinking)동안 고출력 임피던스를 제공한다. 다시 말해 M3과 M4는 M2를 위한, M7과 M8은 M5를 위한 cascode이다. M4와 M7은 공통 소스 증폭기 M3과 M8에 대해 전류원 부하로 각각 동작한다. 그림 7은 up 또는 dn 신호가 M1 또는 M6을 스위칭 했을 때의 출력 파형 I_{CP}를 각각 보여준다. 그림에서 보듯이 up과 dn 신호에 의한 출력 파형 두 개의 I_{CP}는 어떠한 스파이크도 없으며 좋은 전류 매칭을 보여 준다[4].

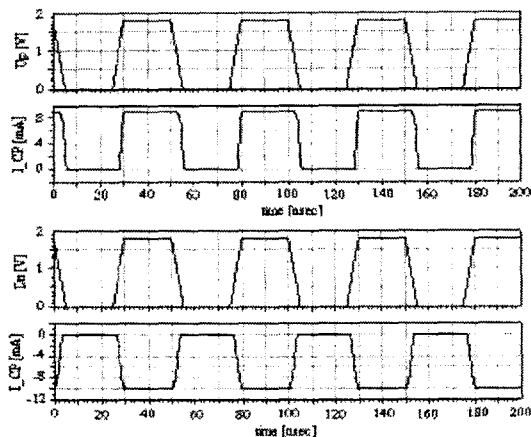


그림 7. 개선된 전하 펌프의 출력 파형