

# Regulator IC 고장분석 사례

## Failure Analysis of Regulator IC

이재혁\*, 하종신, 차승규, 박상득  
(삼성전자 CS경영센터)

### Abstract

본 논문에서는 Regulator IC의 불량원인 규명을 통해 반도체 고장분석 방법 및 개선사례를 소개하고자 한다.

고장분석에 사용된 반도체 Package는 8Pin MSOP(Mini Small Outline Package)로, 시장 불량품을 분석한 결과 Regulator IC의 Stitch Bond에 Heel Crack이 발생하여 불안정한 출력을 발생시킴을 알 수 있었다. Stitch Bond Heel Crack의 원인은 Lead Frame부의 박리(Delamination)에 의해 열이나 진동 등의 외부 Stress가 직접 Stitch Bond에 가해져 Crack이 발생된 것으로, Reflow 재현시험을 통해 확인 할 수 있었다. 박리 발생에 의한 Stitch Bond Heel Crack 방지 대책으로 첫째, Bonding Type을 Stitch Bond에서 Ball Bond로 변경하여 강도를 개선하고 둘째, PCB Layout 변경을 통해 외력이 직접 Regulator IC에 가해지지 않도록 하였다. 개선 결과 현재까지 시장에서 동일 불량은 발생하지 않았다.

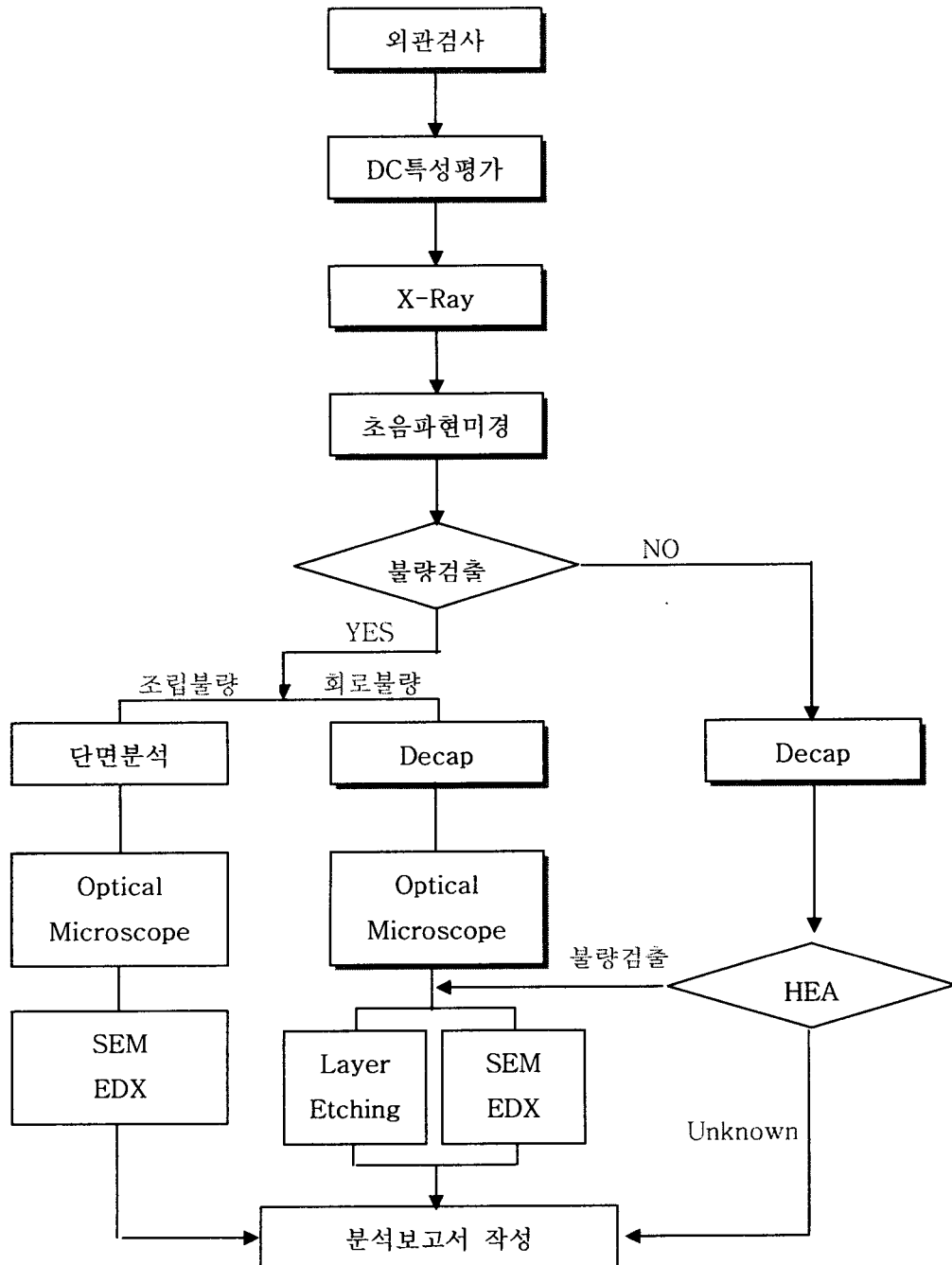
### 1.서론

최근 전자제품이 복잡화, 디지털화 되면서 반도체 부품 사용량이 증가하고 있고, 이에 따른 제품 품질에 미치는 영향도 높아지고 있다. 따라서 반도체 부품의 품질을 확보하지 않고 제품 품질을 향상 시킨다는 것은 거의 불가능하다 해도 과언은 아닐 것이다.

그러나 반도체 부품의 다기능화 및 경박 단소화로 인하여 불량유형도 다양하게 발생되고 있어 정확한 불량원인을 파악하기에는 어려움이 있다.

본 논문에서는 제품 신뢰성을 향상 시키는 방법의 하나로 반도체 불량 고장분석 방법 및 대책 사례를 소개 하고자 한다.

## 2. 반도체 고장분석 절차



<그림 1> 반도체 고장분석 절차

일반적인 반도체 고장분석 절차는 다음과 같다.

1. DC 특성평가, X-Ray 검사, 초음파현미경 검사와 같은 비파괴 검사를 통해 반도체 불량 유형을 판단한다.
2. 회로 불량일 경우에는 Decap 후 현미경, SEM, HEA등을 이용하

여 불량부위를 검출한다.

3. Wire Open, Die Crack, 박리 등과 같은 Package 불량일 경우에는 단면분석 및 Decap 후 현미경, SEM, EDX등을 이용하여 불량부위를 검출한다.

### 3. 고장분석

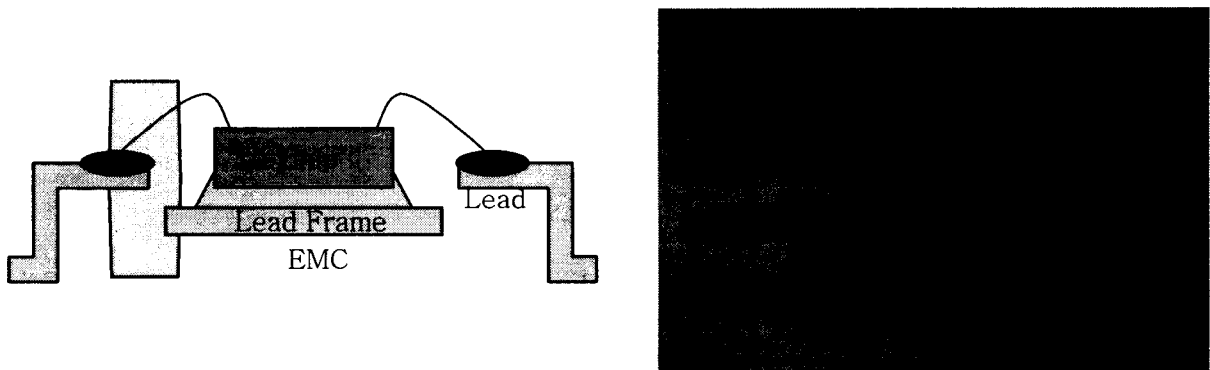
#### 3.1 고장현상



<그림 2> Regulator IC

반도체 고장분석에 사용된 8 Pin Regualtor IC는 출력단자 #7 Pin과 #8 Pin의 출력 신호 불량으로 외력에 의해 간헐적으로 동작 이상 현상이 발생하였다.

#### 3.2 고장원인 분석

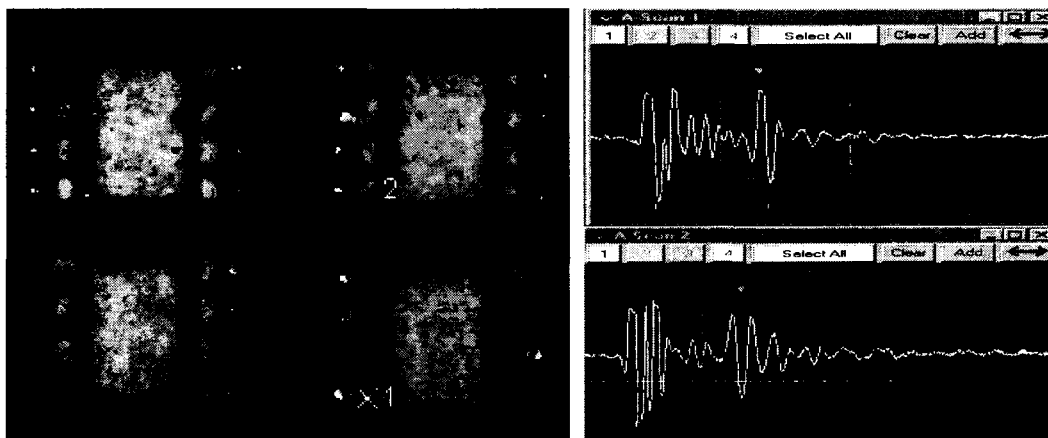


<그림 3> 박리 발생 부위

고장분석 절차에 따라 원인을 분석하였다. 불량시료의 외관검사에서는 특이한 불량을 찾아낼 수 없었다. 그러나 DC 특성 평가에서 #4 Pin(Ground)이 Open 불량을 검출하였다. 보통 Open 불량인 경우, Gold Wire의 단선으로

인한 불량률이 주로 발생된다. 따라서 Wire 단선을 검출하기 위해서 X-Ray를 이용하여 Bonding Wire의 Open 및 Die Crack 불량률을 확인하였다. 그 결과 Wire의 단선이나 Die Crack은 검출할 수 없었다. 다음으로 초음파 분석을 통해 박리 발생 여부를 확인하였다.

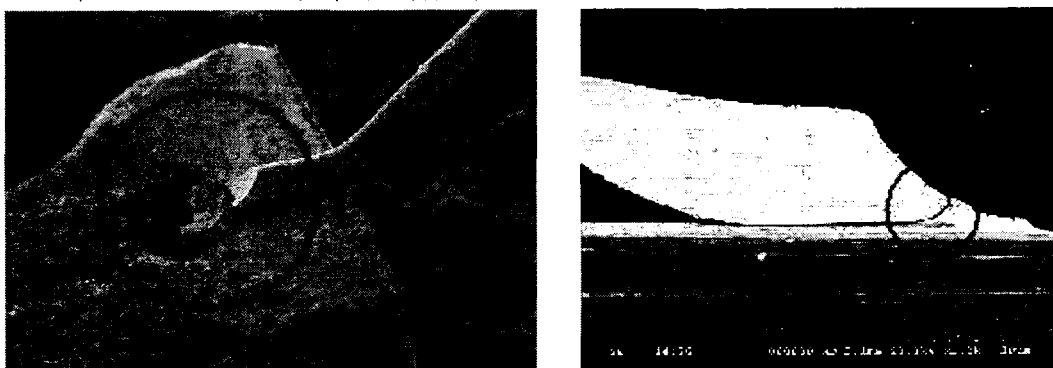
초음파 분석결과 불량시료의 Lead Frame부에 박리 불량률이 검출되었다.



<그림 4> 초음파분석 결과

박리가 발생한 Lead Frame 부위는 Gold Wire의 Stitch Bond가 접합되는 곳으로 이 부위에 박리가 발생할 경우 열이나 진동 같은 외부의 스트레스가 직접적으로 Wire Stitch Bond에 가해져 Heel Crack이 발생한다.

박리 발생에 의한 Gold Wire 접합부 불량률을 확인하기 위해 불량시료에 대해 Decapsulation 및 단면분석을 실시하였다. 분석결과 Gold Wire Stitch Bond의 Heel Crack이 검출되었다.



<그림 5> Stitch Bond Heel Crack

결국 Stitch Bond의 Heel Crack으로 인한 접합불량으로 간헐적인 오동작 현상이 발생된 것으로 판단된다.

### 3.3 재현시험 결과

Regulator IC 불량 원인은 첫째는 PBA 제조공정에서 Reflow 시 Lead 부위에 박리가 발생되었고, 둘째로 Regulator IC가 PCB 중앙에 실장되어 외부의 기계적 Stress를 쉽게 받을 수 있는 구조이므로 Stitch Bond Heel Crack이 발생된 것으로 추정된다.

박리 발생을 검토하기 위해 Reflow 시험을 실시하였다. 일반적으로 반도체 박리불량은 반도체에 수분이 흡수된 상태에서 Reflow를 할 경우 반도체 내부에 포함된 수분의 급격한 팽창으로 인해 발생한다. 분석에 사용된 Regulator IC는 MSL(Moisture Sensitivity Levels) “1”로서 건조포장 개봉 후 반도체 수명을 무한대로 보장하는 습기에 가장 강한 제품이다.

Reflow 공정 후 원자재 불량에 의한 박리발생 취약성 검토를 위해 양품 시료 12개를 125℃에서 24시간 Baking하여 반도체 내부의 수분을 완전 제거한 후 <표 1>에 나와있는 항온항습 조건으로 방치시험을 실시하고 <표 2>와 같은 조건으로 Reflow Test를 연속하여 실시하였다.

< 표 1 > Moisture Sensitivity Levels

Joint IPC/JEDEC Standard J-STD-020A

LEVEL	FLOOR LIFE		SOAK REQUIREMENTS	
	TIME	CONDITIONS	TIME(hours)	CONDITIONS
1	Unlimited	≤30℃/85%RH	168	85℃/85%RH
2	1 year	≤30℃/60%RH	168	85℃/60%RH
3	168 hours	≤30℃/85%RH	192	30℃/60%RH
4	72 hours	≤30℃/85%RH	96	30℃/60%RH
5	48 hours	≤30℃/85%RH	72	30℃/60%RH
6	24 hours	≤30℃/85%RH	TOL	30℃/60%RH

< 표 2 > Reflow 시험조건



항목	Reflow 조건
Peak Time	215℃~220℃
Dwell Time	130℃~160℃(120초 이내)
Ramp Time	2℃/초
183℃ Time	70±3초

Reflow Test 실시 후 초음파현미경(Scanning Acoustic Microscope)을 이용하여 박리 발생 여부를 검토한 결과 8개/12개(발생율 67%)에서 박리 불량

이 발생하였다. 이는 반도체 원자재 불량에 의해 MSL을 만족 못하여 박리 불량이 발생한 것으로 판단되고 Reflow 공정에서 발생한 박리가 시장에서 Regulator IC의 간헐적 동작불량을 유발하는 큰 원인중의 하나로 판명되었다.

### 3.4 개선대책

불량이 발생되었던 Regulator IC는 박리 발생 가능성이 높아서 이 부위에 외력이 가해질 경우 Heel Crack 불량이 발생 할 수 있으므로 Bonding을 강도가 높은 구조로 변경하고 박리가 발생되지 않도록 공정 관리 및 취급상의 주의가 필요하다. 또한 PCB의 설계변경을 통한 IC의 위치 조정을 통해 박리가 발생하더라도 Stitch Bond에 직접적으로 외력이 가해지지 않도록 설계해야 한다.

개선 전	개선 후
	
<p>Stitch Bond Type은 박리 발생 시 강도가 약하므로 Lead 접합부위에서 Heel Crack 발생 가능성이 큼</p>	<p>Ball Bond Type으로 변경하여 강도를 보강하여 Stress가 가해지더라도 Crack 발생 가능성이 적음</p>

<그림 6> Bonding Type 개선 전/후 비교

첫째, Bonding 강도 개선을 위해 Bonding Type을 변경하였다. <그림 6>에서와 같이 개선 전에는 Stitch Bond Type의 접합을 사용하였는데 Stitch Bond Type은 박리 발생에 의해 외력이 가해질 경우 Heel Crack이 발생할 수 있는 단점이 있다. 이를 개선하고자 Bond Type을 Ball Bond로 변경하였다. Ball Bond는 구조상 Heel Crack이 발생하지 않고 강도는 Stitch Bond 보다 강하므로 Regulator IC에 박리가 발생하고 외력을 받더라도 Crack에 의한 불량을 방지할 수 있다.

둘째, PCB의 설계를 변경하여 Regulator IC가 외력에 의한 휨 Stress를 받지 않는 부위로 Layout을 변경하였다.

위의 개선대책을 통해 Stitch Bond Heel Crack에 의한 Regulator IC 불

량을 방지하도록 하여 동일불량이 발생되지 않도록 개선하였다.

#### 4. 결론

본 논문에서는 Regulator IC의 고장분석 사례를 통해 다음과 같이 제품 불량을 방지할 수 있는 개선안을 제시하였다.

1. Stitch Bond Heel Crack을 방지하기 위해 Bonding Type을 Stitch Bond에서 Ball Bond로 변경하여 강도를 증가시켜 박리나 외력에 의한 Stress에 충분히 견딜 수 있는 구조로 변경 하였다.
2. Regulator IC의 Lead Frame부에 박리가 발생된다 해도외력에 의한 충격이 전달되지 않는 구조로 PCB Layout를 변경하였다.

#### 참고문헌

- [1] John H. Lau, C.P. Wong, John L.Prince, Wataru Nakayama, 1998  
“Electronic Packaging : Design, Materials, Process, and Reliability”
- [2] Perry L. Martin, 1999 “Electronic Failure analysis Handbook”