

**Advanced Disposable Spacer를 이용한 Low Vcc Operation용
0.12 μ m 저전력 SRAM 공정개발에 관한 연구**
Development of 0.12 μ m Low Power SRAM
with Advanced Disposable Spacer Scheme for Low Vcc Operation

한양대학교 재료공학과, *삼성전자
김주영, 김성진*, 김주연, 전형탁, 김경태*

1. 서론

보다 낮은 Operation Voltage(Vcc)에서 우수한 동작속도를 가진 Low-power, High-density 0.12 μ m Full CMOS SRAM 공정개발을 위해 본 연구에서는 Design Rule감소에 따른 Short Channel Effect 개선과 Cell Contact Open 면적 확보와 Cobalt형성 면적이 증가하여 면저항 및 콘택트 저항값을 상당히 개선시킬수 있는 새로운 개념의 Advanced Disposable Spacer for Co Salicide(C-ADS) 구조를 도입하여 Ultra Low Vcc(1.5V)에서 동작특성을 분석하였다.

2. 실험방법

본 연구에서는 기존 개발중인 0.12 μ m Low Power SRAM Cell을 그대로 사용하고, 진보된 Gate구조인 C-ADS와 Co Salicide 공정을 도입하여 Low Leakage Current 와 Ultra Low Vcc 특성을 갖는 제품을 개발하고자 하였다. Silicon Wafer상에 Trench Depth 0.3 μ m STI를 형성한다. STI Gap-fill은 High Density Plasma Oxide(HDP-oxide)를 이용한 Double HDP Fill방법으로 Void-free STI를 실현하였다. Gate Oxide는 3.5nm Oxynitride를 사용하였고, Gate Pattern형성 후 N-/P- LDD와 Pocket Implantation을 진행하였다.

이후 본 연구에서는 최초로 도입된 Co Salicide Optimization을 위한 진보된 Gate 구조형성의 C-ADS 공정을 진행한다. SiN 100Å과 HTO 700Å의 Double Layer를 증착하여, 700Å 두께의 1st Oxide Spacer를 형성하고, N+/P+ Source/Drain Implantation과 Rapid Thermal Anneal(RTA)를 수행하였다.

이어서 Cobalt형성 및 Cell Contact Open 면적확보를 위해 WET공정으로 Oxide Spacer(HTO)를 제거하고, 다시 2nd SiN 400Å를 증착한 후 Dry Etch를 이용하여 400Å 두께의 Spacer를 형성하였다. Co Salicide 공정에서는 Co 80Å을 증착 후, 연속공정으로 1st Salicidation을 수행하였다. Tungsten Contact 형성시 Etch Stop Layer로 SiON과 SiN의 Double Stopper Layer를 증착한 후, 2nd Salicidation을 진행하였다. ILD Deposition 후, CMP를 이용하여 평탄화를 진행하고 0.12 μ m Cell Contact을 형성하기 위해서 PR flow 방법을 이용하였다. WC형성은 SiO₂ 대 SiN 선택비가 20:1의 High Selectivity Etch 방법을 이용하여 Borderless Contact 형성시 STI Recess에 의한 Leakage Current를 제어하였다. W-Fill Contact형성 후 0.24 μ m Pitch(0.12/0.12)의 W-damascene LI 및 Al Metal Line으로 Bit-Line을 형성함으로써 0.12 μ m Low Power SRAM 공정을 개발하였다.

3. 실험결과

0.12 μ m 32M-bit Low Power SRAM Cell에 진보된 Gate구조인 C-ADS와 Co Salicide 공정을 도입하여 Total Stand By Current (I_{sb}/Chip)는 -10°C(Pre-Laser Status)에서는 I_{sb} < 1.5uA/Chip 를 유지하였으며, 85°C(EDS Stauts)에서는 2.4 ~ 4.5uA/Chip의 결과를 얻었다. 또한 Vcc operation margin측면에서 보면, 1.2V 이하의 low Vcc margin 확보가 가능하여 1.5V Vcc 동작 device 특성이 가능함을 확인하였다.