

## Preliminary Design of Single Event Upset(SEU) Tolerance in the FPGA and Space Digital Electronics

Kyungin Kang<sup>1</sup>, Sungjo Kim<sup>2</sup>, Janghong Yoon<sup>2</sup>

<sup>1</sup>Satellite Technology Research Center, KAIST

<sup>2</sup>National Security Research Institute, ETRI

위성 탑재용 전자장비들은 전자회로에 대한 다른 여러 요구조건이외에도 우주 방사선에 대한 고려가 필수적으로 요구되어진다. 특히 전자회로에 대한 우주방사선의 영향은 시스템의 동작에 치명적인 오류를 가져오게 되는데, 최근의 전자회로 설계는 반도체 기술의 발달로 여러개의 IC 소자를 하나의 칩에 넣어 설계할 수 있는 FPGA 등을 사용하면서 Single Event Upset에 대한 고려가 메모리 소자들에 대한 전형적인 Error Detection and Correction(EDAC) 설계 기법들 이외에 사용되고 있다. 본 Single Event Upset에 대한 전자회로 설계기법에서는 메모리 소자들에 대한 Upset 정보를 찾아내고 수정하는 방법과, FPGA의 내부 회로 설계 중에 삽입되는 D-Flip Flop에 대한 오류를 방지하기 위한 설계 기법들을 소개한다. 디지털 회로에 필수적으로 사용되는 메모리 소자들은 보편적으로 해밍코드 등을 사용한 코드기법으로 만들어진 EDAC회로들을 사용하여 SEU 현상에 대처하고 있다. 하지만, 직접도가 높은 FPGA 소자 등은 방사선에 대한 영향이 메모리 소자나 IC 소자들과는 달리 높게 나타나기 때문에 이에 대한 보호 회로 설계가 필수적이나, 메모리 버퍼가 하나의 소자 안에 부분적으로 산재해 있기 때문에 기존의 코드기법으로는 처리하기 힘든 부분들이 있다. 따라서 각 버퍼단에 세 개의 버퍼를 사용하여 Upset이 일어날 경우 원래의 정보를 회복할 수 있는 방법(TMR)들이 최근의 우주용 FPGA 설계에 사용되고 있다. 이러한 전자회로의 우주방사선에 대한 여러정정 기법들은 위성이 운용되는 고도에 따라 요구사항들이 다르며, 따라서 다양한 방법으로 오류를 정정하는 회로들이 사용되고 있다. FPGA와 우주용 디지털 회로에 대한 오류 정정 회로에 대하여 다루고자 한다.