

Xilinx FPGA 전력 소모 측정

남성엽^o 이형규 장래혁
서울대학교 전기 컴퓨터 공학부
(bogus97^o, hglee, naehyuck)^o@cslab.snu.ac.kr

Measurement of the Power Consumption in FPGAs With a Case Study of the Xilinx FPGA

Sungyupep Nam^o, HyungGyu Lee, Naehyuck Chang
School of EE & CSE Seoul National University

요 약

본 논문에서는 최근 수요가 급격히 증가하고 있는 FPGA의 전력 소모 특성을 분석하기 위해서 개발한 측정 시스템(SECF : Seoul National University Energy Characterizer FPGAs)의 구성 및 동작 방법을 설명하고 있다. 또한 이 시스템을 이용하여 몇 가지의 간단한 실험을 통해 FPGA 전력 소모 경향을 살펴보는 것을 그 목적으로 한다.

1. 서론

VLSI 기술 발전에 힘입어 최근에는 ASIC과 성능이 비슷한 FPGA가 등장하였다. 이러한 FPGA는 ASIC보다 유용성이 높고 가격대 성능비가 뛰어나다. 이런 이점을 바탕으로 FPGA는 최근에 휴대용 제품에까지 널리 이용되고 있다. 그러나 FPGA의 넓은 활용면에 비해서 그 전력 소모에 대한 정보를 얻기가 어렵다. 왜냐하면 FPGA는 구현된 내부 로직과, 그 로직들이 내부에서 구현되는 맵핑(Mapping)방법과 라우팅(Routing)방법에 따라서 에너지 소모 경향이 달라지기 때문이다. 또한 이러한 경향은 단순히 평균전력만으로는 알아내기 힘들다. 따라서 FPGA의 전력 소모를 알아내기 위해서는 전력소모를 동적 소모와 정적 소모방식으로 나눠 그 정보를 시간대별로 기록할 필요성이 있다. 그럼에도 불구하고 현재까지의 FPGA 전력 분석 도구들은 시뮬레이션에 그 바탕을 두고 있기 때문에 그 결과가 부정확하고, [2, 3] 또한 이러한 예측기는 평균전력 밖에 측정할 수 없기 때문에 FPGA의 전력 소비 경향을 정확히 분석하기 힘들다. 이런 문제점을 극복하기 위하여 본 논문에서는 사이클별 전력 소모 측정 방식[1]을 이용한 에너지 측정 시스템을 구성하였으며 이를 이용하여 FPGA의 전력 소모를 측정하였다.

2. SECF의 측정 원리 및 구성

2.1 SECF의 에너지 측정 원리

SECF의 에너지 측정방법은 사이클별 전력 소모 측정 방식을 이용한다. 이 측정 방법은 2개의 스위치와 2개의 콘덴서로 구성된다. 그림 1에서 보는 바와 같이 Target FPGA의 코어 부분으로 입력되는 전압을 두 개의 콘덴서가 번갈아 가면서 공급해 줌으로써, 대상이 동작을 할 수

있게 하며, 이 때 소모한 에너지는 공급 콘덴서에서 사라진 에너지로 알 수 있다. SW₁과 SW₂는 전원 공급 스위치, C_{S1}, C_{S2}는 전원 공급 콘덴서, C_B는 FPGA On-chip Bypass Capacitance, C_L은 FPGA load Capacitance이다. 전원 공급 스위치의 On/Off는 목표 디바이스 클럭의 1/4 지점과 3/4지점에서 일어난다. SW₁이 On일 경우, C_{S1}는 전원 공급장치에 의해 V_{C1} 만큼 충전이 되고, C_{S2}의 충전된 전하가 Target FPGA 코어 전압으로 공급된다. SW₁이 Off이고 SW₂가 On일 경우, C_{S2}가 V_S에 의해 충전되고 C_{S1}이 Target FPGA 코어에 전원을 공급하게 된다. SW₁과 SW₂는 겹치지 않으며, 항상 번갈아 가며 On/Off가 되도록 구성 되어 있다. 그러면서 콘덴서의 전압을 아날로그 회로로 측정한다. 한 사이클 동안에 소모하는 에너지를 구하는 방법은 그 사이클에서의 동적 에너지와 정적 에너지를 더하면 구할 수 있다. 그림 1에 있는 전압 그래프에서 V_{C1(I+)}의 에너지에서 V_{C1(I++)}의 에너지를 빼면 한 클럭 주기동안 FPGA가 소모한 동적 에너지가 된다. 그리고 정적 에너지는 동적 에너지가 없는 구간에서의 에너지를 합하면 된다. 에너지 계산 과정을 좀더 자세히 알고 싶으면 참고 문헌[1]을 참조하면 된다.

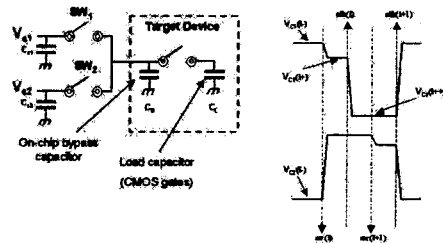


그림 1 사이클별 전력소모 측정 회로

2.2 SECF의 하드웨어 구조

측정 시스템의 하드웨어는 크게 두개의 부분으로 이루어져 있다. 그 첫번째 부분에서는 목표 FPGA와 에너지 데이터와 관련된 것을 처리하는 부분이고 두 번째 부분은 사용자 인터페이스와 관련된 부분이다. 그림 2에서 인터페이스 보드 부분이 사용자 인터페이스를 담당하는 부분이다. 이 부분에서 하는 일은 사용자가 내린 명령을 Target Control 블록과 ADC control 블록으로 전달하는 역할과 ADC control 블록에서 전달되는 데이터를 사용자에게 전달하는 역할을 담당하고 있다. 이 보드의 CPU는 Motorola MPC860이며, TCP/IP 프로토콜을 이용해 사용자에게 데이터를 전달한다. 그림 3의 (a)가 인터페이스 보드이다. 그림 2에서 Target Control FPGA 블록에서는 FPGA의 Configuration과 실험 대상이 동작할 때 실제로 입력 벡터를 주는 역할을 하고 ADC control FPGA에서는 에너지 측정 아날로그 회로에서 전달하는 데이터를 수집하는 역할을 담당하고 있다. 그리고 각각의 control FPGA는 64KB 만큼의 SRAM과 연결되어 있다. FPGA와 컨트롤 FPGA는 Xilinx Spartan II를 사용하였다. 이 부분의 실제 구현된 모습은 그림 3의 (b)와 같다. 그림 3의 (c)는 앞에서 설명한 그림 1의 에너지 측정 회로가 구현된 모습이다.

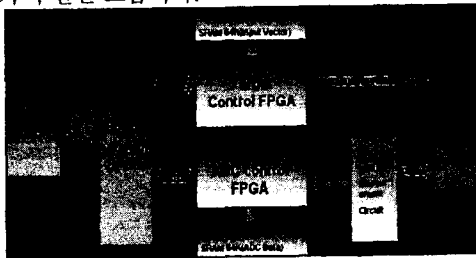


그림 2 측정 시스템 블록도

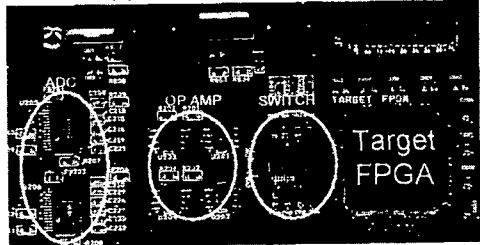
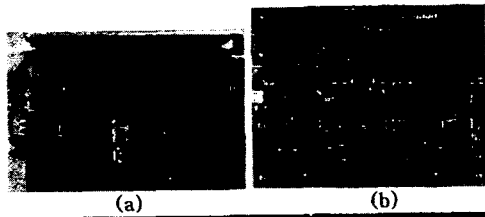


그림 3 (a) Interface board, (b) Measurement board, (c) Cycle-accurate measurement circuit

2.3 SECF의 소프트웨어 구조

SECF의 소프트웨어는 기본적으로 GUI 인터페이스를 사용자에게 제공한다. SECF의 프로그램이 제공하는 기능은 그림 4와 같다. 이 프로그램이 제공하는 가장 중요한 기능은 860보드로부터 전달해오는 데이터를 받아들이는 것이다. 이를 간단하게 화면에 그래프 형식으로 표현하며, 또한 클립보드 버튼을 누를 시에는, 모아진 데이터를 엑셀(Excel)에서 분석할 수 있다. 또한 대상 FPGA를 Configuration하기 위한 Bit 파일을 다운로드 하는 기능과 대상이 동작할 때, 필요한 입력 벡터를 다운로드 할 수 있다. 마지막으로는 측정된 결과를 텍스트 기반으로 몇 가지 정보만 보여주는 리포트 기능이 있다.

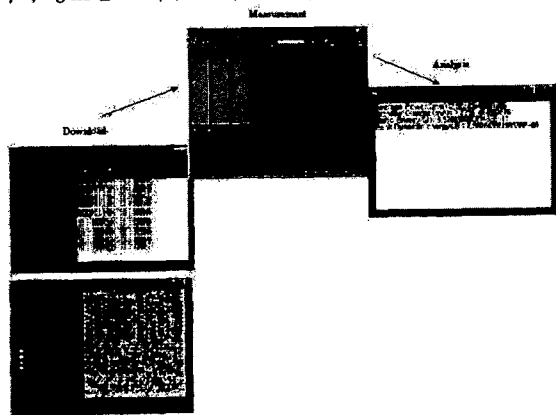


그림 4 SECF의 소프트웨어

2.4 시스템의 정확성 검증

측정 시스템의 정확성을 검증하기 위해서 사용된 기기는 디지털 멀티미터이며 이를 이용 평균전력 값을 비교하였다. 아래의 표를 보면 DM(Digital Multimeter) 측정 값과 비교해 봤을 때, 그 오차가 5% 내외임을 알 수 있다.

표 1 측정값 비교

Target Logic	Target Freq (MHz)	Input Top Freq (MHz)	DM (mW)	SECF (mW)	ERR(%)
10bit Binary	1.25	X	3.4	3.53	3.82
10bit Binary	2.5	X	4.52	4.65	2.87
4bit Binary*10	0.625	X	3.62	3.79	4.69
Combinational	X	0.625	2.59	2.71	4.63

3. FPGA 전력 소모 실험

3.1 Hamming Distance에 따른 에너지 소모

CMOS 디바이스에서는 신호의 전위변화가 발생할 때 전력 소모가 일어난다. 좀더 구체적으로 설명하면, FF(Flip-Flop)회로인 경우에는 클럭의 상승 에지(rising edge)에서나 혹은 하강 에지(falling edge)에서 신호의 변화가 많으면 많을수록 에너지 소모가 많아 지게 된다. 즉 Hamming Distance가 크면 클수록 에너지 소모가 많아 지게 된다. 이 실험에서는 Hamming Distance(HD)와 에너지 소모와의 관계를 알아보기 위해 4-bit Binary

Counter를 구현하여 카운터 개수를 병렬로 더해 가면서 실험을 하였다. 그림 5는 이 실험의 결과 그래프이다. 이 그래프로 에너지가 HD에 비례한다는 사실과 FPGA 내부에서의 사용된 CLB[8] 블록의 개수와도 비례함을 알 수 있다.

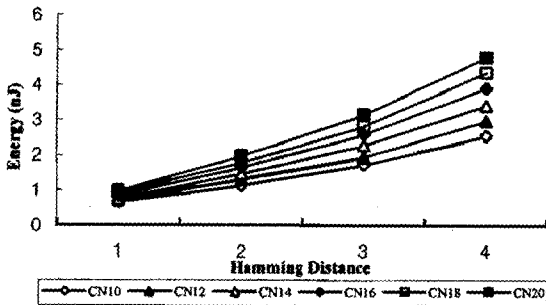


그림 5 HD에 따른 에너지 소모 그래프

3.2 Routing Path Length에 따른 에너지 변화

FPGA 내부는 CLB 간에 Switch Matrix Box를 통해 각 CLB의 입출력 Pin Wires와 연결이 되며, 상호 연결 거리에 따라 Long Line과 Local Line을 거쳐서 연결이 되도록 구성되어 있다. 이러한 메쉬(Mesh)구조의 FPGA인 경우 논리 블록(Logic Block)들 간의 연결이 전체 FPGA 전력 소모의 65%정도를 차지하기 때문에 [2,7] 블록간의 연결을 최적화하고, 연결선(Interconnection line)의 라우팅(routing) 경로에 따른 에너지 변화를 검증할 필요성이 있다. 이를 위해 일정 비율로 연결선들의 경로 거리를 변화시켜 가면서 에너지 소모량을 측정하는 실험을 하였다. 경로의 길이는 FPGA Editor에서 그림 6과 같이 일정하게 증가시켰으며 그 결과 그래프는 그림 7과 같다. 그림 7의 결과를 보면 라우팅(routing) 경로 변화에 의해 거의 일차 함수적으로 전력 소모가 증가함을 알 수 있다.

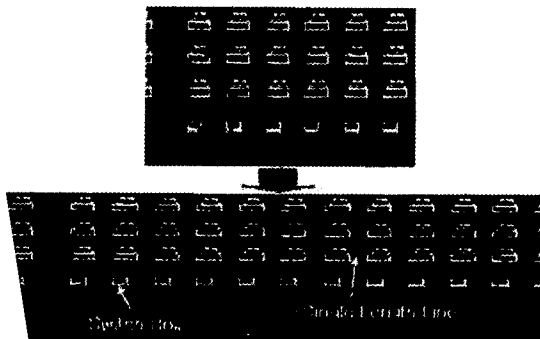


그림 6 FPGA Editor에서의 Path 변화

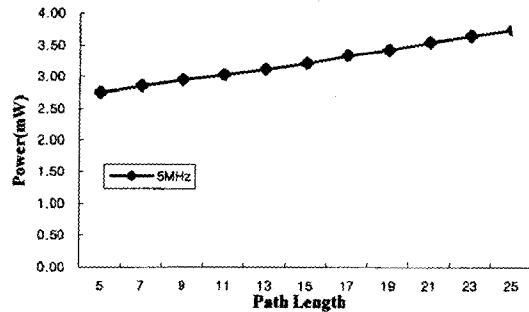


그림 7 Routing Path에 따른 전력 소모 그래프

4. 결론 및 향후 연구 방향

본 논문에서는 DM(Digital Multimeter)에서는 측정이 불가능했고, 오실로스코프에서는 눈으로 확인은 할 수 있으나, 분석이 불가능했던, 동적 에너지(Dynamic Energy)를 측정할 수도 있고 분석도 가능한 SECF대해 설명하였다. 그리고 SECF를 이용한 몇 가지 실험과 그 실험 결과를 제시하였다. SECF인 경우는 기존 연구들이 제시했던 FPGA 전력 예측기의 단점인 큰 오차를 극복할 수 있다. 이러한 SECF의 장점을 이용해 현재는 FPGA에 내에서 속도(Speed)와 공간(Area)의 최적화와 전력소모와의 상관관계 연구하고 있으며, 더 나아가서는 기존 시뮬레이션을 이용한 전력 최적화 연구[5,6]와 그 근본 데이터를 달리해 다양한 실험을 통한 실측 데이터로 FPGA의 에너지 소모 방식을 모델링 하여 이를 기반으로 FPGA의 전력소모를 줄이는 것을 진행해 나갈 것이다.

참고문헌

- [1] Naehyuck Chang, Kwanho Kim, and Hyun Gyu Lee, "Cycle-Accurate Energy Consumption Measurement and Analysis: Case Study of ARM7TDMI," *IEEE Transactions on VLSI Systems*, Vol. 10, pp. 146 - 154, Apr., 2002.
- [2] E. A. Kusse, "Analysis and circuit design for a low power programmable logic modules," Master's thesis, Dept. of Electrical Engineering and Computer Science, University of California at Berkeley, 1998.
- [3] Timothy Osmulski et al., "A Probabilistic Power Prediction Tool for the Xilinx 4000-Series FPGA," *EHPC 2000*, pp. 776-783, May 2000.
- [4] C-S. Chen, T. Hwang, C. L. Lui, "Low Power FPGA Design - A Re-Engineering Approach," *DAC-34*, pp. 656-661, Jun 1997.
- [5] B. Kumthekar, L. Benini, E. Macii, F. Somenzi, "In-Place Power Optimization for LUT-Based FPGAs Tech". Rep., Dept. of ECE Univ. of Colorado, Oct. 1997
- [6] M. Alexander, "Power Optimization for FPGA Look-Up Tables," *ISPD-97*, pp.156-162, Apr 1997.
- [7] Varghese George, Hui Zhang, and Jan Rabaey, "The Design of a Low Energy FPGA", in *International Symposium on Low Power Electronics and Design*, 1999.