

네트워크 프로세서를 이용한 기가비트 이더넷 라인 정합 제어기 구현

김 용 태, 이 강 복, 이 형 섭
한국전자통신연구원 네트워크 연구소
전화 : 042-860-4876 / 핸드폰 : 019-9742-2321

Implementation of Gigabit Ethernet Line Interface Controller using Network Processor

Yong Tae Kim, Kang Bok Lee, Hyung Sub Lee
Network Laboratory, ETRI
E-mail : kimyt@etri.re.kr

Abstract

In this paper, we propose a structure of 80Gbps high speed router and a gigabit Ethernet line interface board. Having programmability, network processor is applied to gigabit Ethernet line interface board. Also, we propose a new method to upgrade image files that consist of operating system and drivers. It is possible to upgrade image files for several boards at once and to reduce the elapsed time for image upgrade using the proposed method.

I. 서론

초기의 10Mbps의 이더넷을 근간으로 한 LAN 환경은 최근의 인터넷이나 인트라넷상의 데이터량의 폭발적인 증가로 네트워크 컴퓨팅의 병목현상의 원인으로 지적되어 왔다. 이런 상황에서 1990년대 초 LAN 고속화를 위한 비동기 전송 모드(ATM : Asynchronous Transfer Mode)와 100Mbps의 고속 이더넷(Fast Ethernet)이 등장했지만, 이는 기가비트 이더넷의 과도기적 형태를 가졌다. 기가비트 이더넷은 비동기 전송 모드와는 달리 기존의 10Mbps의 이더넷 전송속도에

복잡한 기술의 추가 없이 100배의 속도로 확장 가능하기 때문에 네트워크의 병목 구간인 고속의 백본과 서버의 연결이나 메트로 이더넷과 백본망 사이에 쉽게 적용된다.

한편, 기가비트 이더넷을 백본망에 적용하기 위하여 최근의 네트워크 장비는 고속화와 유연한 패킷 처리를 동시에 제공하는 네트워크 프로세서를 사용한다. 네트워크 프로세서는 OSI 3~7 계층까지의 기능을 프로그램 가능한 하드웨어로 구현한 것으로 내부 구조적으로 네트워크 프로토콜 명령어 처리를 위하여 여러 개의 범용 RSIC(Reduced Instruction Set Computer)를 병렬적으로 동작하게 구현하고, 라우팅 테이블 처리를 위한 프로세서와의 정합 부분과 패킷 처리를 위한 메모리와의 정합 부분을 가진다. 본 논문에서는 기가비트 이더넷 정합 기술이 적용된 80Gbps급의 고속 라우터의 구조와 물리 계층 정합 부분인 기가비트 이더넷 라인 정합 보드의 구현 방안과 각각의 라인 정합 보드의 이미지 파일을 관리하기 위한 새로운 방법의 이미지 파일 업그레이드 기법을 제시한다.

본 논문의 구성은 다음과 같다. 2장에서는 본 논문을 통하여 연구된 기가비트 이더넷 라인 정합 보드가 적용되는 고속 라우터 시스템의 구조와 기능에 대한 고찰이 이루어지고 3장에서는 구현하고자 하는 기가비

트 이더넷 라인 정합 보드의 구조와 특성, 시험환경 및 결과에 대하여 설명하고, 라우터 시스템에서의 각각의 라인 정합 보드를 구동하는 이미지 파일을 관리하는 이미지 파일 업그레이드 기법을 제시하고 4장에서 본 논문의 결론을 맺는다.

II. 고속 라우터 시스템 구조

80Gbps 급 고속 라우터 시스템은 그림 1과 같이 LAN 기반형의 에지형 라우터 시스템으로 외부 물리 계층 정합 종류별로 Gigabit Ethernet, OC-48급의 2.5Gbps POS(Packet Over SONET), 그리고 622Mbps ATM의 링크 정합을 가지고 기능별 분류별로 전체 시스템을 관리하는 라우팅 프로세서 보드(Routing Processing Unit), 물리층 정합을 위한 라인 정합 보드(Line Interface Board), 패킷 스위칭을 위한 스위치 보드(Switch Board), 시스템내의 각각의 모듈간 통신을 위한 IPC(Inter-Processor Communication) 보드의 4종류의 보드로 구성 하였고 신뢰성 있는 동작을 위하여 전원 모듈, 스위치 보드, 그리고 라우팅 프로세서 보드를 동작 상태와 대기 상태를 가지는 이중화 형태로 구성한다.

한편, 고속 라우터 시스템의 소프트웨어는 커널 모드와 사용자 모드에서 수행한다. 커널 모드에서는 해당 패킷을 처리하는 프로토콜 기능(TCP, UDP, IP, ICMP, ARP)과 라우팅 테이블 관리를 수행 하고, 사용자 모드에서는 라우팅 프로토콜 기능, 시스템 운용 관리 기능과 응용 프로토콜 기능을 수행한다.

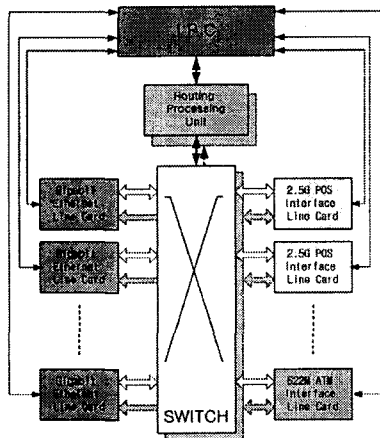


그림 1. 고속 라우터 시스템 구조

III. 기가비트 이더넷 라인 정합 제어기

3.1 기가비트 이더넷 라인 정합 보드 구조

네트워크 프로세서를 이용한 기가비트 이더넷 라인 정합 보드는 그림 2와 같이 물리 계층, 데이터 링크 계층과 네트워크 계층 이상의 상위 계층으로 구분 할 수 있다. 광 신호를 전기적 신호로 변환하는 물리 계층은 SX(Short Wavelength : 770~850nm, 최대 550m) 또는 LX(Long Wavelength : 1270~1355nm, 최대 5km) 타입의 광모듈을 이용하여 외부와의 접속 기능을 구현 하고, PMA(Physical Medium Attachment)에 해당하는 SerDes 칩과 TBI(Ten Bits Interface)를 이루는 PCS(Physical Coding Sublayer)부분으로 구성된다. 데이터 링크 계층은 보통 기가비트 MAC칩으로 구성하는데 최근에는 MAC기능과 PCS 기능이 네트워크 프로세서 내부에 포함되어 있어서 레지스터 조작으로 GMII(Gigabit Media Independent Interface) 또는 TBI를 선택 할 수 있다. 한편 상위 계층을 이루는 네트워크 프로세서는 입력 패킷의 헤더 부분은 내부의 병렬 프로세서(RISC)에서 처리하고 데이터 부분(payload)은 네트워크 프로세서의 메모리 정합 부분에 연결되어 있는 고속의 외부 메모리에 임시 저장한다. 패킷의 헤더 부분은 네트워크 프로세서 내부의 룩업 과정을 거친 후 새로운 정보를 가지는 헤더로 갱신한 후 외부 메모리의 데이터 부분과 합쳐서 스위치 정합으로 보낸다. 라인 정합 보드내의 스위치 정합 부분(transceiver)은 백플레인을 통한 스위치 보드와의 패킷 전달을 위하여 저속의 병렬 데이터를 고속의 직렬 데이터로 변환 시킨다.

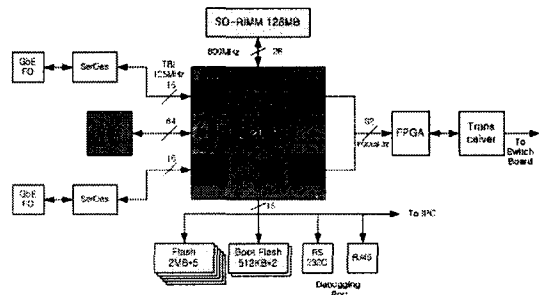


그림 2. 기가비트 이더넷 라인 정합 보드 구조

본 논문에서 제시한 기가비트 이더넷 라인 정합 보드의 네트워크 프로세서는 Vitesse사의 IQ2000을 사용하였고 보드를 제어하기 위하여 사용한 LPM(Line Processor Module)은 MIPS사의 RM7000을 이용하였다. 한편 고속의 패킷 처리를 위한 외부 메모리로 128MB의 SO-RIMM을 사용하였고, 스위치 정합은 Vitesse사의 스위치 규격인 CrossStream을 이용하여 구성하였고 스위치 칩과 네트워크 프로세서간의 정합을 위하여 FPGA(Field Programmable Gate Array)를 사용하였다. 그리고 외부 모니터를 위한 직렬 포트와 IPC 통신을 위한 이더넷 포트를 제공한다.

3.2 기가비트 이더넷 라인 정합 보드의 구현

본 논문에서 제시한 기가비트 이더넷 라인 정합 보드의 구현은 그림 3과 같다. 보드를 하드웨어적으로 구현할 때 가장 유의해야 할 부분은 고속의 램버스 메모리의 PCB 라우팅 부분이다. 램버스 메모리를 라우팅할 때는 26개의 고속의 데이터 라인을 램버스 메모리 제어기 칩 내부의 실리콘 다이(die)에서 외부 핀까지 연결된 선 길이를 고려하여 10^{-3} cm의 오차 범위 내에서 PCB에 구현되는 데이터 라인의 길이를 맞추어야 램버스 메모리의 정상 동작을 기대할 수 있다. 또한, 램버스 메모리의 엄격한 파워 공급을 위하여 파워 공급 층을 메인보드와 따로 분리하고 별도의 regulator를 이용하여 2.5V와 1.8V를 독립적으로 공급한다.

한편, 보드가 초기화 과정을 거친 후 네트워크 프로세서 내부의 MAC의 정상 동작의 측정을 위하여 네트워크 프로세서와 PMA 사이의 10비트를 측정하여 표 1과 같은 코드 그룹이 나오는지 확인하여야 한다.

즉, MAC이 정상 동작하면 PCS와 PMA사이의 10비트(TBI)의 RD(Running Disparity)의 값이 설정(configuration)

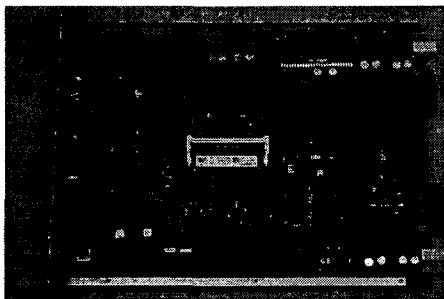


그림 3. 기가비트 이더넷 라인 정합 보드

표 1. 8B/10B 부호 변환

코드 그룹명	옥텟 비트 HGF EDCBA	Current RD- abcdei fghj	Current RD+ abcdei fghj
K27.7	111 11011	110110 1000	001001 0111
K29.7	111 11101	101110 1000	010001 0111
K23.7	111 10111	111010 1000	000101 0111
K28.5	101 11100	001111 1010	110000 0101
D5.6	110 00101	101001 0110	101001 0110
D16.2	010 10000	011011 0101	100100 0101

ordered set 이후에 /K27.7/의 /S/ ordered set을 시작으로 데이터 부호들이 나온 후 마지막으로 /K29.7/(/T/), /K23.7/(/R/), /K28.5/D16.2/(/I/)의 순서로 ordered sets이 나온다.

3.3 시험 환경 및 결과

본 논문에서 제안한 기가비트 이더넷 라인 정합 보드의 시험을 위하여 패킷 생성·분석기인 SmartBits를 사용하였다. 네트워크 프로세서의 최대 성능을 검증하기 위하여 SmartBits으로 60Bytes의 최소 크기의 패킷을 생성하였다. 패킷의 시험 경로별로 기가비트 이더넷 라인 정합 보드 자체의 성능 시험을 위한 루프백(loop-back) 시험과 각각의 라인 정합 보드간의 시험으로 구분한다.

그림 4는 라인 정합 보드의 루프백 시험을 나타낸다. 점선 부분의 A는 네트워크 프로세서의 스위치 정합 부분에서 패킷을 루프백 시킨 경우이고 실선 부분의 B는 스위치 보드에서 루프백을 시킨 경우이다. A의 경우는 99% 패킷 전송율을 나타내었고 B의 경우는 95%의 패킷 전송율을 나타내었다. 그리고 라인 정합 보드간의 시험은 90%의 패킷 전송율을 보였다.

이 시험의 결과에서 패킷의 손실은 네트워크 프로세서의 성능과 네트워크 프로세서와 스위치 보드의 정합을 위하여 설계한 FPGA의 성능 때문에 발생하였다. 이를 극복하기 위하여 FPGA에서 선 중재(Early Arbitration)기능의 구현이 필요하다.

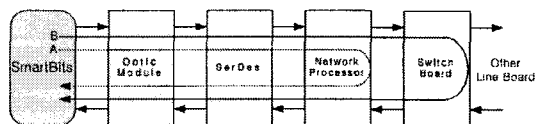


그림 4. 라인 정합 보드의 루프백 시험

3.4 라우터 시스템의 이미지 파일 관리

고속 라우터 시스템의 물리 계층 정합 부분인 라인 정합 보드는 내부의 자원을 관리하기 위한 프로세서(LPM)를 가지고 있다. 또한 라인 정합 보드의 동작을 위하여 운영체제(Operating System)와 드라이버 등을 포함하는 이미지 파일을 가진다. 일반적으로 라인 정합 보드의 이미지 파일을 업그레이드 할 때 운용자가 각각의 보드에 있는 부트 롬(Boot Rom)을 교체하거나 단말기를 이용하여 각각의 보드에 있는 플래시 메모리로 새로운 이미지를 다운로드한다. 이런 일련의 과정은 운용자의 실수를 유발하거나 긴 시스템의 정지 시간을 가지게 된다. 따라서 이 절에서는 라우팅 프로세서 보드의 판단 하에 전체 라우터 시스템의 동작을 멈추지 않고 새로운 이미지를 업그레이드 하는 방법을 제시하고자 한다.

본 논문에서 제시한 이미지 파일의 업그레이드 방법은 그림 5의 순서도로 요약된다. 그림 5의 좌측 순서도는 단말기를 통한 라우팅 프로세서 보드로의 이미지 파일의 다운로드 과정을 나타낸다. 라우팅 프로세서는 라인 정합 보드의 이미지 파일 버전을 확인한 후 신규 이미지 파일의 버전이 높으면 플래시 메모리로 이미지 파일을 복사한다. 한편, 그림 5의 우측 순서도는 각각



그림 6. 이미지 파일의 헤더 구조

의 라인 정합 보드에서의 이미지 파일 업그레이드 방법을 나타낸다. 라우팅 프로세서 보드는 IPC를 통하여 각각의 라인 정합 보드에 이미지 파일을 다운로드 한다. 다운로드가 정상적으로 완료되면 라인 프로세서는 신규 이미지 파일을 플래시 메모리의 임시영역으로 복사한다. 한편, 라우팅 프로세서는 라인 정합 보드의 패킷 부하와 패킷의 우선순위를 판단해서 보드를 선택한 후 초기화 과정을 수행한다. 라인 정합 보드는 초기화 과정을 수행하면서 플래시 메모리의 임시 영역을 조사해서 새로운 이미지 파일이 존재하면 새로운 이미지 파일로 초기화를 수행하고 정상적인 초기화 과정을 완료하면 신규 이미지 파일을 플래시 메모리의 부트 영역으로 복사한다. 각각의 라인 정합 보드는 일련의 과정을 거쳐서 신규 이미지 파일을 업그레이드 한다. 그림 6은 제시한 업그레이드 방법을 위한 이미지 파일의 헤더 구조를 나타내고 VER은 이미지 파일의 버전, ST ADDR은 이미지 파일의 시작 주소를 나타낸다.

IV. 결론

본 논문에서는 기가비트 이더넷 라인 정합 기술이 적용된 80Gbps급 고속 라우터와 기가비트 이더넷 라인 정합 보드의 구조에 대하여 설명하였다. 그리고 기가비트 이더넷 라인 정합 보드의 실제 구현 방안, 시험 결과와 각각의 라인 정합 보드를 관리하는 이미지 파일의 업그레이드 방안을 제시하였다. 본 논문에서 제시한 기가비트 이더넷 라인 정합 보드는 네트워크 프로세서를 이용하여 실시간 패킷 처리가 가능하다. 또한 네트워크 프로세서를 이용함으로써 차세대 네트워크 망의 변화에 하드웨어적인 변화 없이 유연하게 대응할 수 있는 장점을 가진다.

Reference

- [1] IEEE Std 802.3, 2000 Edition "CSMA/CD Access Method and Physical Layer Specifications", 2000.
- [2] 송상섭 외, "Gigabit Ethernet 물리계층의 PCS 기능개발에 관한 연구", 한국전자통신연구원, 1999.
- [3] Rambus and Sitera, "Rambus Layout Guide"
- [4] Vitesse, "IQ2000 Design Manual"

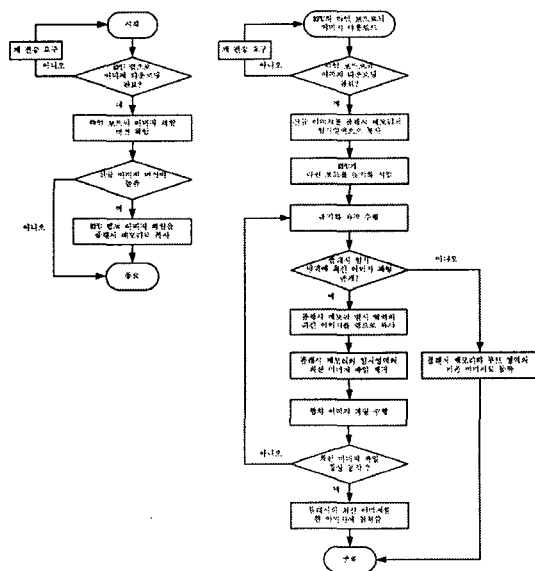


그림 5. 이미지 파일 업그레이드 방법 순서도