

무선통신시스템 상위 검증을 위한 SoC 베이스플랫폼의 설계

이진, 박신종

한국정보통신대학원대학교

전화 : 042-866-6907 / 핸드폰 : 011-9821-9544

Design of SoC Base Platform for Wireless Communication

Jin Lee, Sin-chong Park

System Integration Technology Institute, Information and Communications University

E-mail : mygenie@icu.ac.kr

Abstract

갈수록 복잡해져 가는 시스템을 한번에 하나의 칩까지 완성하기란 쉬운 일이 아니다. 컴퓨터에서 시뮬레이션이 정상적으로 되었다고 해서 완벽한 동작을 보장하는 것도 아니다. 전체 시스템을 검증하는 것도 컴퓨터 시뮬레이션으로는 불가능한 단계에 왔다. 이로 인하여 시스템 전체가 제대로 동작하는지 검증하기 위한 새로운 방법이 요구된다. 이러한 개념으로 접근하고자 하는 것이 본 논문에서 이야기할 플랫폼 기반의 SoC 설계이다.

이 논문에서는 임의의 무선통신시스템의 요구사항을 만족할 수 있는 베이스플랫폼 보드의 구조와 설계 시 고려되어야 할 점을 제안한다.

I. 서론

갈수록 복잡해져 가는 시스템을 한번에 하나의 칩까지 완성하기란 쉬운 일이 아니다. 컴퓨터에서 시뮬레이션이 정상적으로 되었다고 해서 완벽한 동작을 보장하는 것도 아니다. 뿐만 아니라 무선 데이터 통신을 위해서 사용되는 채널 코덱 등 한 두 가지 기능만 검증하는 것도 컴퓨터 시뮬레이션으로는 불가능한 단계에 왔다. 이로 인하여 시스템 전체가 제대로 동작하는지 검증하기 위한 새로운 방법이 요구되며, 이렇게 동

작이 검증된 설계가 자연스럽게 SoC로 이어질 수 있어야 한다. 이러한 개념으로 접근하고자 하는 것이 본 논문에서 이야기할 플랫폼 기반의 SoC 설계이다. 즉, SoC의 제작 이전에 시스템을 미리 보드 수준에서 시험해 볼 수 있는 프로토타입 형태의 베이스 플랫폼 보드를 설계하여 이 보드에서 전체의 시스템을 검증할 수 있다.

여러 SoC관련 회사에서는 빠른 프로토타입 제작을 위해서 SoC 플랫폼의 구조를 확립하여 그에 부합되는 테스트 보드를 제작한다. 특히 Parmchip에서는 CoreFrame이라는 SoC구조의 플랫폼을 제안하고 있다 [1]. 그리고 Philips에서는 ARM MCU와 AMBA 버스를 기반으로 하는 SoC 플랫폼 구조의 Rapid Silicon Prototyping이라는 디자인 스타일을 제시하고 있다.[2] ARM사에서는 PrimeXsys라는 플랫폼 구조를 제시한다.

본 논문은 II장에서 플랫폼 기반의 SoC 설계 과정을 정의하며, III장에서 무선통신 시스템이 요구하는 사항을 분석하여 플랫폼 구조를 제시한다. IV장에서는 III장에서 다룬 무선통신시스템의 요구사항과 플랫폼 구조를 만족시키는 MPC8265를 기반으로 하는 베이스 플랫폼의 설계에 대해서 다룬다.

II. 플랫폼 기반의 SoC 설계 과정

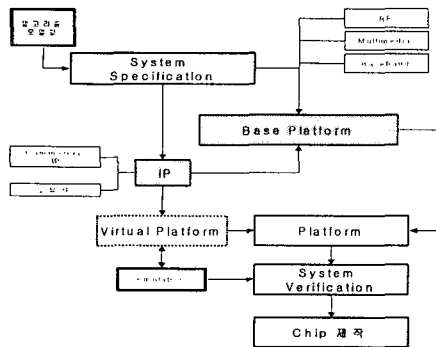
플랫폼 기반의 SoC 설계과정은 시스템 specification

에서 시작하여 시스템의 기능 검증을 한 후 SW/HW partitioning 단계를 거치게 된다. SW와 HW로 양분된 시스템의 각 블록 중 SW part는 C like language로 HW part는 VHDL같은 HDL language로 구현이 된다. 이 결과물들은 각 part의 검증단계를 거친 후 SW/HW co-simulation/emulation 단계를 거쳐서 미리 준비된 베이스플랫폼에 장착되어 테스트 벤치 형태로 최종 검증을 하게 된다.

베이스 플랫폼은 다양한 설계에 적용될 수 있도록 설계가 되어야 하며, 이러한 베이스 플랫폼을 보유함으로써 해서 테스트 벤치의 제작을 위한 시간을 절약할 수가 있다.

베이스플랫폼이란 HW/SW partition을 통해서 분리된 HW가 동작할 수 있는 FPGA와 SW가 동작할 수 있는 MCU 및 DSP가 중심이다. 또한, 외부 인터페이스 및 동작 확인을 위한 주변 I/O장치가 확보되어야 한다.

SoC의 궁극적인 목적인 IP의 재사용이 완벽히 실행된다면, 베이스플랫폼을 구축함으로써 해서 시스템 specification 단계를 거쳐 sub-block으로 나뉘어진 system은 각각의 sub-block에 대한 IP의 제작 및 구매를 거쳐 상위 레벨의 검증을 실제 chip과 유사한 환경에서 실시할 수 있다. 베이스플랫폼을 이용한 SoC 디자인 과정은 그림 1과 같이 변형된다.



[SIP SoC 설계도]

그림 1 Platform based design flow

III. 무선통신시스템의 SoC 플랫폼

SoC란 하드웨어와 소프트웨어가 공존하는 시스템으로 일반적으로 MCU와 DSP의 프로세서와 각종 메모리, 하드웨어 IP, 각 구성요소를 연결하는 버스 등으로

구성된다. 또한 SoC 플랫폼에는 OS도 포함된다. 여러 SoC관련 회사에서는 빠른 프로토타입 제작을 위해서 SoC 플랫폼의 구조를 확립하여 그에 부합되는 테스트 보드를 제작한다. 특히 Parmchip에서는 CoreFrame이라는 SoC구조의 플랫폼을 제안하고 있다[1]. 그리고 Philips에서는 ARM MCU와 AMBA 버스를 기반으로 하는 SoC 플랫폼 구조의 Rapid Silicon Prototyping이라는 디자인 스타일을 제시하고 있다.[2] ARM사에서는 PrimeXsys라는 플랫폼 구조를 제시한다.

무선통신시스템을 위한 SoC 플랫폼 구조를 위해서는 우선 무선통신시스템의 요구사항을 분석하여야 한다.

3.1 무선통신시스템의 MCU 요구사항

무선통신시스템에서 소프트웨어로 구동되어지는 동작 중에 시간적인 임계 동작에서 요구되는 MCU성능을 분석하여 전체 무선통신 시스템이 요구하는 MCU성능을 예상할 수가 있다.

이 논문에서는 블루투스의 데이터 흐름을 제어하는 기능과 WCDMA의 핸드오버시 이루어지는 전력제어를 예로 예상되는 MCU성능을 MIPS값으로 계산한다. 우선 블루투스 시스템에서 패킷을 사용하기 위해서 레지스터에 데이터를 쓰고 읽는 기능을 고려하는데, 그림 2와 같이 데이터 송신 중에 몇 가지 중요한 파라미터가 MCU를 통해 전달되고, 이를 저장하는 동작을 역시 MCU가 수행하게 된다.

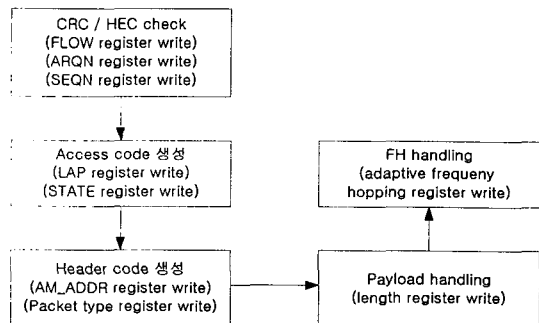


그림 2 블루투스 시스템의 흐름 제어

그림 1의 알고리즘을 C 코딩하여 컴파일한 결과 954개의 인스트럭션으로 이루어짐을 확인할 수가 있었다. 단, 컴파일러 및 타겟 MCU의 종류에 따라서 인스트럭션의 수는 차이가 날 수가 있다. 그림 1의 알고리즘은 블루투스 시스템의 기본 시간 단위인 한 slot 시간 625ussec 내에 수행되어야 하므로 1.53MIPS가 요구된다. 시스템 마진을 2.5배로 하고, 동시에 수행되는 태스크가 5개라고 하여 그림 1의 알고리즘이 1 slot내에

수행되기 위해서는 오버헤드 마진이 12.5가 필요하다. 따라서, 블루투스 시스템의 데이터 흐름 제어 기능은 19.1 MIPS이상의 성능을 내는 MCU가 필요함을 알 수 있다.

다음으로 WCDMA 시스템의 핸드오버시 필요한 전력 제어 알고리즘에 대해 살펴보면, 블루투스의 경우와 마찬가지로 알고리즘을 C로 작성한 다음 컴파일 후 1895개의 인스트럭션이 수행되어야 함을 확인하였다. WCDMA 시스템의 핸드오버시 필요한 전력제어는 1초에 1500번 수행된다. 즉 0.667ms안에 수행되어야 한다. WCDMA 시스템은 시스템 마진을 2.5라 하고, 전력제어 및 L1/L2 상위 계층 소프트웨어 프로그램과 핸드오버, Searcher의 컨트롤, DSP 중 프로세서와의 통신 등 동시에 수행하여야 하는 최대 task 수가 많기 때문에 동시에 수행되는 task를 10이라 하여 오버헤드 마진 25가 필요하다. 따라서 WCDMA 시스템에서는 최소 70MIPS 이상의 MCU성능을 요구한다.

3.2 무선통신시스템의 OS 요구 사항

무선통신시스템은 리얼타임 시스템으로 OS는 인터럽트에 대한 즉각적인 반응이 요구된다. 즉, 무선통신 시스템에서 가장 민감하게 고려하여야 할 OS의 성능 지표는 그림 3에서 표시하는 인터럽트 서비스 응답(ISR) 지연시간이다.

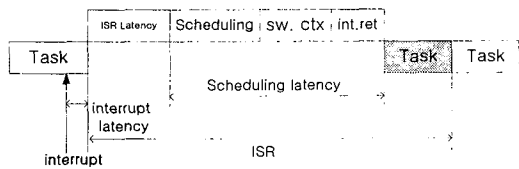


그림 3 인터럽트 처리를 위한 지연시간

WCDMA의 전력제어를 예를 든다면, 전력제어 요구를 위한 인터럽트 이후에 OS는 최대 0.667ms이내에 인터럽트에 대한 서비스 즉 전력제어 프로그램을 실행시켜야 한다. 하지만, 전력제어 프로그램을 완료하여 전력제어에 관한 정보를 물리계층에 전달하기까지 0.667ms 내에 수행되어야 하므로 ISR은 200us이내여야 한다.

Microsoft에서는 [3]에서 WinCE 3.0 임베디드 OS는 Pentium 100MHz MCU를 사용한 측정에서 최대 163 usec, 평균 28.7 usec의 인터럽트 처리를 위한 지연시간을 얻었음을 발표하였다. 또한 [4]에서는 IBM PPC 403 MCU환경에서 VxWorks RTOS의 인터럽트 처리 지연시간을 측정하여 평균 80uscc의 측정값을 얻었다.

3.3 무선통신시스템의 주변장치의 요구사항

무선통신시스템은 물론 SoC 플랫폼에서는 기본적으로 MCU의 BIST(Built In Self Test) 및 scan, boundary scan test를 위한 IEEE 1149.1을 따르는 test port와 cross compile 및 저속 host communication을 위한 UART가 지원되어야 한다.

각 무선통신시스템에서 요구되는 peripheral 입출력 장치의 요구사항은 다음과 같다.

블루투스 시스템은 표준서에 UART와 USB1.1을 이용한 host communication interface를 제시하고 있으며, Laptop 컴퓨터 및 데스크탑 컴퓨터의 서브 시스템으로 사용될 수 있도록 PCMCIA 및 PCI slave 모드가 지원되어야 한다.

802.11a 무선 LAN 시스템은 항상 laptop 또는 desktop의 서브 시스템으로 사용되어지므로, PCMCIA 및 PCI slave 모드가 지원되어야 하며, Access point인 경우는 유선 네트워크와 연결이 되어야 하므로 10/100 based Ethernet도 지원되어야 한다.

WCDMA 시스템의 경우 멀티미디어를 위한 color LCD가 지원되어야 하며, DSP 서브프로세서가 요구된다.

3.4 무선통신시스템을 위한 플랫폼 구조

플랫폼의 MCU는 3.1에서 살펴본 MIPS요구사항을 만족하여야 하며, 3.3에서 살펴본 주변장치들을 지원하여야 한다. 현재 사용되는 WinCE 3.0 및 VxWorks 임베디드 Linux는 3.2에서 살펴본 요구사항을 만족한다.

위에서 살펴본 무선통신시스템의 요구사항을 기반으로 그림 4와 같은 플랫폼 구조를 제안한다.

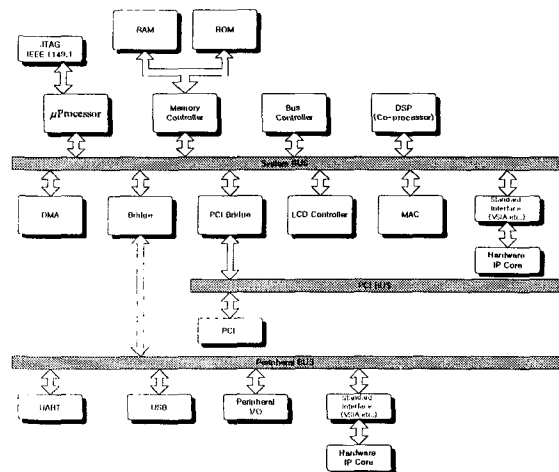


그림 4 무선통신시스템 SoC 플랫폼 구조

IV. 베이스 플랫폼의 설계

III에서 살펴본 플랫폼의 구조를 따르는 베이스 플랫폼의 제작을 위하여 Motorola PowerPC QUICCII MPC8265를 사용하였다.

MPC8265는 300MHz에서 420 Dhrystones MIPS의 성능을 가지며, 16K-byte의 인스트럭션, 데이터 캐쉬를 내장하고 있다. MPC8265는 SRAM, SDRAM, DRAM, EPROM, Flash를 지원하는 메모리 컨트롤러를 포함하며 통신 서브 프로세서인 CPM에서 UART와 Ethernet을 지원한다. 또한 PCI bridge가 내장되어 있다.

베이스 플랫폼 보드는 그림 5와 같이 구성된다. MPC8265가 탑재되는 main board와 하드웨어 IP(물리계층)를 위한 FPGA board RF시스템을 위한 RF module 및 DSP 서브 프로세서를 위한 DSP board로 구성된다.

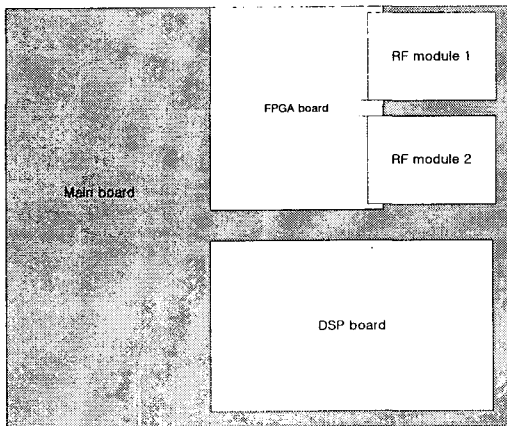


그림 5 베이스플랫폼 보드의 구조

4.1 DSP와의 인터페이스

DSP 서브 프로세서를 위한 인터페이스를 위하여 무선통신시스템에서 요구되는 DSP와 MCU사이의 통신속도를 구해본다. WCDMA시스템의 멀티미디어 소스코딩에 DSP를 사용할 경우 크게 2가지 경우에 DSP와 MCU사이의 데이터 통신이 요구된다. 첫 번째는 소스 인코딩된 데이터를 물리계층으로 전송할 때이고, 두 번째는 소스 디코딩된 데이터를 LCD에 출력할 때이다. 두 번째 경우가 더 큰 통신 속도가 요구된다. 176x144 픽셀의 디스플레이를 사용하고, YUV방식의 데이터 포맷을 가정하자. 최대 초당 15프레임으로 구성된 멀티미디어 동영상을 출력하고자 할 경우 DSP와 MCU의 통신속도는 573,480byte/sec가 요구된다. RGB

방식의 데이터 포맷을 가정할 경우는 1,146,960byte/sec가 요구된다. TI사의 TMS320계열의 DSP를 사용할 경우 내부의 HPI 또는 EHPI를 이용하여 MCU와 인터페이스를 할 수가 있다. [5]에서 실험적으로 구한 최대 HPI 전송속도는 TMS320C6201 200MHz DSP의 경우 외부 SDRAM의 데이터를 MCU가 접근 할 경우는 read시 24.2Mbytes/s, write시 38Mbytes/s이다.

V. 결론

SoC설계에 있어서 시스템의 복잡도가 증가함에 따라 시스템 전체가 제대로 동작하는지 검증하기 위한 새로운 방법이 요구된다. 또한 동작이 검증된 설계가 자연스럽게 SoC로 이어질 수 있어야 한다. 이러한 개념으로 접근하고자 하는 것이 본 논문에서 이야기한 플랫폼 기반의 SoC 설계이다. 즉, SoC의 제작 이전에 시스템을 미리 보드 수준에서 시험해 볼 수 있는 프로토타입 형태의 베이스 플랫폼 보드를 설계하여 이 보드에서 전체의 시스템을 검증할 수 있다.

본 논문은 무선통신시스템이 요구하는 사항을 분석하고, 이를 만족시킬 수 있는 플랫폼 및 베이스 플랫폼의 구조를 제시하였다.

본 논문에서 제시한 MPC8265 기반의 베이스 플랫폼은 현재 핫 이슈가 되고 있는 무선통신시스템의 요구사항을 전부 만족시킬 수 있으며, 차세대무선통신시스템에도 적용될 수가 있어서 무선통신시스템의 SoC 설계에 테스트벤치로 사용될 수가 있다.

참고문헌(또는 Reference)

- [1] Bill Cordan, "An Efficient Bus Architecture for System-on-Chip Design" 1999 IEEE Custom Integrated Circuits Conference.
- [2] Richard Foster, "A Design Style to Simplify IP Integration and Verification", VLSI Technology, Inc.
- [3] Oliver Gabner외 4인, "Assessing Microsoft Windows CE 3.0 Real-Time Capabilities", Siemens AG. 2001
- [4] Karlheinz Weiß, "Performance Analysis of a RTOS by Emulation of an Embedded System," Rapid System Prototyping, 1999. IEEE international Workshop on, 1999 Page(s):146-151
- [5] "TMS320C6201/6701 DSP Host Port Interface Performance", www.ti.com