

Molybdenum 게이트를 적용한 저온 SLS 다결정 TFT 소자 제작과 특성분석에 관한 연구

고영운, 오재영*, 김동환*, 박정호
 고려대학교 전기공학과, 고려대학교 재료금속공학과*

Low Temperature Sequential Lateral Solidification(SLS) Poly-Si Thin Film Transistor(TFT) with Molybdenum Gate

Youngwoon Kho, Jaeyoung Oh*, Donghwan Kim*, Jungho Pak.
 Department of Electrical Engineering, Korea University,
 Department of Material Science and Engineering, Korea University*.

Abstract - Liquid crystal displays(LCDs)의 스위칭 소자로써 thin film transistors(TFTs)를 적용하기 위해서, 저온 공정이 가능하도록 molybdenum 금속을 게이트에 사용하여 저온 다결정 TFTs 소자를 제작하였다. 또한, 채널 길이 방향으로 결정화를 성장시켜 결정립이 큰 다결정 실리콘을 얻을 수 있는 sequential lateral solidification(SLS) 결정화 방법을 사용하였다. SLS-TFT 소자를 2 μ m에서 20 μ m까지의 다양한 채널 길이와 폭으로 제작한 후 각 소자들의 I-V 특성 곡선과 소자의 물성 분석을 위해 필요한 변수들을 구하여 이들의 전기적인 특성을 비교, 분석하였다. 제작된 소자들로부터 측정된 이동도는 100~400 cm²/Vs, on/off 전류비는 약 10⁷, off-state 전류는 약 100×10⁻¹²A로 대체적으로 우수한 특성을 보였다.

1. 서 론

TFT-LCD 시장에서 지난 10여년 이상 소자 재료의 주류를 이루고 있는 비정질 실리콘은 낮은 이동도와 높은 기생 capacitance, 낮은 개구율 등의 문제점을 가지고 있다. 반면, 다결정 실리콘을 이용한 TFT는 높은 이동도 및 CMOS 공정과의 호환성, 작은 화소 크기, 높은 개구율을 갖는 pixel TFT와 기판 표면에 집적화가 가능한 구동회로 형성 등의 장점을 갖는다. 그러나 다결정 실리콘을 active matrix liquid crystal display(AMLCD)용의 TFT에 적용할 경우, 비디오 신호를 유지하는 동안 pixel에서의 누설 전류가 비정질 실리콘으로 제작한 소자보다 크다. 이런 문제를 해결하기 위한 방법 중의 하나가 결정립의 크기를 증대시키는 것이고 결정립의 크기와 방향을 조절하면 이동도의 향상과 누설전류의 감소를 얻을 수 있다[1].

결정립 크기를 향상시키기 위한 방법으로는 크게 excimer laser annealing(ELA)와 solid phase crystallization(SPC)의 두 가지 방법이 많이 사용되는데, ELA 방법이 기판의 온도 상승없이 훨씬 큰 결정립을 효율적으로 얻을 수 있는 장점이 있어 많은 연구가 진행되고 있고 또한 좋은 결과들을 보여주고 있다[2].

본 논문에서는, ELA 방법중의 하나인 sequential lateral solidification(SLS) 방법을 이용하여 비정질 실리콘을 다결정 실리콘으로 결정화하였다. SLS 방법은 패턴된 마스크를 통해 레이저를 조사하면서 기판을 일정거리 만큼 이동시켜서 원하는 방향으로 연속적인 결정립의 성장을 유도하는 방법이다. 이 방법으로 채널의 길이 방향으로 결정립을 성장시키면, 결정립이 크고 결정립 경계가 적은 다결정 실리콘을 얻을 수 있는 장점이 있다[3,4].

또한 저온공정이 가능하도록 molybdenum을 게이트에 적용하여 저온 다결정 TFT를 제작하였으며, 2 μ m에서 20 μ m까지의 다양한 채널 길이와 폭으로 제작된 TFT 소자의 전류-전압 특성과 소자의 물성을 분석하는데 필요한 다양한 변수들을 추출하여 비교, 분석하였다.

2. 본 론

2.1 Mo gate SLS poly-Si TFT 소자의 제작

실리콘 기판에 buffer oxide를 PECVD로 3000Å 두께로 증착하였고, 비정질 실리콘을 300°C에서 PECVD로 550Å 두께로 증착하였다. 그리고 막이 증착된 상태에서 탈수소화를 430°C에서 2시간 동안 진행한 후 SLS 결정화를 진행하였다. 위의 준비된 시료에 대해 310mJ/cm²의 에너지 밀도를 가지는 2 μ m 폭의 XeCl 레이저빔을 0.6 μ m step/pulse 만큼 시료에 대해서 그림 1처럼 수평 방향으로 이동시키면서 조사하였다.

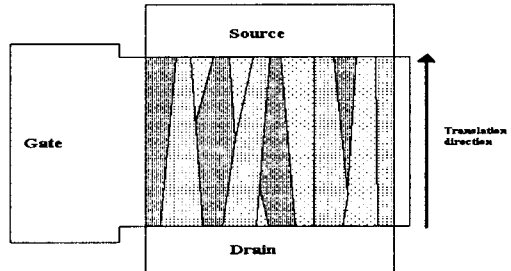


그림 1. SLS poly-Si TFT의 grain boundary

결정화 공정 후 소자의 활성영역을 정의하고 gate oxide는 300°C에서 PECVD oxide를 1000Å 증착하였으며, gate로 사용될 molybdenum을 evaporation 방법으로 3000Å 두께로 증착하였다. Phosphorus 불순물을 ion shower 방식을 이용하여 소스 및 드레인에 주입한 후, 불순물 이온들의 활성화를 위해서 550°C에서 2시간 동안 thermal annealing을 진행하였다. 금속 배선과의 절연을 위해서 300°C에서 PECVD로 oxide와 nitride를 각각 3000Å, 1000Å 두께로 증착하였고, 금속 배선을 위해서 1%Si-Al을 5000Å 두께로 증착하였다. 마지막으로 금속과 활성영역 사이의 원활한 contact 형성을 위해서 450°C에서 30분 동안 열처리를 진행하여 coplanar type SLS n-type Poly-Si TFT 소자를 완성하였다. 그림 2는 제작된 소자의 contact hole을 식각한 후 금속 배선을 증착하기 전의 모습을 나타낸다.

게이트 물질로 사용된 molybdenum은 본 공정에서 이용된 불순물 활성화를 위한 thermal annealing 공정을 550°C정도의 저온 공정을 위해 적용한 것으로, aluminum과 동일한 일함수(4.2eV)를 갖으나, 열팽창 계수가 1/6 수준이기 때문에 hillock 등의 결정을 가지고 있는 Al보다 열 안정성이 우수한 장점을 갖는다.

소스와 드레인 영역의 ion shower 도핑과 thermal annealing 공정이 제대로 수행되었는지 알아보기 위해 Van der Pauw 패턴을 이용하여 면저항을 측정한 결과 Rs=503 Ω /□ 정도의 값을 얻을 수 있었다.

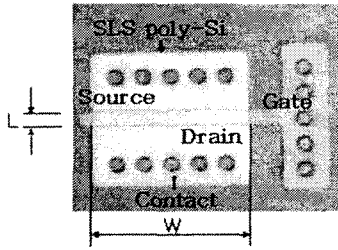


그림 2. 제작된 소자의 Top view optical image

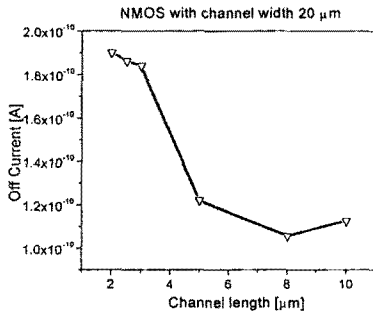


그림 3. 채널 길이의 변화(2μm부터 10μm)에 따른 누설전류 변화(채널 폭은 20μm).

Laser annealing 방법으로 불순물을 활성화시킨 경우 면저항값이 대략 수 kΩ/□인데 비해 [2] 비교적 낮은 값을 알 수 있다. 제작된 소자의 최대 제작 공정 온도는 thermal annealing 공정을 수행한 550°C이다.

2.2 제작된 소자의 전기적 특성 분석.

제작된 소자는 전형적인 coplanar type의 3단자(소스, 게이트, 드레인)로써 각각의 다양한 채널 길이와 폭을 갖는 TFT 소자의 I_D - V_G 특성 측정을 통해 누설전류, subthreshold slope, field effect mobility, threshold voltage 등의 전기적 특성들을 추출하였으며, 이 네 가지 전기적 특성을 비교하였다. 참고로 누설전류는 $V_D=5V$, $V_G=-10V$ 에서, subthreshold slope와 field effect mobility는 $V_D=0.1V$ 에서 측정된 값이다.

그림 3은 채널 길이 변화에 따른 누설전류를 나타낸 것이다. 채널 길이가 감소할수록 누설전류가 증가하는 것을 알 수 있는데, 이는 채널 길이가 감소할수록 poly-Si midgap에 있는 trap center를 통해서 열전자 방출이 증가하기 때문으로 판단된다. 이는 드레인 압력이 음의 방향으로 커질수록 더욱 심화된다[5]. 결정립의 크기가 커짐으로써 비정질 실리콘 TFT에 비해 다결정 실리콘의 누설전류가 큰 단점을 갖는데, 제작된 소자의 경우 200~100pA 정도의 값을 보였다. 이를 극복하기 위해 제작된 소자에는 적용되지 않았지만 offset gate 구조나 LDD 구조를 채용하여 누설전류를 1pA 수준 이하로 줄일 수 있다[2].

그림 4는 채널 길이 변화에 따른 field effect mobility 변화를 나타낸 것이다. 채널 길이가 감소할수록 field effect mobility가 감소함을 알 수 있다. field effect mobility는 채널내 존재하는 결정립의 크기, 결정립 경계의 수와 밀접한 관계를 갖는다. 결정립이 크고 결정립 경계의 수가 작을수록 field effect mobility는 커진다. 또한, 채널 길이 방향으로 결정립을 성장시켰다고 할지라도 채널내에 존재하는 결정립의 크기 및 결정

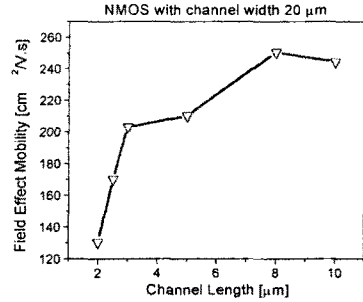


그림 4. 채널길이 변화(2μm부터 10μm)에 따른 field effect mobility 변화(채널 폭은 20μm).

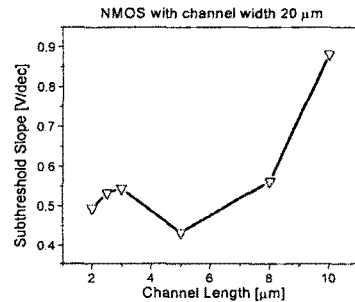


그림 5. 채널길이 변화(2μm부터 10μm)에 따른 subthreshold slope 변화(채널 폭은 20μm).

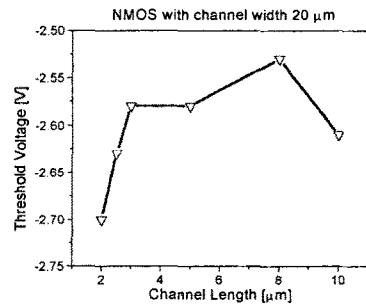


그림 6. 채널길이 변화(2μm부터 10μm)에 따른 threshold voltage 변화(채널 폭은 20μm).

립 경계의 uniformity에도 영향을 받는다. 그림 4에서 채널 길이가 감소할수록 field effect mobility가 작아지는 결과를 볼 수 있는데 이것은 채널 길이가 감소할수록 소스와 드레인 사이에 인가되는 전계가 커져서, 이 전계에 의해 전자 정공쌍이 생성될 확률이 높아지는데, 이때 생성된 전자 정공쌍에 의한 자유전자의 재결합으로 인한 자유전자의 life-time 감소가 주된 원인이라고 판단된다.

그림 5는 채널 길이 변화에 따른 subthreshold slope의 변화를 나타낸 것이다. 채널 길이가 8μm에서 2μm로 줄어들수록 subthreshold slope이 0.56V/dec에

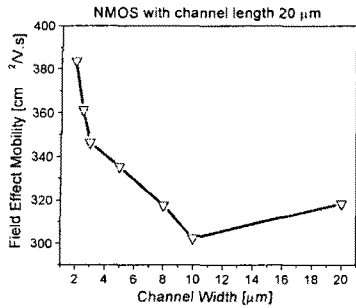


그림 7. 채널 폭 변화(2μm부터 10μm)에 따른 field effect mobility 변화(채널 길이는 20μm).

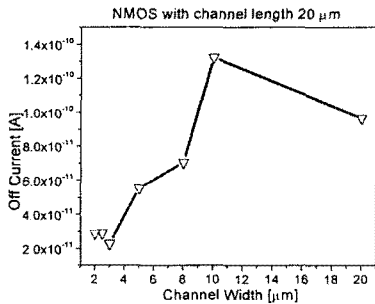


그림 8. 채널 폭 변화(2μm부터 10μm)에 따른 누설전류 변화(채널 길이는 20μm).

서 0.49V/dec로 감소하는 것을 알 수 있는데 실제적으로 없는 것을 알 수 있다.

그림 6은 채널 길이 변화에 따른 threshold voltage의 변화를 나타낸 것이다. 제작된 소자의 경우 threshold voltage가 음의 값을 갖고 있다. SLS를 이용하여 최초로 제작된 TFT의 경우에도 음의 threshold voltage값($V_{th} = -2.2V$)을 갖고 있는데(6), 이 현상이 게이트 절연막으로 쓰인 SiO_2 layer의 문제로 설명하는 경우도 있고 SLS 결정화시 source와 drain dopant를 활성화시키기 위한 열처리 조건에서 source와 drain으로부터 채널로 결정립 경계를 따라서 dopant가 이동하여 채널의 일부를 n형으로 변화시킬 가능성도 생각해볼 수 있으나 이에 대한 검증은 추후 진행되어야 하겠다.

그림 7과 그림 8은 각각 채널 폭 변화에 따른 field effect mobility 변화와 누설 전류의 변화를 나타낸 것이다. 그림 1에서 보인 것처럼 SLS 결정화가 채널 길이 방향으로 수행되었으므로 채널 폭의 변화에 따른 결정립 경계의 증감에 채널 길이의 변화에 따른 결정립 경계의 증감보다 더 많아서 소자 채널 길이를 변화하여도 소자의 특성은 크게 변하지 않고 일정하게 얻을 수 있을 것임을 예상할 수 있다. 또한 그림 7과 8의 결과로부터 채널 폭이 감소함에 따라 field effect mobility와 누설 전류의 개선이 많이 되는 것을 알 수 있다. 이는 채널 길이 방향으로 결정립을 성장시킨 SLS 결정화의 특성을 잘 나타내고 있는 것으로서 채널 폭을 줄이면 결정립의 소자 특성에 대한 영향을 최소화하여서 소자의 성능 향상을 얻을 수 있는 가능성이 보여준다.

지금까지의 결과로부터 SLS 결정화를 이용하여 다결정 실리콘 TFT 소자를 제작할 경우, 채널 폭이 감소할

수록 SLS 결정화의 특성상 field effect mobility 향상과 누설전류의 감소가 가능하므로, SLS 결정화를 이용하여 TFT 소자를 제작할 경우 이 결과들을 기반으로 하여 소자를 설계한다면 보다 좋은 성능을 갖는 TFT 소자를 제작할 수 있을 것이다.

3. 결 론

SLS 결정화 방법과 저온 thermal annealing 공정에 적합한 molybdenum gate를 이용하여 저온 SLS n-type poly-Si TFT 소자를 제작하였다. 제작된 소자의 최고 공정 진행 온도는 phosphorus ion shower doping 후 thermal annealing 공정인 550°C이다. 2 μm에서 20 μm까지의 다양한 채널 길이와 폭으로 제작된 TFT 소자의 전기적인 특성을 각각의 I-V 특성 곡선과 물성 분석에 필요한 변수들을 추출하여 이들을 이용하여 비교, 분석하였는데 제작된 소자들로부터 이동도는 100~400 cm^2/Vs , on/off 전류비는 약 10^7 , off-state 전류는 약 100 pA로 대체적으로 우수한 특성을 보였다.

또한, 제작된 소자의 채널 길이 및 폭에 따른 소자의 전기적 특성 분석을 통하여, 채널 길이 변화에 따른 결정립 경계의 변화보다는 채널 폭 변화에 따른 결정립 경계의 변화가 전기적 소자 파라미터 변화에 우세한 영향을 주는 것을 관찰할 수 있었다. 이로써 채널 길이 방향으로 SLS 결정화된 다결정 실리콘의 특징을 보다 잘 이해할 수 있게 되었다.

감사의 글

본 논문은 서울대학교 반도체공동연구소의 공동시설 이용지원 프로그램의 지원과 고려대학교 특별연구비 및 BK 21 사업에 의하여 부분적으로 지원되어 수행된 연구로서, 관계부처에 감사드립니다.

(참 고 문 헌)

- [1] W. C. Omara, *Liquid Crystal Displays: Manufacturing Science and Technology*, Van Nostrand, New York, (1993).
- [2] Robert A. Street (Ed.), *Technology and Applications of Amorphous Silicon*, Springer-Verlag Berlin Heidelberg, 2000.
- [3] 이윤재, 박정호, "단결정 실리콘 TFT 제작을 위한 SLS 공정," 2000년도 대한전기학회 추계부문학술대회 논문집, pp. 461-463, Nov. 2000.
- [4] James S. Im, M. A. Crowder, Robert S. Sposili, J. P. Leonard, H. J. Kim, J. H. Yoon, Vikas V. Gupta, H. Jin Song, and Hans S. Cho, "Controlled super-lateral growth of Si films for microstructural manipulation and optimization," *MRS*, Vol. 166, pp. 613-617, 1998.
- [5] S. D. S. Malhi, H. Shichijo, S. K. Banerjee, R. Sundaresan, M. Elahy, G. P. Pollack, W. F. Richardson, A. H. Shah, L. R. Hite, R. H. Womack, P. K. Chatterjee and H. Wailam, "Characteristics and Three-Dimensional Integration of MOSFET's in Small-Grain LPCVD Polycrystalline Silicon," *IEEE Trans. Electron Devices* ED-32, pp.258-281, 1985.
- [6] Crowder, M. A. Carey, P. G. Smith, P. M. Sposili, R. S. Cho, H. S. Im, J. S., "Low-temperature single-crystal Si TFTs fabricated on Si films processed via sequential lateral solidification," *IEEE Electron Device Letters*, Volume 19, Issue 8, pp.306-308, Aug. 1998.