

AC PDP의 새로운 소거파형과 그 소거특성에 관한 연구

최준영, 함명수, 유충희*, 신중홍*, 김동현, 이호준, 박정후
 부산대학교 전기공학과 *동의대학교 전기공학과

A Study on the New Erase Waveform and Its Erase Characteristics

Joon Young Choi, Myung Su Ham, Choong Hee Yoo*, Jung Hong Shin*, Dong Hyun Kim, Ho Jun Lee, Chung Hoo Park
 Dept. of Electrical Eng. Pusan National University *Dept. of Electrical Eng. Dong-Eui University

Abstract - The ramp waveform has recently been introduced to erase wall charges for AC PDP. However, it is difficult to erase completely the wall charges in all cases. In this paper, new erase waveform having adaptive erasing characteristics are investigated. The erase margin of suggested waveform is wider than that of the conventional waveform. Moreover, suggested waveform can reduce the erase time significantly.

발하게 된다.[3](6-7)
 그러므로 본 연구에서는 짧은 시간에 충분히 벽전하를 소거 할 수 있는 소거 파형을 제안하여 그 특성을 기존의 Ramp 소거 파형과 비교하였으며, 실제 ADS 방식의 구동에서 제안된 소거 파형 적용시 전압 및 전류 특성을 비교하였다.

1. 서 론

AC PDP(Plasma Display Panel)는 저기압 가스 방전에서 발생된 자외선이 형광체를 여기시킴으로써 발생하는 가시광을 이용한 자체 발광형 표시소자이다. 최근 PDP는 40인치 이상의 대형화와 두께 10cm이하, 넓은 시야각 등 다른 평판 소자에서 찾아볼 수 없는 고유한 장점을 많이 갖고 있어 고선명 벽걸이 TV, TV와 PC의 기능이 복합화된 멀티미디어용 대형표시장치로서 가장 주목받고 있다. 하지만, 아직까지 display의 주력 상품인 CRT TV에 비해 효율, 명암비, 가격 등이 떨어지기 때문에 수요자들이 손쉽게 구매하기 위해서는 PDP cell 내부의 방전 현상을 정확히 이해해야 할 뿐만 아니라, PDP cell의 구조, 혹은 구동 파형이나 구동 메커니즘을 개선해야 할 필요가 있다.[1-4](8)

ADS(Address and Display period Separated) 방식의 AC PDP 구동에서는 그림 1에서 나타낸 바와 같이 Ramp 소거 파형이 주로 이용되고 있다. 그 중 Sustain 마지막 부분의 Ramp 파형은 기존의 방전된 cell들의 벽전하를 소멸시켜 Reset 기간에서 모든 cell들이 균일하게 될 수 있게 한다. Ramp 파형을 이용한 소거기법에서는 전압을 서서히 증가시켜 미소방전을 반복적으로 발생시킴으로써 균일하게 벽전하를 소거하여 AC PDP의 동작 voltage margin을 크게하고, 배경광을 줄임으로써 Contrast ratio를 개선 할 수 있는 장점이 있다.[1-2] 하지만, Ramp time을 길게하면 Sustain pulse 인가시간이 감소하게 되어 휘도가 떨어지고 Ramp time을 짧게하면 충분히 벽전하를 소거하지 못하게 되어 Reset 기간에서 cell들의 불균일성으로 Addressing 실패와 Sustain 기간에서의 오방전을 유

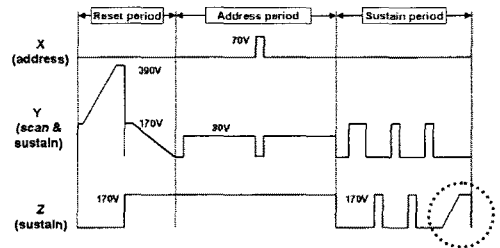


그림 1 AC PDP의 구동파형 개략도
 Fig. 1 Driving waveform of AC PDP

2. 본 론

2.1 실험방법

현재 널리 이용되고 있는 AC PDP의 개략도를 그림 2에서 나타내고 있다. AC PDP는 3mm 두께의 유리 2장으로 구성되어 있다. 그 중 상판에는 ITO(Indium Tin Oxide) 및 Ag로 이루어진 방전유지 전극 위에 Printing 기법에 의해 형성된 SiO₂-PbO 계열의 유전체가 도포되어 있으며, 유전체 보호층인 MgO 박막이 E-Beam Evaporation 기법에 의해 유전층 상에 증착되어 있다. 그리고 하판에는 방전을 제어하기 위한 Ag의 어드레스 전극과 표면방전에서 발생하는 진공자외선(VUV, Vacuum Ultra Violet)을 가시광으로 변환하는 R, G, B 삼원색의 형광체가 도포되어 있으며, 인접 cell과의 구분을 위하여 격벽이 형성되어 있다.[4](7-9)

표 1은 본 연구에서 사용된 7인치 Test AC PDP의 사양을 나타내고 있다. 단일 cell의 치수는 약 0.27mm×0.81mm×0.13mm 정도이며, Test를 위해서 총 4800개의 방전 cell만을 구동하였으며 40인치 XGA급의 Resolution을 지니고 있다.

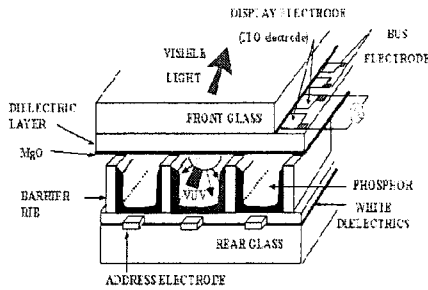


그림 2. AC PDP의 개략도
Fig. 2 The schematic diagram of AC PDP

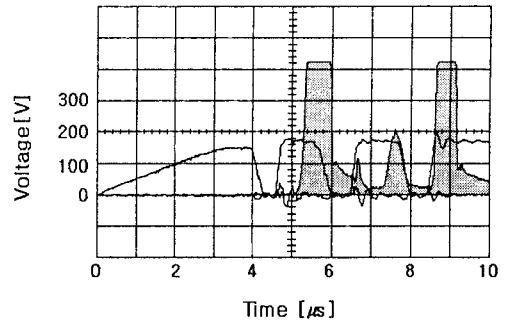


그림 3(b) Rss 소거 파형
Fig. 3(b) Rss erase waveform

표 1. Test panel의 사양
Table 1. The specification of test panel

Bus 전극 폭	85 μ m
ITO 전극 폭	270 μ m
ITO 전극 간격	65 μ m
유전층 두께	40 μ m
MgO층 두께	5000Å (E-beam 증착)
Barrier rib 폭	75 μ m
Barrier rib 높이	130 μ m
형광체 두께	20 μ m
Mixture gases	Ne+(9.6%)He+(4%)Xe

그림 3은 Ramp 소거 파형과 새롭게 제안한 Rss 소거 파형 및 소거시 발생하는 광파형을 나타내고 있다. 광파형은 고감도 광검출기(HAMAMATSU, C5460)로 측정하였다. 그림 3(a)에서와 같이 Ramp 소거 파형의 폭과 전압은 각각 35 μ s, 170V를 인가하였고, Ramp의 기울기는 6.8V/ μ s으로 두었다. Rss 소거 파형은 그림 3(b)와 같이 Ramp폭, 세폭은 각각 4.4 μ s, 1.5 μ s, 1.6 μ s로 하였고 세폭의 전압은 170V로 하였으며, Ramp 전압은 RC 시정수를 조절하여 154V로 유지시켰다.

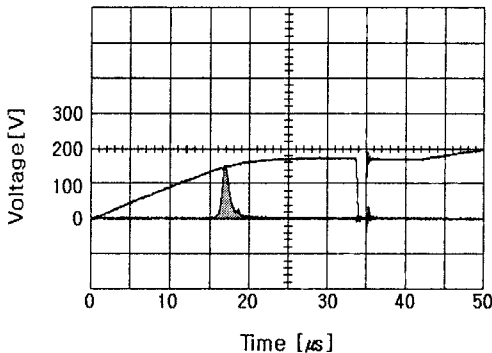


그림 3(a) Ramp 소거 파형
Fig. 3(a) Ramp erase waveform

2.2 실험 결과 및 고찰

그림 4는 Ramp 소거 펄스와 Rss 소거 펄스의 Erase margin을 나타내고 있다. Erase margin 측정은 그림 5와 같이 ADS 구동 없이 Sustain pulse와 소거 펄스만 인가하여 측정하였으며, 고감도 광검출기로 관측하였다. 그림 5(a)는 Ramp 소거 파형의 Test 구동 파형이며, 그림 5(b)는 Rss 소거 파형의 Test 구동 파형이다. Sustain pulse의 구동주파수와 duty 비는 각각 25kHz, 0.5이며 Test Panel의 동작전압 margin은 145V~222V이고 동작전압 내에서만 측정하였다.[5] 그림 4에서와 같이 Ramp 소거 파형은 Sustain 전압이 높을수록 소거 전압이 상승하면서 Erase margin 폭이 감소하지만, Rss 소거 파형은 Sustain 전압이 높아져도 Erase margin 폭은 일정하게 유지하면서 소거 전압이 전반적으로 낮아지는 것을 알 수 있다.

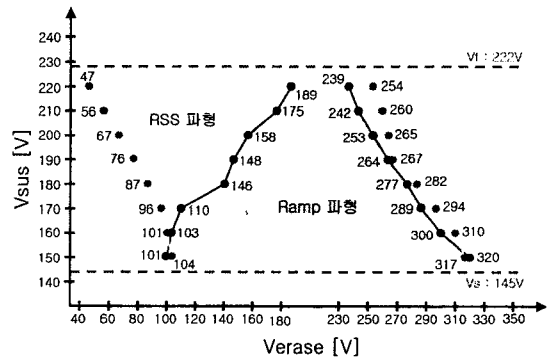


그림 4 Ramp 소거 파형과 Rss 소거 파형의 Erase Margin
Fig. 4 Erase Margins of Ramp erase waveform and Rss erase waveform

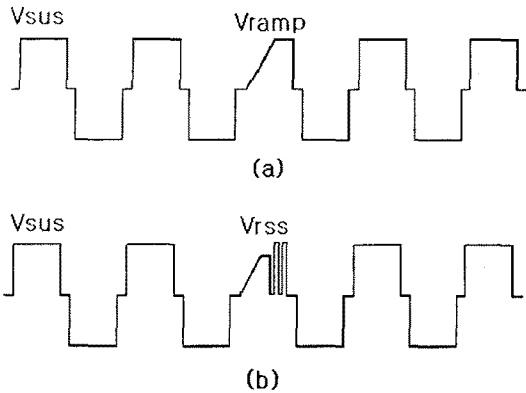


그림 5 Erase Margin을 위한 Test 구동 파형
Fig. 5 Test drive waveform for the Erase Margin

그림 6은 Rss 소거 파형으로 그림 1과 같은 ADS 구동시 실제 Reset 구간을 나타내고 있다. 그림 7은 Ramp 소거 파형과 Rss 소거 파형을 적용시 Addressing 시 방전을 측정한 그림이다. Address 전압과 폭은 각각 65V, 3.5 μ s로 두었으며, Ramp 소거 파형을 소거 펄스로 적용시 방전 전하량, 방전 Peak time과 Address 방전 지속시간은 각각 4.15 μ Vs, 788nS, 1.53 μ S이며, Rss 소거 파형을 소거 펄스로 적용시는 각각 4.054 μ Vs, 757 μ S, 1.023 μ S으로 Rss 소거 파형이 Ramp 소거 파형 적용시보다 방전 전하량은 약 2.3% 작아졌지만, 방전 Peak time과 Address 방전 지속시간은 각각 3.9%, 33.1% 빨라져서 전체적으로 Addressing이 잘되는 것을 알 수 있다.

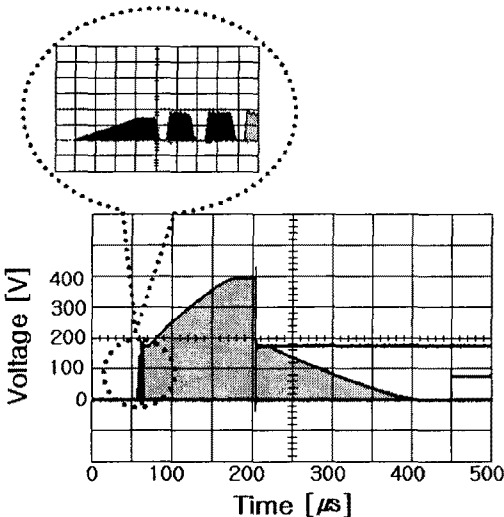


그림 6 Rss 소거 파형의 ADS 구동
Fig. 6 ADS drive of Rss erase waveform

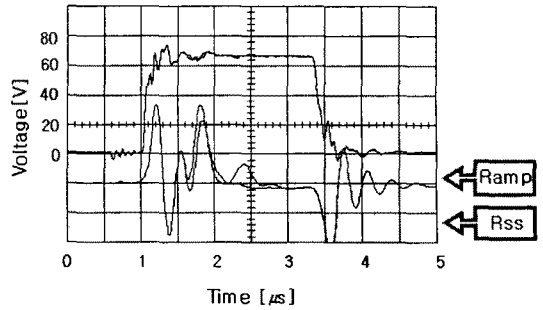


그림 7 Ramp와 Rss 소거 파형의 Address 방전 전류 비교
Fig. 7 Address discharge currents comparative of Ramp and Rss erase waveform

그림 8은 Ramp 소거 파형과 Rss 소거 파형을 ADS 구동시 Sustain 전압의 변화에 따른 Addressing 가능 전압을 측정 한 것이다. 그림에서와 같이 Ramp보다 Rss 소거 펄스를 적용한 경우가 6~16V 정도 Addressing 가능한 전압이 낮은 것을 알 수 있다.

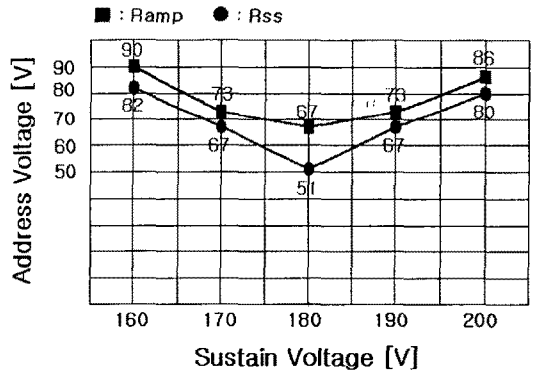


그림 8 Ramp 와 Rss 소거 파형의 Sustain 전압에 따른 Address 전압
Fig. 8 Address voltages as a parameter of sustain voltage of Ramp and Rss erase waveform

또한 Contrast ratio는 Ramp 소거 파형과 Rss 소거 파형 적용시 각각 238.18:1, 242.62:1로써 약 1.86% 증가하였다. 색온도는 각각 5312K, 5344K로써 거의 비슷하였다.

3. 결 론

본 연구에서는 짧은 시간에 충분히 벽전하를 소거 할 수 있는 Rss 소거 파형을 제안하여 그 특성을 기존의 Ramp 소거 파형과 비교하였으며, 실제 ADS 방식의

구동에서 제안된 소거 파형 적용시 전압 및 전류 특성을 비교하였다. 그 결과 Rss 소거 파형이 Ramp 소거 파형에 비해 Erase margin이 전반적으로 넓은 것을 알 수 있었으며, 실제 ADS 구동에 적용시 기존의 Ramp 소거 파형보다 펄스 폭이 약 77% 정도 감소하여 Sustain 구간을 감소 시켰다. 또한 Address 구간에서 Address 방전 peak time이 약 3.9% 감소하고 Address 방전 지속시간이 약 33.1% 감소되어 Rss 소거 파형을 적용시 Address pulse폭을 감소 시킬 수 있으므로 Address 구간 전체 시간을 감소 시킬수 있는 효과를 볼 수 있을 것으로 예상된다. 그리고 Address pulse 전압을 약 6~16V 정도 감소시킬 수 있으므로 Address 전극 구동 IC의 내압을 낮출 수 있으므로 가격을 낮추는 효과를 얻을 수 있으며, AC PDP 효율을 상승시킬 수 있는 효과를 얻을 수 있다.

[참 고 문 헌]

- [1] Sung Hyun Lee. "A Study on the Wall Voltage Transfer Characteristics as a Driving Waveform of Surface Discharge Type AC PDP". Thesis for a master's degree. Pusan national university. 1997.
- [2] Chung Hoo Park. "Comprehension of Plasma Display", Jin-young. 2001
- [3] Dong Hyun Kim. "A Study on the Improvement of Contrast Ratio and Addressing Speed of AC PDP" Thesis for a doctor's degree. Pusan national university. 2001
- [4] Sung Hyun Lee. "A Study on the Improvement of the contrast Ratio in AC PDP" Thesis for a doctor's degree. Pusan national university. 2002
- [5] J. Y. Choi, M. S. Ham, J. E. Heo, J. H. Shin, C. H. Yoo, D. H. Kim, H. J. Lee, C. H. Park "AC PDP의 구동전압 level 및 온도와 방전 전하량의 상관관계" 대한전기학회 고전압 및 방전응용기술 연구회 춘계 학술발표대회 논문집 2002.
- [6] C. H. Park, S. H. Lee, D. H. Kim, W. G. Lee, J. E. Heo "Improvement of Addressing Time and Its Dispersion in AC Plasma Display Panel" IEEE. vol. 48, No. 10, Oct. 2001.
- [7] S. H. Lee, C. H. Park "Improvement of the Contrast Ratio and Reduction of the Reset Period by Current Controlled Ramp Waveform" Journal of Information Display. Vol.2 no.4. 2001.
- [8] Harm Tolner "Innovations in PDP towards a Consumer TV Product" IDMC session12-3. Jan. 2002
- [9] Chung Hoo Park "Some New Methods to Improve the Dark-Room Contrast Ratio and Address Time in AC PDP" IDMC session147-2. Jan. 2002.