

전력용 반도체 소자의 항복 전압 특성을 개선한
얇은 실리콘 산화막 트렌치를 이용한 새로운 접합 마감

하민우, 오재근, 한민구, 최연익*
서울대학교 전기·컴퓨터 공학부, 아주대학교 전자공학부*

A New Junction Termination Improving Breakdown Characteristics
of Power Devices by Using Shallow Silicon Oxide Trench

Min-Woo Ha, Jae-Geun Oh, Min-Koo Han, Yearn-Ik Choi
School of Electrical Engineering & Computer Science Seoul National University, Ajou University*

Abstract - 본 논문은 얇은 실리콘 산화막 트렌치를 이용하여 같은 항복 전압에서 면적을 줄이는 접합 마감(junction termination)을 제안하였다. 제안된 P+ FLR(Floating Field Ring) 구조는 기존 P+ FLR 구조에 비해 항복 전압 571 V에서 면적을 83 %로 감소시켜 접합 마감 특성이 개선되었다.

1. 서 론

전력용 반도체 소자에서 항복 전압 특성은 온-저항 특성과 더불어 중요한 요소이다. (1) Floating Field Ring(FLR)[2], Field Plate(FP)[3], Junction Termination Extension(JTE)[4] 등의 접합 마감(junction termination) 기술의 사용 목적은 반도체 소자의 항복 전압을 이상적인 항복 전압(Parallel Plane 항복 전압)으로 올리는 것이다.

FLR(Floating Field Ring)은 다른 기술에 비해 쉬운 설계 및 간단한 공정 제작 과정으로 인해 접합 마감에 널리 이용되었다. FLR은 높은 이온 주입(high dose ion implant)으로 표면 P+ 접합 혹은 N+ 접합을 설계해서 구현한다. P+ FLR은 공핍영역의 경계를 완만하게 하여 높은 전계를 접합 주위로 분산시키는 역할을 한다. 소자 내 최대 전계값이 감소되면, avalanche 증가 배수가 감소하여 전력용 반도체 소자의 항복 전압이 증가한다. N+ FLR은 채널 스톱퍼(channel stopper)로 불리며 누설 전류를 감소시키는 역할을 하며 마지막 P+ FLR의 옆에 설계된다. 또한 FLR에 전위를 가하는 바이어스 링(biased ring)으로 항복 전압 특성을 개선시키는 연구도 이루어졌다.[5] 그러나 FLR은 여러 개의 P+ 접합을 사용하면 면적이 증가하는 단점이 있다.

공핍영역의 경계를 완만하게 하는 다른 방법은 접합이 끝나는 영역에 FP(Field Plate)를 설계하는 것이다. FP에 걸리는 전압은 표면의 공핍영역의 분산에 큰 영향을 미친다. N 기판에 양의 전압을 걸면 반도체 표면에서 전자를 끌어들이어 공핍영역이 축소되고, 반대로 음의 전압을 걸면 표면에서 전자를 밀어내어 공핍영역이 증가한다. 실제로 주 접합(main junction)에 걸린 바이어스와 FP에 걸린 바이어스를 각각 제어하는 것보다 FP의 바이어스를 main 접합 바이어스로 그대로 이용한다. FP가 끝나는 지점에서 높은 전계가 걸리게 되며, 특히 FP의 실리콘 산화막의 두께가 얇은 경우 심각하다.

JTE(Junction Termination Extension)은 주 접합이 끝나는 영역 부근에 넓고 낮은 농도의 P 접합을 이온 주입해 형성하는 것이다. 그러나 이 방법은 정확한 이온 주입 공정 제어가 필요하며, 표면 전하가 항복 전압 특성에 민감한 영향을 미치는 문제점이 있다.

최근 트렌치(trench) 공정은 전력용 소자를 포함하여 대부분의 반도체 소자 공정에서 널리 이용된다. 접합 마감에 트렌치 구조를 사용한 연구가 보고 되어진 적이 없다. 본 논문의 목적은 얇은 실리콘 산화막 트렌치를 접합 마감에 응용하여 면적 증가 없이 항복 전압 특성을 개선하는 것이다. 제안된 FLR 구조는 2차원 수치해석 시뮬레이터 MEDICI(6)으로 기존 FLR 구조와 비교해

전기적 특성을 검증하였다.

2. 본 론

2.1 제안된 FLR 구조

그림 1, 2는 제안된 FLR 구조와 기존 FLR 구조이다. PNP 바이폴라 트랜지스터의 주 접합(P+ cathode)에 얇은 산화막 트렌치와 P+ FLR을 설계하여 접합 마감 특성을 개선하였다. 300 K에서 실리콘 산화막의 유전 상수가 실리콘의 11.7에 비해 3.9로 낮아서 지탱할 수 있는 최대 전계를 낮춘다. P+ FLR은 공핍영역의 경계를 완만하게 하여 높은 전계를 P+ FLR 주위로 분산시키는 역할을 한다.

항복전압 특성은 바이폴라 트랜지스터의 BV_{ceo} 로 얻었다. 제안된 구조는 N epi 웨이퍼에 실리콘 트렌치 공정을 수행한 다음, P+ 높은 에너지 주입을 수행한 다음에 트렌치에 CVD로 실리콘 산화막을 채우는 과정으로 제작할 수 있다.

기존 FLR 구조는 실리콘 산화막 트렌치 없이 주 접합에 sp만큼 떨어진 P+ FLR로 구성되어 있다.

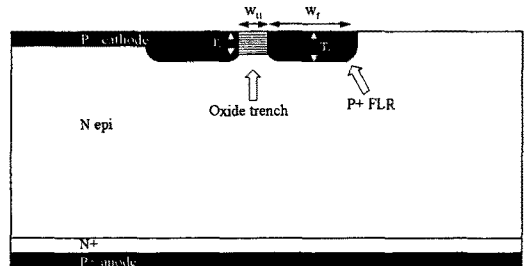


그림 1. 제안된 FLR의 구조

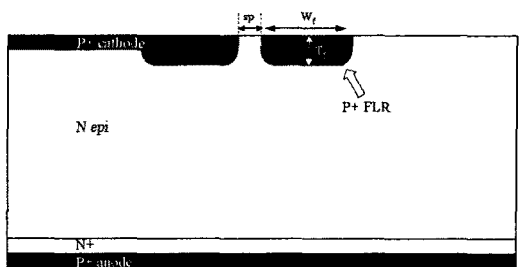


그림 2. 기존 FLR의 구조

2.2 제안된 FLR 구조의 최적화

제안된 FLR 구조의 접합 마감 특성은 N epi 도핑 농도, 실리콘 산화막 트렌치와 P+ FLR의 너비, 깊이, 위치, 개수 등에 따라 변한다. 제안된 FLR 구조의 최적화 설계는 N epi 농도 $1 \times 10^{14} \text{ cm}^{-3}$ 로 고정시킨 뒤 실리콘 산화막 트렌치와 P+ FLR의 너비, 깊이, 위치, 개수를 조절하여 진행하였다.

2.2.1 실리콘 산화막 트렌치의 너비(W_t), 깊이(T_t)가 항복 전압에 미치는 영향

제안된 FLR 구조는 실리콘 산화막 트렌치와 P+ FLR를 각각 1개씩 사용한 구조(그림 1)에서부터 최적화시켰다. 아래 표 1은 제안된 FLR 구조의 설계 변수이다.

설계 변수		값
표면 도핑 농도	P+ cathode & P+ FLR	$1 \times 10^{19} \text{ cm}^{-3}$
도핑 농도	N epi	$1 \times 10^{14} \text{ cm}^{-3}$
두께	N epi	50 μm
실리콘 산화막 트렌치의 너비(W_{t1})		3 μm
실리콘 산화막 트렌치의 깊이(T_t)		4 μm
P+ FLR의 너비(W_f)		5 μm
P+ FLR의 접합 깊이(T_f)		5 μm

표 1. 제안된 FLR 구조의 설계변수

실리콘 산화막 트렌치의 너비(W_{t1})와 깊이(T_t)는 FLR 설계로 인한 항복 전압 특성에 큰 영향을 미친다. 그림 3에 실리콘 산화막 트렌치의 W_{t1} , T_t 와 항복전압과의 관계를 나타내었다.

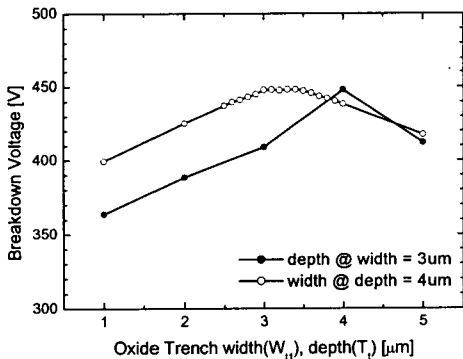
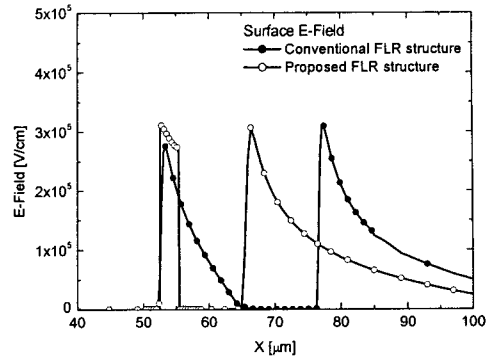
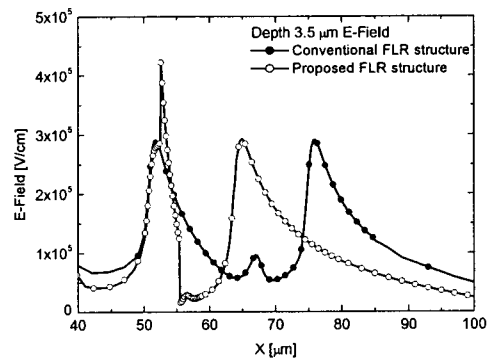


그림 3. 제안된 FLR 구조의 실리콘 산화막 트렌치의 너비, 깊이에 따른 항복 전압 특성

제안된 FLR 구조의 항복 전압은 실리콘 산화막 깊이가 4 μm 로 고정된 구조에서 실리콘 산화막 너비 1 μm 에서 3 μm 의 구간에서 증가하고, 3 μm 에서 4 μm 의 구간에서는 감소하였다. 너비 3 μm 의 경우가 1, 2 μm 경우보다 항복 전압이 더 높은 이유는 실리콘 산화막 트렌치의 면적이 넓어져 전계가 완만하게 상승하기 때문이다. 반면에 너비가 4 μm 로 증가하면 주 접합에 가까운 실리콘 산화막 트렌치의 왼쪽 하단 모서리 부근에 전계가 집중되어 실리콘 산화막 트렌치에 걸리는 전계가 임계 전계보다 커서 오히려 항복전압은 감소한다. 실리콘 산화막 트렌치의 깊이는 4 μm 에서 최적화시켰다. 그림 4에서 제안된 FLR 구조의 전계 분포를 검증하였다.



(a) 표면



(b) 표면에서 3.5 μm 깊이

그림 4. 제안된, 기존 FLR 구조의 전계 분포

제안된 FLR 구조와 기존 FLR 구조의 전계값을 표면과 표면에서 3.5 μm 깊이에서 검증하였다. 제안된 FLR 구조의 표면 전계값보다 표면에서 깊이 3.5 μm 의 전계값이 더 큰 이유는 실리콘 산화막 트렌치의 아래쪽에 전계가 걸리기 때문이다. 실리콘 유전상수가 실리콘 산화막의 유전상수보다 크기 때문에 표면에서 3.5 μm 깊이의 제안된 FLR 구조의 최대 전계값은 $4.2 \times 10^5 \text{ V/cm}$ 로 기존 FLR 구조 $2.8 \times 10^5 \text{ V/cm}$ 의 1.5배이다. 정확히 제안된 FLR 구조의 전계값이 기존 FLR 구조보다 3배가 되지 않는 것은 실리콘 산화막 트렌치가 P+ FLR보다 얇은 구조적인 이유 때문이다.

제안된 FLR 구조의 실리콘 산화막 트렌치의 왼쪽 면은 P+ cathode에 연결되어 있고, 오른쪽 면은 P+ FLR에 연결되어 있다. Cathode에 연결된 왼쪽 면에 전자가 쌓여 있어 P+ cathode에 공핍 영역이 생성되기 때문에 더 높은 전계가 걸리게 된다. 실리콘 산화막 내부에는 전자 전류가 흐르지 못하기 때문에 실리콘 산화막 트렌치 왼쪽 하단에 최대 전계가 걸리며, 이온화 충돌 생성률(Impact Ionization Generation Rate)이 최대로 일어난다.

2.2.2 실리콘 산화막 트렌치 개수와 전체 면적, 항복 전압의 관계

제안된 FLR 구조의 항복 전압을 높이기 위해 실리콘 산화막 트렌치의 면적을 계속 넓힐 수 없다. 오히려 실리콘 산화막 트렌치의 너비, 깊이가 3 μm , 4 μm 보다 커지면 주 접합에 가까운 실리콘 산화막 트렌치의 왼쪽 하단 모서리에 전계가 집중되어 항복전압이 감소한다. 그

래서 제안된 FLR 구조의 항복 전압 특성을 향상시키기 위해 여러 개의 실리콘 산화막 트렌치를 연결하였다. 전체 면적은 증가하지만 실리콘 산화막 트렌치와 P+ FLR이 서로 겹쳐 설계하여서 같은 항복 전압 레벨에서 기존 FLR 구조보다는 적다. P+ FLR 1개를 사용한 기존 FLR 구조의 항복 전압 특성을 최적화한 결과 sp 는 $11 \mu\text{m}$ 로 큰 값이었다. 그림 5, 6은 제안된 FLR 구조와 기존 FLR 구조의 항복 전압과 전체 면적의 관계를 나타낸 그림이다. 그림 7은 제안된 FLR 구조와 기존 FLR 구조의 전류-전압 특성이다.

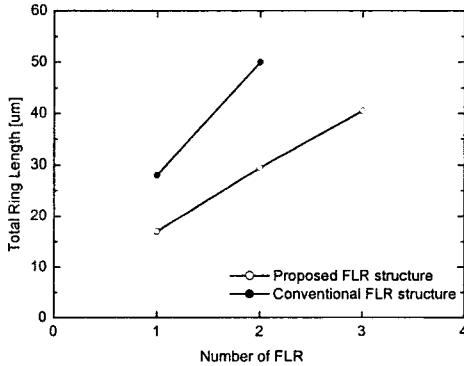


그림 5. 제안된, 기존 FLR 구조의 전체 면적

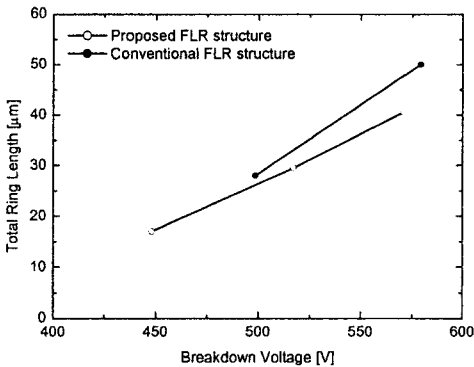


그림 6. 제안된, 기존 FLR 구조의 항복 전압에 따른 전체 면적

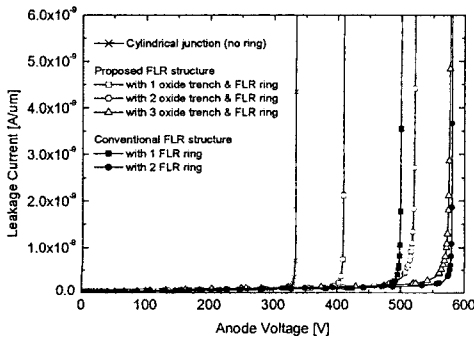


그림 7. 제안된, 기존 FLR 구조의 전류-전압 특성

제안된 FLR 구조의 항복 전압을 실리콘 산화막 트렌치와 P+ FLR을 각각 3개씩 사용하여 실리콘 산화막 트렌치와 P+ FLR 모두 없는 구조의 항복 전압 333 V에서 571 V로 증가시켰다. P+ FLR 2개를 사용한 기존 FLR 구조의 면적과 항복 전압은 각각 $50 \mu\text{m}$, 579 V이고, 실리콘 산화막 트렌치와 P+ FLR을 각각 3개씩 사용한 제안된 구조의 면적과 항복 전압은 각각 $40.5 \mu\text{m}$, 571 V이었다. 제안된 P+ FLR 구조는 기존 P+ FLR 구조에 비해 항복 전압 571 V에서 면적을 83 %로 감소시켰다. 그림 6을 보면 알 수 있듯이 제안된 구조의 실리콘 산화막 트렌치와 P+ FLR 개수를 더 연결하면 기존 FLR 구조에 비해 더 큰 면적 감소 효과를 예상할 수 있다.

3. 결 론

실리콘 산화막이 실리콘보다 낮은 유전 상수를 가지는 점과 실리콘 트렌치 공정을 이용하여 전력용 반도체 소자의 항복 전압 특성을 개선하는 새로운 접합 마감 방법을 제안하였다. 제안된 접합 마감은 실리콘 산화막 트렌치와 P+ FLR을 설계하여 항복 전압 특성의 열화 없이 면적을 감소시켰다. 제안된 FLR 구조는 실리콘 산화막 트렌치의 너비, 깊이가 항복 전압에 미치는 영향을 분석하여 실리콘 산화막 트렌치, P+ FLR 이 각각 1개를 사용한 구조의 너비를 $3 \mu\text{m}$, 깊이를 $4 \mu\text{m}$ 로 최적화시켰다. 또한 여러 개의 실리콘 산화막 트렌치와 P+ FLR을 연결시켜 항복 전압을 증가시켰다. 제안된 P+ FLR 구조는 기존 P+ FLR 구조에 비해 항복 전압 571 V에서 면적을 83 %로 감소시켰다. 제안된 FLR 구조의 실리콘 산화막 트렌치와 P+ FLR을 더 연결하여 더 큰 면적 감소 효과를 예상할 수 있다.

제안된 FLR 구조는 전력용 반도체의 항복 전압 특성을 개선하기 위해 주 접합 부근에 제작하는 ring 설계에 응용될 수 있다.

[참 고 문 헌]

- [1] B. Jayant Baliga, "Power Semiconductor Devices", PWS PUBLISHING COMPANY, 1996
- [2] K. P. Brieger, W. Gerlach, J. Pelka, "Blocking capability of planar devices with field limiting rings", Solid State Electronics, vol. 26, no. 8, pp. 739-745, 1983
- [3] F. Conti, M. Conti, "Surface breakdown in silicon planar diodes equipped with field plate", Solid State Electronics, vol. 15, pp. 93-105, 1972
- [4] J. Korec, R. Held, "Comparison of DMOS/IGBT compatible high-voltage termination structures and passivation techniques", IEEE Trans. on Electronic Devices, vol. 40, no. 10, pp 1845-1853, 1993
- [5] V. Macary et. al, "COMPARISON BETWEEN BIASED AND FLOATING GUARD RINGS USED AS JUNCTION TERMINATION TECHNIQUE", ISPSD, pp. 230-233, 1992
- [6] MEDICI Version 4.1 User's Manual, Avanti