

구동방법에 따른 TFT-LCD 화소 특성 시뮬레이션

홍성진¹⁾, 최종선¹⁾, 이신두²⁾

¹⁾홍익대학교 전자전기공학부
²⁾서울대학교 전기 컴퓨터 공학부

Simulations of TFT-LCD Pixel Characteristics with Different Driving Methods

Sung Jin Hong¹⁾, Jong Sun Choi¹⁾ and Sin Doo Lee²⁾

¹⁾School of Electronics and Electrical Engineering, Hongik University

²⁾School of Electrical and Computer Engineering, Seoul National University

Abstract- TFT-LCD is widely used for flat panel display. The large-size TFT-LCD panel requires a high speed driving and various driving methods because of signal delay, which is responsible for the shading effects. In this work, the floating and double driving methods are applied to Pixel Design Array Simulation Tool(PDAST) and the pixel characteristics of TFT-LCD array is simulated. Also, we have implemented the semi-empirical TFT model to PDAST, which makes to obtain a more accurate pixel characteristics.

1. 서 론

정보화 사회의 발전과 더불어 대면적·고화질의 디스플레이에 대한 요구가 증가하고 있다. 이런 여러 가지 디스플레이 중에서 박막트랜지스터(Thin Film Transistor : TFT)를 스위칭소자로 사용하고 있는 액정 표시장치(Liquid Crystal Display : LCD)는 저소비 전력, 저전압구동, 평판 등의 장점을 가지고 있어 가장 널리 사용되고 있다. 지속적인 TFT-LCD의 성능향상을 위해 동작특성을 정확히 계산할 수 있는 시뮬레이터의 확보는 필수적이다. 본 연구에서는 TFT-LCD의 동작특성을 정확하게 계산하기 위해 정밀한 semi-empirical TFT 모델과 VLSI에서 사용되는 실험적 정전용량 모델을 사용하여 TFT-LCD의 게이트 배선 및 데이터 배선 구동방법에 따른 화소의 동작 특성에 관하여 연구하였다. 현재 많이 사용되고 있는 floating 구동방식과 double driving 구동방식을 이미 유용성이 보고된 Pixel Design Array Simulation Tool (PDAST)에 적용시켜 화소의 충·방전특성 수행하였는데 어레이의 어떤 위치, 어떤 시점에서든 게이트, 드레인, 화소전압을 정확하게 계산할 수 있다.

2. 본 론

2.1 게이트 및 데이터 배선의 충전특성

TFT-LCD의 화소는 그림 1과 같이 TFT를 포함한 라인의 저항성분(R_G, R_D), 액정용량(C_{LC}), 축적용량(C_{ST}), 그리고 구조에 따른 기생용량들을 포함한 등가 회로로 나타낼 수 있다.^{1,2,3}

한 화소에 포함된 회로 구성요소들은 게이트 구동라인과 데이터 구동라인을 제외하고는 모두 집중된(lumped) 요소들로 모델링할 수 있다. 게이트 구동라인과 데이터 구동라인은 분산된(distributed) 저항과 용량으로 구성된 회로들이 cascade되어 있는 회로망으로 모델링되어야 한다. 그림 2에 나타난 것과 같은 π-network로 게이트 구동라인과 데이터 구동라인을 모델링할 수 있다.

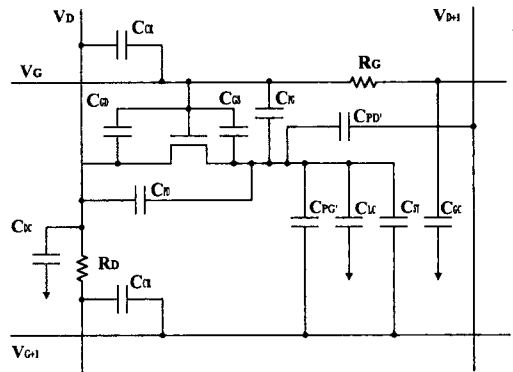


그림 1. TFT-LCD 한 화소의 등가회로.

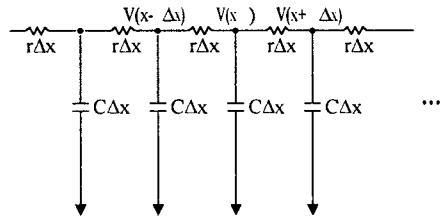


그림 2. 게이트라인 및 데이터라인 어레이의 Cascade 된 π-network의 등가회로.

$$-\frac{\partial v}{\partial x} = R \quad , \quad -\frac{\partial i}{\partial x} = C \frac{\partial v}{\partial t}$$

배선 상의 한 점에서의 전압은 Thomson 케이블방정식이라고 불리는 위의 미분방정식을 풀어서 구할 수 있는데, Laplace 변환과 구동방법에 따른 경계조건을 이용하면 게이트라인의 충전시 전압과 전류식을 구할 수 있다.⁴

Floating driving method

$$v_G(x, t) = v_{RH} - \frac{4 \cdot \Delta v_{RON}}{\pi} \sum_{n=0}^{\infty} \frac{1}{(2n+1)} \cdot \exp\left[-\frac{(2n+1)^2 \pi^2}{4rcL_G^2} t\right] \cdot \sin\left[\frac{(2n+1)\pi x}{2L_G}\right]$$

$$i(x, t) = \frac{2 \cdot \Delta v_{gon}}{rL_G} \sum_{n=0}^{\infty} \exp\left[-\frac{(2n+1)^2 \pi^2}{4rcL_G^2} t\right] \cdot \cos\left[\frac{(2n+1)\pi x}{2L_G}\right]$$

Double driving method

$$v_G(x, t) = v_{gh} - \frac{4 \cdot \Delta v_{gon}}{\pi} \sum_{n=0}^{\infty} \frac{1}{(2n+1)} \cdot \exp\left[-\frac{(2n+1)^2 \pi^2}{rcL_G^2} t\right] \cdot \sin\left[\frac{(2n+1)\pi x}{L_G}\right]$$

$$i(x, t) = \frac{2 \cdot \Delta v_{gon}}{rL_G} \sum_{n=0}^{\infty} \exp\left[-\frac{(2n+1)^2 \pi^2}{4rcL_G^2} t\right] \cdot \cos\left[\frac{(2n+1)\pi x}{2L_G}\right]$$

방전시 게이트 전압 및 전류속도 유사한 방법으로 구하였다. x는 충전하는 행의 전체 화소수 L 중 몇 번째 화소인지를 나타내고 t는 전압을 인가한 시간이다.

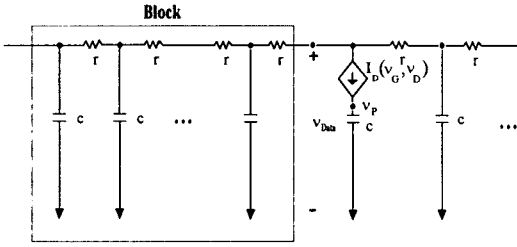


그림 3. 데이터 배선의 등가 회로.

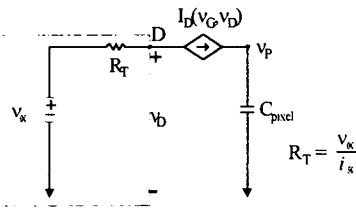


그림 4. Thevenin 회로를 사용한 데이터 배선 등가회로.

데이터 배선의 분석도 게이트 배선의 경우와 거의 동일하나 주요한 차이점은 TFT를 통하여 화소용량이 충전되어야 한다는 점이다. 그림 3과 같은 회로가 분석되어야 하는데 게이트 배선과 동일한 방법으로 단선전압과 단락전류를 구하면 그림 4와 같이 등가회로로 단순화하여 데이터 전압을 구할 수 있다.

$$V_D = V_{oc} - R_T \cdot I_D = V_{oc} - \frac{V_{oc}}{I_{sc}} \cdot I_D$$

위의 구동방법들이 이식된 PDAST를 이용하여 15인치 XGA급(1024×768) TFT-LCD를 기준으로 하여 구동방법에 따른 게이트 배선 및 데이터 배선의 충전특성을 시뮬레이션 하였다.

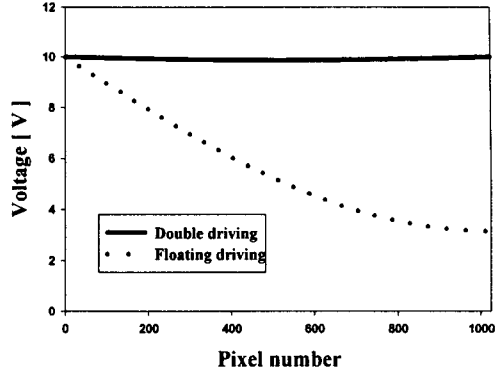


그림 5. 화소 위치에 따른 게이트라인 충전특성(0.5 μs).

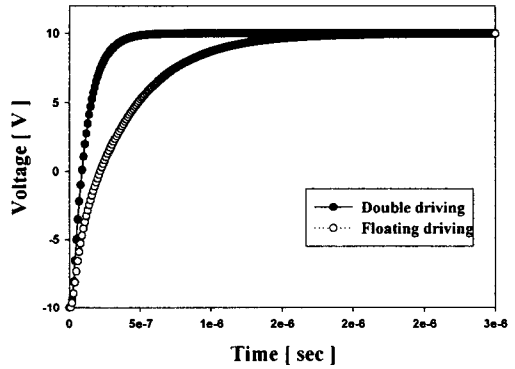


그림 6. 500번째 화소의 시간에 게이트라인 따른 충전특성.

2.2 화소의 증·방전 특성

보다 정확한 시뮬레이션을 위하여 여러 가지 실험적인 파라미터들이 포함된 semi-empirical 한 모델을 사용하였으며 충전 드레인 전류 I_D 는 일반적으로 다음과 같이 나타낼 수 있다^{5,6,7}.

Leakage current

$$I_{leak} = I_{0L} \left[\exp\left(\frac{V_{DS}}{V_{DSL}}\right) - 1 \right] \exp\left(-\frac{V_{GS}}{V_{GSL}}\right) + \sigma_0 V_{DS}$$

Subthreshold current

$$I_{sub} = q \mu_n n_{sb} \frac{W}{L} V_{DSe}$$

Above threshold current

$$I_a = \mu_{FET} C_i \frac{W}{L} (V_{GS} - V_T) V_{DSe}$$

Unified current model

$$I_D = \frac{I_a \cdot I_{sub}}{I_a + I_{sub}} + I_{leak}$$

여기서 I_{0L} 은 최소누설전류, V_{DSL}, V_{GSL} 은 누설전류파라미터, σ_0 는 최소누설전류 파라미터 n_{sb} 는 sheet carrier density, V_{DSe} 는 유효전압을 나타낸다.

위의 전류식과 다음과 같은 관계를 이용하면

$$I = \frac{dQ}{dt}, \quad Q = CV$$

시간에 따른 화소에 인가되는 전압은

$$V_p(t) = \int_{t_0}^{t-t_0} \frac{I_D(V_{GS}(t), V_{DS}(t) - V_p(t - \Delta t))}{C_{px}} dt + \int_{t_0}^{t-t_0} \frac{C_{gs}}{C_{px}} V_{GS}(t) dt$$

위 식과 같이 구할 수 있다. 여기서 t_0 는 화소에 신호가 인가된 초기 시간이고 C_{px} 는 화소의 용량성분, C_{gs} 는 게이트와 소스전극 사이에 생기는 기생적인 용량성분이다.

위에 계산된 화소 전압식에 수치해석적인 방법인 뉴턴추차법을 적용시키면 시간에 따른 화소 전압을 구할 수 있다. 이러한 방법으로 구한 화소 전압식에 floating 구동방식과 double driving 구동방식에 의하여 구해지는 전압을 인가하여 얻어진 결과는 그림 7과 같다.

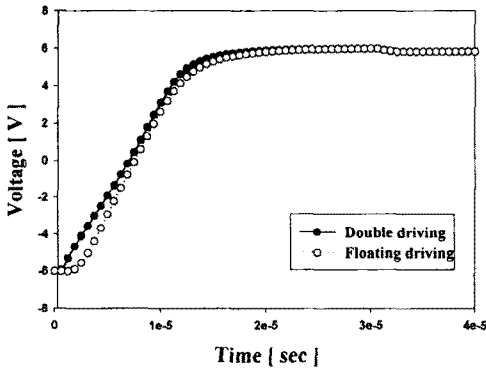


그림 7. 구동방식에 따른 화소전압.

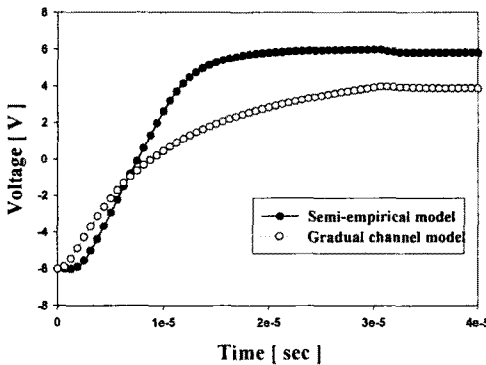


그림 8. TFT 모델에 따른 화소전압.

그림 8은 기존의 gradual channel 모델과 semi-empirical 모델을 사용하여 얻어진 화소 전압의 변화가 나타나 있다. Semi-empirical 모델이 적용된 모델에 적용된 PDAST가 기존의 gradual channel 방법에 의한 PDAST보다 정확한 결과를 얻을 수 있을 뿐만 아니라 다양한 경우의 시뮬레이션이 가능하다.

3. 결 론

본 연구에서는 TFT-LCD의 화소전압을 구함에 있어 보다 정확한 TFT 모델과 floating 및 double driving 구동방법을 적용한 PDAST를 사용하여 화소전압을 계산하였다. 신뢰성이 확인된 semi-empirical TFT 모델을 적용시킴으로써 보다 정확한 화소 특성을 구할 수가 있었고 여러 가지 구동방법에 따른 화소 특성 시뮬레이션이 가능하게 되었다. 향후 화소설계 및 어레이 시뮬레이션 도구인 PDAST와 광학적인 시뮬레이터가 연동되어 사용된다면 통합적인 시뮬레이터로서 실제 설계 및 공정에서 소자의 개발기간과 개발비용을 크게 절감할 수 있을 것이다.

감사의 글

본 연구는 과학기술부와 정보통신부에서 시행한 선도기술개발(IMT-2000)사업의 지원에 의하여 이루어진 연구로서, 관계부처에 감사 드립니다.

[참 고 문 헌]

- [1] S. C. Wong, "Interconnection Capacitance Model for VLSI Circuits", Solid State Electronics, Vol. 42, No. 6, pp. 969 - 977, 1998.
- [2] S. C. Wong, "An Empirical Three-Dimensional Crossover Capacitance Model for Multilevel Interconnect VLSI Circuits", IEEE Transaction on Semiconductor Manufacturing, Vol. 13, No. 2, pp. 219 - 227, 2000
- [3] J. H. Chern, "Multilevel Metal Capacitance Models For CAD Design synthesis Systems", IEEE Electron Device Letters, Vol. 13, No. 1, pp. 32 - 34, 1992.
- [4] Toshihisa Tsukada, "TFT/LCD Liquid Crystal Display Addressed by Thin Film Transistors", Gordon and Breach Publishers, pp. 26 - 30, 1996.
- [5] M. S. Shur, "SPICE Models for Amorphous Silicon and Polysilicon Thin Film Transistor", Journal of Electrochemical Society, Vol. 144, No. 8, pp. 2833 - 2839, 1997.
- [6] Kwyro Lee, "Semiconductor Device Modeling for VLSI", Prentice Hall International Inc., pp. 494-527, 1993.
- [7] Tor. A. Fjeldly, "Introduction to Device Modeling and Circuit Simulation", John Wiley & Son Inc, pp. 206 - 274, 1998