

Epi층의 농도 및 두께 변화에 따른 Multi-RESURF SOI LDMOSFET의 특성분석

김형우, 김상철, 서길수, 김남균, 김은동
한국전기연구원 전력기술연구단 전력반도체연구그룹

Breakdown and On-state characteristics of the Multi-RESURF SOI LDMOSFET

Hyoung-Woo Kim, Sang-Cheol Kim, Kil-Su Seo, Nam-Kyun Kim, Eun-Dong Kim
Power Semiconductor Group, Korea Electrotechnology Research Institute

Abstract - The breakdown and on-state characteristics of the multi-RESURF SOI LDMOSFET is presented. P-/n-epi layer thickness and doping concentration is varied from $2\mu\text{m} \sim 5\mu\text{m}$ and $1 \times 10^{15}/\text{cm}^3 \sim 9 \times 10^{15}/\text{cm}^3$ to obtain optimum break-down voltage and on-resistance. The breakdown and on-state characteristics of the device is verified by two-dimensional process simulator ATHENA and device simulator ATLAS.

drain 구조로 인해 on-상태에서 epi층 전체에 균일하게 전류가 흘러간다. P-/n-epi층의 농도는 각각 $1 \times 10^{15}/\text{cm}^3 \sim 9 \times 10^{15}/\text{cm}^3$ 로 변경시켜가며 simulation을 수행하였으며, recessed gate의 깊이는 $1\mu\text{m} \sim 2.5\mu\text{m}$ 로 변경시켰다. 또한 trench drain의 깊이는 epi층의 두께와 동일하게 하였고, gate 산화막의 두께는 1000Å을 사용하였다.

1. 서 론

SOI(Silicon-On-Insulator) LDMOSFET(Lateral Double-diffused MOSFET)는 절연격리가 쉽고, 누설전류가 낮기 때문에 고전압 IC에 많이 사용되어 왔으며, VLSI 공정에 적합하며 또한 다른 소자들과의 집적이 용이하다는 장점을 가지고 있다[1].

LIGBT와 같은 전도성 변조 소자들과 비교해 볼 때 LDMOS는 높은 on-저항을 가지고 있으며, 소자 전체에 흐르는 높은 구동전류와 내전압으로 인해 전력 소비가 크다.

On-저항이 증가함에 따라 HVICs(High Voltage ICs)의 전력소비는 증가하게 되고, self-heating effect를 유발하게 되어 소자의 온도를 증가시킴으로써 소자의 성능을 저하시키게 된다. 따라서 전력소비를 줄이고, 전체적인 소자의 성능을 향상시키기 위해서는 on-저항을 감소시켜야 한다[2-5]

고전압 소자에 있어서 on-저항은 소자의 epi영역의 농도에 의존한다. 하지만 소자의 내전압 특성 역시 epi영역의 농도에 의해 결정되므로 on-저항은 소자의 농도에 따라 제한되게 된다.

본 논문에서는 내전압의 감소 없이 낮은 on-저항을 얻을 수 있는 소자인 multi-RESURF SOI LDMOSFET에 대해 epi층의 농도와 두께에 따른 내전압 및 on-저항 특성을 연구하였다. 소자의 특성은 2차원 공정 simulator인 ATHENA와 소자 simulator인 ATLAS를 이용해 검증하였다.

2. 본 론

2.1 Device structure

그림 1에 simulation에 사용된 소자의 구조를 나타내었다. 균일한 전류 특성을 얻기 위해 recessed gate 및 trench drain구조를 사용하였고, 높은 내전압과 낮은 on-저항을 얻기 위해 p-/n-의 이중 epi층 구조를 가지도록 하였다. 제안된 소자는 off 상태에서 epi 층 전체가 공핍되도록 설계되었으며, recessed gate와 trench

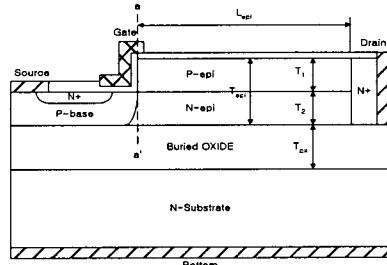


그림 1. 제안된 구조를 가지는 LDMOS

2.2 Simulation 결과 및 분석

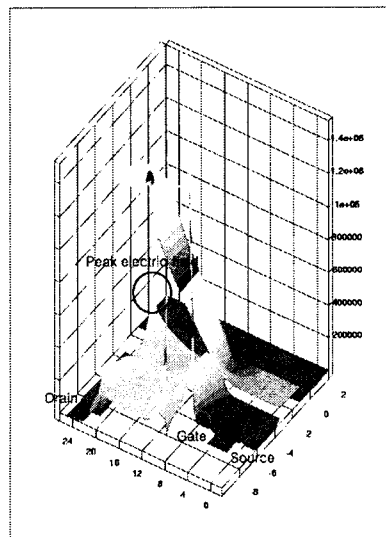


그림 2. Electric field at breakdown

그림 2에 제안된 소자가 항복된 경우 소자 내에서의 전계를 나타내었다. 기존의 LDMOS의 경우 항복현상은

주로 소자표면에서의 수평전계에 의해 일어나게 되지만 multi-RESURF LDMOS의 경우 p-/n-epi 층에서의 전하보상효과에 의해 bulk에서의 수직전계 성분에 의해 항복이 일어나게 된다. 그림에서도 multi-RESURF 구조의 경우 소자내의 p-/n- 접합과 n-/매몰산화막 경계면에서의 전계의 크기가 표면전계에 비해 크다는 것을 알 수 있다.

그림 3에 p-/n-epi층의 농도를 각각 $3 \times 10^{15}/\text{cm}^3$ 과 $7 \times 10^{15}/\text{cm}^3$ 으로 고정한 경우 epi층의 두께에 따른 항복전압의 변화를 나타내었다. 그림에서 보면 항복전압이 epi층의 두께가 $5\mu\text{m}$ 가 될 때까지 증가하다가 그 이상에서는 급격히 감소함을 볼 수 있다.

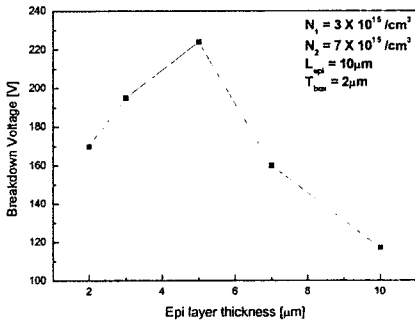
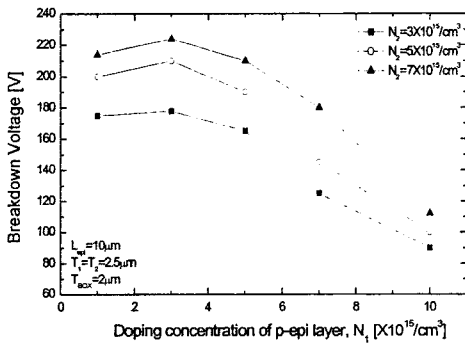


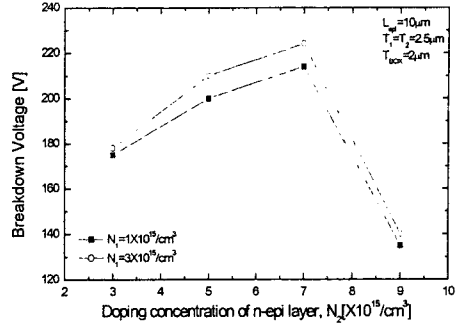
그림 3. Epi층의 두께에 따른 항복전압 변화

앞에서도 언급하였듯이 제안된 구조를 갖는 소자의 경우 항복현상은 bulk내에서의 수직전계에 의해 결정되어지며, 따라서 epi층이 모두 공핍되었을 때 항복전압은 epi층의 두께가 증가함에 따라 서서히 증가하게 된다. 그러나 epi층의 두께가 지나치게 두꺼워지게 되면, epi층이 모두 공핍되지 않기 때문에 항복이 일찍 일어나게 되며 따라서 multi-RESURF 구조를 가지는 소자의 경우 설계시 epi층의 농도에 따라 두께를 정해줘야만 한다.

P-epi층의 농도를 고정시킨 경우와 n-epi층의 농도를 고정시킨 경우에 대해 epi층의 두께가 $5\mu\text{m}$ 일 때 농도 변화에 따른 항복전압의 변화를 그림 4에 나타내었다.



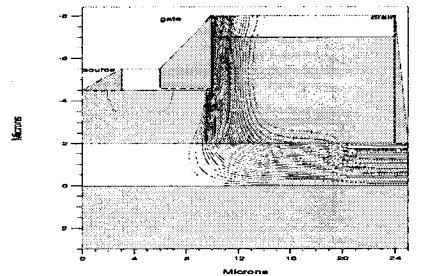
(a) P-epi concentration



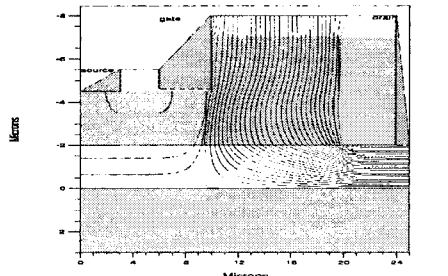
(b) N-epi concentration

그림 4. 농도변화에 따른 항복전압 변화

그림에서 볼 수 있듯이 제안된 구조에서는 $T_1 = T_2 = 2.5\mu\text{m}$ 이고 $N_1 = 3 \times 10^{15}/\text{cm}^3$, $N_2 = 7 \times 10^{15}/\text{cm}^3$ 인 경우의 항복전압이 224V 로 가장 높게 나타남을 알 수 있다. Multi-RESURF 구조의 경우 p-/n-epi의 전하불균형이 일어나게 되면 항복전압이 현저하게 줄어든다고 알려져 있고, 실제 수직형 구조의 multi-RESURF DMOS에서는 p-/n-epi층의 농도 및 두께를 동일하게 사용하여 전하균형을 맞추어 주는 경우에 가장 높은 항복전압을 얻을 수 있다고 알려져 있으나[6], 수평형 구조의 LDMOS의 경우에는 수직형 구조의 DMOS와는 달리 수직전계뿐만 아니라 표면전계 성분도 항복특성에 영향을 미치기 때문에 전계 성분의 영향을 고려하여 p-/n-epi층의 농도를 결정하여야 한다.



(a) 기존의 LDMOS



(b) 제안된 LDMOS

그림 5. 기존의 LDMOS구조와 제안된 LDMOS구조에서의 전위분포차이

그림 5에 기존의 LDMOS와 제안된 구조를 가지는 LDMOS의 항복시의 전위분포를 나타내었다. 기존의 LDMOS의 경우 항복이 일어날 때, gate나 drain 부분에 전위가 집중되지만 제안된 구조의 경우 전하보상효과로 인해 epi 영역 전체에 고르게 전위가 분포하게 된다. Epi 영역 전체에 나타나는 전계도 기존의 LDMOS에 비해 균일하게 나타나게 된다.

그림 6은 $V_G=10V, V_D=0.1V$ 가 인가되었을 때 제안된 구조를 가지는 소자의 전류 흐름도이다.

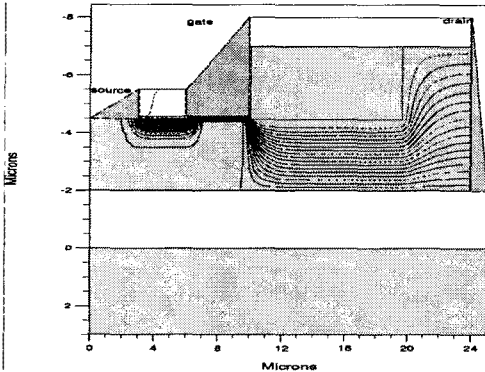


그림 6. 제안된 구조의 전류흐름

그림에서 볼 수 있듯이 제안된 구조를 가지는 LDMOS의 경우 recessed gate 및 trench drain 구조로 인해 n-epi층 전체에 고르게 전류가 흘러감을 알 수 있다. 결과적으로 제안된 구조에서는 epi층에서 전류가 흐르게 되는 유효영역의 크기가 증가하게 되고, 따라서 on-저항 또한 감소하게 된다.

그림 7에 제안된 소자와 기존 소자의 온도변화에 따른 전류-전압 곡선을 나타내었다. 제안된 소자의 경우 $T_1=T_2=2.5\mu m, N_1=3 \times 10^{15}/cm^3, N_2=7 \times 10^{15}/cm^3$ 를 사용하였으며, 기존의 LDMOS의 경우 $T_{epi}=5\mu m, N_{epi}=3 \times 10^{15}/cm^3$ 를 사용하였다. LDMOS의 경우 negative temperature coefficient를 가지고 있기 때문에 온도가 올라갈 경우 전도특성이 떨어지게 되고 항복전압이 감소하는 경향이 있는데 그림에서도 이러한 경향을 확인할 수 있다. 또한 제안된 소자의 경우 고온에서도 높은 on-state 항복전압 특성을 나타내어 기존의 LDMOS에 비해 안전동작영역(SOA)이 큼을 알 수 있다.

On-저항과 항복전압간의 상관관계곡선을 그림 8에 나타내었다. 제안된 구조를 가지는 소자의 경우 동일한 항복전압에서 기존의 LDMOS에 비해 좋은 특성을 나타냄을 알 수 있다.

3. 결 론

Multi-RESURF SOI LDMOS에 관해 농도와 두께에 따른 항복전압의 변화와 on-특성에 관해 알아보았다. 제안된 구조의 경우 recessed gate 및 trench drain 구조를 가짐으로써 on-상태에서 epi 영역 전체에 전류가 균일하게 흘러가기 때문에 기존의 LDMOS에 비해 낮은 on-저항을 가진다. 또한 p-/n-의 이중 epi 구조를 가지기 때문에 전하보상효과로 인해 epi층의 농도를 낮추지 않고도 높은 항복전압을 얻을 수 있다.

제안된 구조의 경우 epi층의 두께 $T_1=T_2=2.5\mu m$ 이

고, $N_1=3 \times 10^{15}/cm^3, N_2=7 \times 10^{15}/cm^3$ 일 때 224V의 항복전압을 얻을 수 있어 동일한 n-epi 농도를 가지는 기존의 LDMOS의 90V에 비해 높은 항복전압을 얻을 수 있었다. On-저항의 경우에도 그림 8의 상관관계곡선에서 볼 수 있듯이 동일한 항복전압을 기준으로 할 때 제안된 구조를 가지는 LDMOS의 on-저항이 기존의 LDMOS에 비해 훨씬 낮게 나타남을 알 수 있다.

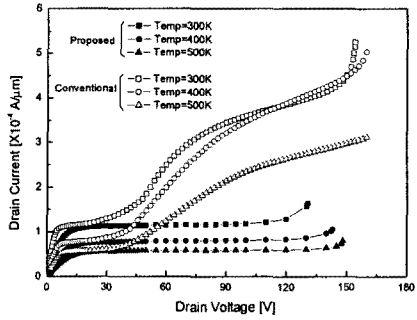


그림 7. 온도변화에 따른 I-V curve

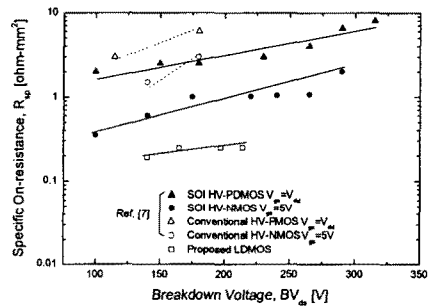


그림 8. Trade-off curve

[참 고 문 헌]

- [1] B. Murari, F. Bertotti, and G. A. Vignola, Smart Power ICs, New York, Springer, 1995.
- [2] V. Parthasarathy et al., "A 33V, 0.25mΩ-mm² n-channel LDMOS in a 0.65μm smart power technology for 20-30V application", Proc. 10th ISPSD, pp. 61-64, 1998.
- [3] M. Zitouni et al., "A new concept for the lateral DMOS transistor for smart power ICs", Proc. 11th ISPSD, pp. 73-76, 1999.
- [4] C. Y. Tsai et al., "16-60V rated LDMOS show advanced performance in an 0.72μm evolution BiCMOS power technology", IEDM Tech. Dig., pp. 367-370.
- [5] K. Konishita et al., "20V LDMOS optimized for high drain current conditions which is better, n-epi or p-epi?", Proc. 11th ISPSD, pp. 59-62, 1999.
- [6] Yuseke Kawahuchi et al., "Predicted Electrical Characteristics of 4500V Super Multi-Resurf MOSFET" Proc. 11th ISPSD, pp. 95-98, 1999.
- [7] Kenya Kobayashi et al., "High Voltage SOI CMOS IC Technology for Driving Plasma Display Panels", Proc. 10th ISPSD, pp. 141-144, 1998.