

대칭/비대칭 double 게이트를 갖는 SOI MOSFET에서 subthreshold 누설 전류 특성 분석

이기암, 박정호
고려대학교 전기공학과

Characteristics of Subthreshold Leakage Current in Symmetric/Asymmetric Double Gate SOI MOSFET

Ki-Am Lee, Jungho Pak
Department of Electrical Engineering, Korea University

Abstract - 현재 게이트 길이가 100nm 이하의 MOSFET 소자를 구현할 때 가장 대두되는 문제인 short channel effect를 억제하는 방법으로 제안된 소자 중 하나가 double gate (DG) silicon-on-insulator (SOI) MOSFET이다. 그러나 DG SOI MOSFET는 두 게이트간의 align과 threshold voltage control 문제가 있다. 본 논문에서는 DG SOI MOSFET에서 이상적으로 게이트가 align된 구조와 back 게이트가 front 게이트보다 긴 non-align된 구조가 subthreshold 동작 영역에서 impact ionization에 미치는 영향에 대해 시뮬레이션을 통하여 비교 분석하였다. 그 결과 게이트가 이상적으로 align된 구조보다 back 게이트가 front 게이트보다 긴 non-align된 구조가 게이트와 드레인이 overlap된 영역에서 impact ionization이 증가하였으며 게이트가 각각 n+ 폴리실리콘과 p+ 폴리실리콘을 가진 소자에서 두 게이트가 같은 work function을 가진 소자보다 높은 impact generation rate를 가짐을 알 수 있었다.

1. 서 론

CMOS 소자의 게이트 길이가 50nm까지 감소함에 따라 기존의 MOSFET 구조에서 나타나는 문제를 극복하기 위하여 새로운 구조를 가진 소자들이 제안되고 있다 [1]. 그 중 DG SOI MOSFET는 기존의 single gate MOSFET 구조보다 높은 transconductance, 높은 drive current, 거의 이상적인 subthreshold swing (300K에서 60mV/dec), DIBL이나 V_{th} roll-off와 같은 short channel effect의 억제 등과 같은 장점을 가지고 있다 [2,3]. 특히 silicon layer 두께가 얇을 경우 채널 영역이 fully-depleted를 넘어서 채널 영역이 완전히 volume inversion이 되며 채널 중간에서 전자 농도가 최대가 됨으로 인해 oxide와 실리콘 간의 경계면에서 나타나는 surface roughness scattering의 영향을 줄일 수 있다 [4]. 그러나 DG MOSFET 구조에서는 front 게이트와 back 게이트 간의 alignment와 threshold voltage 조절에 어려움이 있을 수 있다. 두 게이트간의 alignment 문제에 대해서는 F. Allibert et al. [5]이 발표한 논문에서 non-align된 DG MOSFET 구조가 게이트와 overlap된 소스 쪽의 LDD 영역에서 strong inversion이 형성됨으로 인해 소스 쪽의 series resistance를 감소시켜 이상적인 구조보다 더 높은 drive current와 높은 transconductance 가져와 공정시 게이트 align 문제에 보다 유연해질 수 있음을 보였다. 또한 threshold voltage 조절의 경우 채널 영역의 doping 농도를 높이는 것은 소자의 mobility를 떨어뜨리고, 게이트 길이가 100nm 이하로 감소하는 경우에 silicon layer에서 doping fluctuation으로 인한 각 소자들 간의 threshold voltage fluctuation이 발생하기 때문에 게이트의 work function을 조절하여 threshold voltage를 조절하는 방법이 많이 연구되고 있다 [6].

본 논문에서는 back 게이트를 front 게이트보다 길게 한 non-align 구조가 두 게이트가 이상적으로 align된

구조에 비해 subthreshold 영역에서 누설 전류에 미치는 영향을 보기 위하여 front 게이트가 n+ 폴리실리콘이고, back 게이트가 p+ 폴리실리콘인 구조와 두 게이트를 실리콘의 mid-gap work function으로 정의한 구조에 대해서 subthreshold 영역에서 전계 분포의 영향에 따른 impact ionization에 의한 누설 전류의 변화에 대해 시뮬레이션을 통하여 비교 분석하였다.

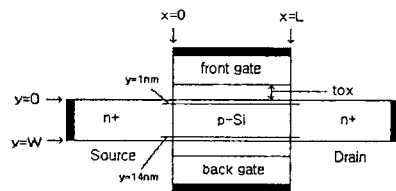
2. 본 론

2.1 소자의 시뮬레이션 조건

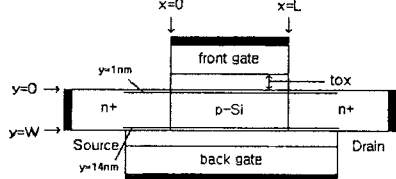
그림 1과 같이 소자의 기본 구조는 front 게이트와 back 게이트의 길이에 따라 두 종류로 나누어진다. 그림 1(a)는 두 게이트의 길이가 같고 이상적으로 align된 경우이며, 그림 1(b)는 npn-align된 경우로서 back 게이트와 S/D 영역간의 overlap 길이를 25nm로 설정하였다. 표 1과 같이 게이트 물질 조건 및 front 게이트와 back 게이트의 길이에 따라 소자를 네 종류로 구분하였다.

표 1. 게이트 물질 조건 및 front 게이트와 back 게이트의 길이에 따른 소자의 분류.

	Front 게이트		Back 게이트	
	길이	material	길이	material
SYM	50nm	4.5eV work function	50nm	4.5eV work function
ASYM1	50nm	n+ 폴리실리콘	50nm	p+ 폴리실리콘
ASYM2	50nm	4.5eV work function	100nm	4.5eV work function
ASYM3	50nm	n+ 폴리실리콘	100nm	p+ 폴리실리콘



(a)



(b)

그림 1. DG MOSFET의 개념도 (W = 15nm) (a) front 게이트 길이 50nm, back 게이트 길이 50nm (b) front 게이트 길이 50nm, back 게이트 길이 100nm.

게이트 work function을 4.5eV로 설정한 이유는 게이트에 각각 n+ 폴리실리콘과 p+ 폴리실리콘을 사용한 소자와 threshold voltage를 비슷하게 갖도록 하기 위한 것이며, 시뮬레이션 결과에서는 SYM 소자의 경우 $V_d = 50\text{mV}$ 에서 threshold voltage는 0.0129V이며, ASYM2 소자의 경우 0.0151V로 나타났다. 게이트 oxide는 front와 back 모두 2nm이고 채널 doping 농도는 p-type $1 \times 10^{15}\text{cm}^{-3}$, S/D영역의 농도는 n-type $1 \times 10^{20}\text{cm}^{-3}$ 이며, 실리콘 두께는 15nm로 하였으며 이 두께에서는 quantum effect를 무시할 수 있다 [7].

소자의 시뮬레이션은 SILVACO사의 ATLAS를 사용하여 2-D numerical device 시뮬레이션을 하였으며 높은 전계로 인한 carrier energy의 증가 및 non-local effect를 고려하기 위해 energy balance model을 적용하였다.

2.2 시뮬레이션 결과 및 분석

그림 2는 DG MOSFET에서 $V_g = 0\text{V}$ 일 때 front 게이트와 back 게이트가 같은 4.5eV의 work function을 가지는 구조와 front 게이트에는 n+ 폴리실리콘이고 back 게이트에는 p+ 폴리실리콘인 소자의 energy band diagram을 보이고 있다. 게이트 전압이 인가되기 시작하면 그림 2(a)의 경우 front 게이트와 back 게이트에 의해 생성되는 채널이 양쪽으로 형성되나 그림 2(b)에서는 n+ 폴리실리콘과 p+ 폴리실리콘의 work function 차이로 인해서 energy band가 그림과 같이 기울게 되어 front 게이트 영역에서 먼저 채널이 형성된다. Work function 차이로 인한 energy band의 기울어짐은 p+ 폴리실리콘 게이트와 드레인 영역간에 높은 전계를 유발할 수 있으며, 높은 전계로 인해 carrier energy가 증가하고 carrier의 velocity overshoot이 발생한다.

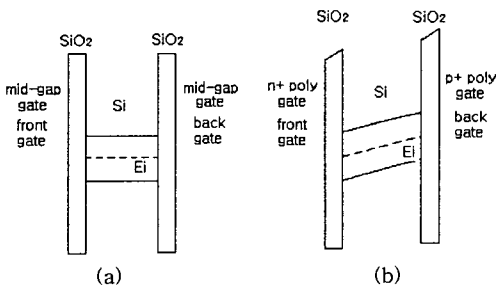


그림 2. $V_g = 0\text{V}$ 일 때 DG MOSFET의 schematic energy band diagram (a) 대칭 DG (b) 비대칭 DG.

그림 3은 게이트 구조가 다른 네 종류의 소자에 대해 $V_g = 0\text{V}$ 이고 $V_d = 1\text{V}$ 일 때 front 게이트 밑의 oxide와 silicon layer 사이의 경계면에서 back 게이트 방향으로 1nm 떨어진 지점 (그림 1에서 $y = 1\text{nm}$ 인 지점)에서의 수평 전계와 수직 전계를 나타낸 그림이다. Front 게이트에서 같은 게이트 물질을 사용하는 SYM과 ASYM2 및 ASYM1과 ASYM3은 동일한 전계 분포를 가지고 있다. 그림 3(b)에서 수직 전계를 보면 ASYM1과 ASYM3의 경우 front 게이트와 back 게이트 간의 work function 차이로 인한 energy band가 기울어짐 (그림 2(b) 참고)으로 인해 front 게이트 영역에서 양의 전계 값을 가진다.

그림 4는 네 종류의 소자에 대하여 $V_g = 0\text{V}$ 이고 $V_d = 1\text{V}$ 가 인가되었을 때 back 게이트 위의 oxide와 silicon layer 사이의 경계면에서 front 게이트 방향으로 1nm 떨어진 지점 (그림 1에서 $y = 14\text{nm}$ 인 지점)에서의 수평 전계와 수직 전계에 대해 나타내고 있다. SYM 소자의 경우 수평과 수직 전계는 각각 front 게이트와 back 게이트 영역에서 동일한 분포를 갖는다. 그러나 back 게이트가 100nm인 ASYM2 소자의 경우

채널영역과 드레인의 만나는 부분에서 수평 전계의 최대값은 back 게이트가 50nm인 SYM 소자보다 12.1% 정도 감소하나, 수직 전계의 경우 드레인과 채널 영역이 만나는 부분에서 전계의 최대값이 SYM 소자에 비해 25.9% 증가한다. 또한 back 게이트가 100nm인 ASYM2 소자의 경우 드레인과 게이트가 overlap 되어 있는 영역에서도 수직 전계 증가로 인해 그림 5에서와 같이 overlap된 영역에서 impact generation rate가 증가한다. Front 게이트에 n+ 폴리실리콘을 그리고 back 게이트에 p+ 폴리실리콘을 가지는 ASYM1과 ASYM3 소자에서도 back 게이트 영역에서의 수직 전계의 증가 및 드레인과 게이트가 overlap된 영역에서 수직 전계가 증가한다. 특히 front 게이트와 back 게이트의 work function이 동일한 SYM과 ASYM2 소자보다 front 게이트는 n+ 폴리실리콘이고 back 게이트는 p+ 폴리실리콘인 소자의 수직 전계가 더 높게 나타난다. 같은 100nm의 back 게이트 길이를 가지는 ASYM2와 ASYM3 소자의 경우 수직 전계의 최대값은 ASYM3 소자가 ASYM2 소자보다 65.5% 더 높은 값을 보인다. Back 게이트의 길이가 100nm인 소자의 경우 subthreshold 영역에서 back 게이트와 드레인이 overlap된 곳에서는 높은 전계가 형성됨으로 인해 gate-induced-drain-leakage (GIDL)가 증가하는 원인이 되며, parasitic BJT의 동작이 가능해져 subthreshold 영역에서 누설 전류가 증가할 수 있다. Front 게이트가 n+ 폴리실리콘이고 back 게이트가 p+ 폴리실리콘인 ASYM1과 ASYM3 소자의 경우 높은 수직 전계의 영향으로 impact generation rate의 증가를 가져오며, 이 때 발생한 전자는 front 게이트가 n+ 폴리실리콘, back 게이트가 p+ 폴리실리콘을 가지는 ASYM1, ASYM3 소자의 경우 front 게이트의 potential이 back 게이트 영역보다 높기 때문에 전자가 front 게이트 oxide로 침투하는 hot electron injection이 발생하며 게이트 누설 전류의 원인이 된다 [8,9].

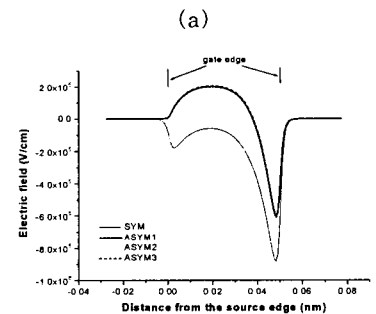
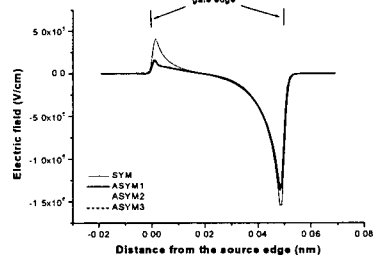
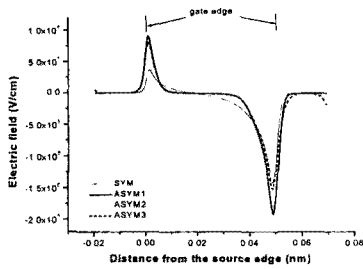
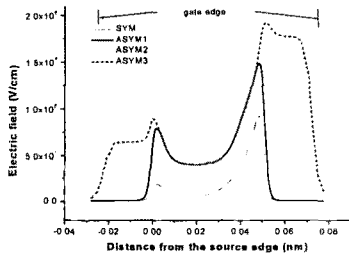


그림 3. 네 종류의 소자에 대해 front 게이트 oxide와 silicon layer와의 경계면에서 back 게이트 방향으로 1nm 떨어진 지점 (그림 1에서 $y = 1\text{nm}$)에서의 전계 분포 (a) 수평 전계 (b) 수직 전계.



(a)



(b)

그림 4. Back 게이트 oxide와 silicon layer간의 경계면에서 front 게이트 방향으로 1nm 떨어진 지점 (그림 1에서 $y = 14\text{nm}$)에서의 전계 분포 (a) 수평 전계 (b) 수직 전계 (gate edge는 게이트 길이가 100nm인 경우).

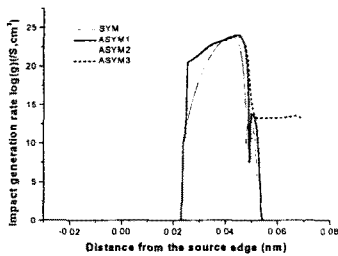


그림 5. 네 종류의 소자에 대한 back 게이트 영역 (그림 1에서 $y = 14\text{nm}$ 인 지점)에서의 impact generation rate.

3. 결 론

본 논문에서는 DG SOI MOSFET에서 front 게이트와 back 게이트의 길이의 차이가 게이트 work function 차이에 따라 subthreshold 영역에서 소자의 누설전류에 미치는 영향에 대해 시뮬레이션을 통하여 분석하였다. 먼저 front 게이트와 back 게이트의 길이가 동일한 경우 각각의 게이트가 n+ 폴리실리콘과 p+ 폴리실리콘인 비대칭 소자가 두 게이트의 work function이 동일한 소자에 비해 p+ 폴리실리콘 게이트 영역에서 높은 수직 및 수평 전계를 가진다. Back 게이트가 front 게이트보다 긴 non-align된 소자의 경우 두 게이트 길이가 같고 이상적으로 align된 소자보다 드레인과 게이트가 overlap되는 영역에서 높은 수직 전계로 인해 impact generation rate가 증가하며 back 게이트가 p+ 폴리실리콘인 소자가 back 게이트의 work function이 4.5eV인 소자보다 높은 impact generation rate를 나타냈다. Back 게이트의 길이가 front 게이트보다 긴 구조의 경우 소자가 on 상태에서

는 두 게이트가 이상적으로 align된 경우보다 우수한 drive current와 transconductance를 가지고 공정이 쉬워지는 장점이 있으나, 본 논문에서와 같이 게이트와 드레인이 overlap되는 영역에서 수직 전계 증가로 인한 impact generation rate의 증가 및 GIDL의 증가를 가져올 수 있다.

감사의 글

본 논문은 BK 21 사업 및 고려대학교 특별연구비에 의하여 부분적으로 지원되어 수행된 연구로서, 관계부처에 감사드립니다.

(참 고 문 헌)

- [1] *International Technology Roadmap for Semiconductors*, 2001.
- [2] D. J. Frank et al., "Monte Carlo simulation of a 30nm dual-gate MOSFET: How short can Si go?," in *IEDM Tech. Dig.*, pp. 553-556, 1992.
- [3] Sorin Cristoloveanu, "Silicon on insulator technologies and devices: from present to future," *Solid-State Electronics*, Vol. 45, pp. 1403-1411, 2001.
- [4] Francis Balestra et al., "Double-Gate silicon-on-insulator transistor with volume inversion: A New Device with Greatly Enhanced Performance," *IEEE Electron Device Letters*, Vol. 8, pp. 410-412, 1987.
- [5] F. Allibert et al., "Double-Gate MOSFETs: Is Gate Alignment Mandatory?" *ESSDERC*, pp. 150-153, 2001.
- [6] Leland Chang et al., "Gate Length Scaling and Threshold Voltage Control of Double-Gate MOSFETs," in *IEDM Tech. Dig.*, pp. 719-723, 2000.
- [7] Bogdan Majkusiak et al., "Semiconductor Thickness Effects in the Double-Gate SOI MOSFET," *IEEE Trans. Electron Devices*, Vol. 45, pp. 1127-1134, 1998.
- [8] S. C. Williams et al., "Analysis of Hot-Electron Reliability and Device Performance in 80nm Double-Gate SOI n-MOSFET's," *IEEE Trans. Electron Devices*, Vol. 46, pp. 1760-1767.
- [9] Jian Chen et al., "The enhancement of Gate-Induced-Drain-Leakage (GIDL) current in short channel SOI MOSFET and its application in measuring lateral bipolar current gain β ," *IEEE Electron Device Letters*, Vol. 13, pp. 572-574, 1992.