

러빙 처리된 표면의 적층 절연막을 가지는 Pentacene TFT의 전기적 특성

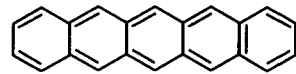
강창현, 이종혁, 박재훈, 최중선
홍익대학교 전기제어공학과

ELECTRICAL CHARACTERISTICS OF PENTACENE THIN FILM TRANSISTORS WITH STACKED AND SURFACE-TREATED GATE INSULATORS

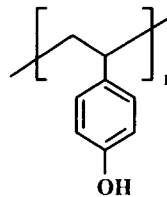
Chang-Heon Kang, Jong-Hyuk Lee, Jae-Hoon Pack, Jong Sun Choi
Dept. of Electrical and control Eng., Hongik Univ.

Abstract - In this paper, the electrical characteristics of pentacene thin film transistors(TFTs) with stacked and surface-treated gate insulators have been investigated. The semiconductor layer of pentacene was thermally evaporated onto the stacked gate insulators. For the gate insulating materials, PVP(Polyvinylphenol) and polystyrene were spin-coated with two different stacking orders, PVP-polystyrene and polystyrene-PVP. Rapid solvent evaporation during the spin-coating processes of these insulating layers produces non-equilibrium phase morphologies accompanied by surface undulations on gate insulator interfaces.¹⁾ This non-equilibrium phase morphology affects the growth mode of the subsequent pentacene layer. Therefore, in order to smoothen the gate dielectric surfaces, gate dielectric surfaces were rubbed laterally along the direction from the drain to the source TFTs with with stacked and surface-treated gate insulators have provided improved operational characteristics.

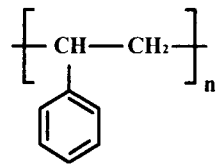
그림 1은 소자 제작에 사용된 유기물의 분자구조를 나타내었고, 표 1에는 제작된 소자의 부분별 두께와 형성 방법을 나타내었다.



(a) Pentacene



(b) PVP



(c) Polystyrene

그림 1.(a)Pentacene, (b)PVP, (c)Polystyrene의 분자 구조.

1. 서 론

최근 유기물을 활성층으로 사용한 박막트랜지스터는 유연성, 경제성, 성형성 등의 장점을 가지고 대면적, 고해상도 디스플레이를 구현하기 위한 화소 스위칭 소자나 스마트 카드 등의 여러 분야에서 연구되고 있다. 많은 유기반도체들 중에서 pentacene이 가장 우수한 TFT 특성을 보여주고 있는 것으로 보고되고 있다. 절연물질과 TFT의 다른 소재들도 유기물로 대체할 수 있다면 유기 박막트랜지스터의 장점을 더욱 높일 수 있을 것이다.²⁾⁻¹¹⁾

본 연구에서는 pentacene을 활성층으로 하는 TFT 소자를 제작하였고, 적층 구조의 게이트 절연층 표면의 러빙 처리 효과에 대해 연구하였다.

2. 본 론

2.1 실험 방법

세정 과정을 거친 유리 기판 위에 웨도우 마스크를 이용한 열 증착법에 의해 게이트 전극을 형성하였다. 게이트 전극으로는 크롬(Chromium)을 사용하여 120nm의 두께로 증착하였다. 게이트 전극 성막 후 게이트 절연층으로 PVP/polystyrene, polystyrene/PVP의 순서로 두 가지 구조를 spin-coating으로 적층하였다. 그리고 게이트 절연층의 표면 처리로 러빙(rubbing) 방법을 이용하였다. 표면 처리 과정이 끝난 후에는 활성층을 형성하게 되는데 활성층으로는 pentacene을 사용하였다.

표 1.

게이트 전극	Cr	120nm	열 증착법
게이트 절연층	PVP	300nm	spin-coating
	Polystyrene	250nm	
활성층	Pentacene	700Å	열 증착법
드레인, 소스 전극	Au	90nm	열 증착법

Pentacene은 1.0×10^{-6} Torr의 진공도에서 700Å의 두께로 열 증착법을 이용해 성막하였는데 패턴의 형성은 웨도우 마스크를 사용하였다. 소스와 드레인층은 웨도우 마스크를 이용하여 금을 열 증착하였다. TFT의 채널 길이를 150 μm로, 폭은 5 mm로 제작하였다. 소스와 드레인 전극의 형성으로 pentacene TFT 소자가 완성된다. 그림 2는 본 연구에서 사용한 TFT의 소자 구조를 나타낸 것이다.

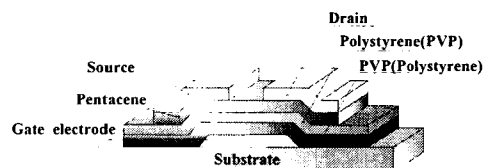
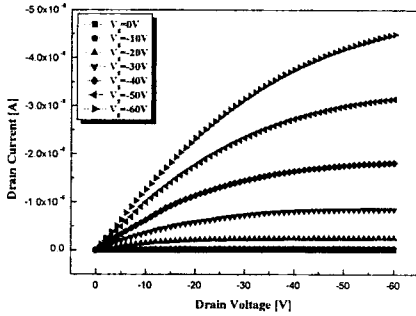


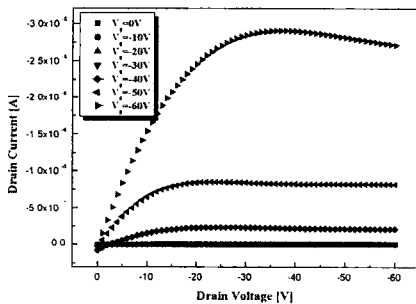
그림 2. Pentacene TFT 소자 구조.

2.2 실험 결과

절연층으로 사용한 PVP와 polystyrene은 spin-coating시 용매의 빠른 증발로 인해 미세한 파동모양의 골과 마루가 생긴다. 이러한 파동 모양의 기복은 활성층의 생성에 영향을 미치게 된다. 그림 3과 4는 게이트 절연층을 적층하였을 때 적층 순서별 출력특성곡선과 전달 특성 곡선을 나타낸다.



(a) Polystyrene-PVP의 출력곡선



(b) PVP-polystyrene의 출력곡선

그림 3. 적층구조의 게이트 절연층을 갖는 소자의 출력 특성 곡선

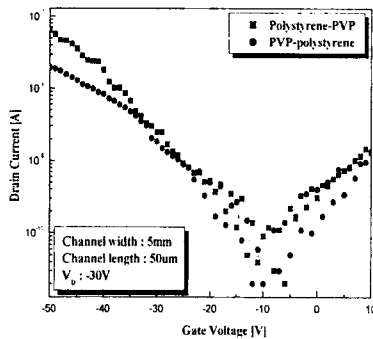


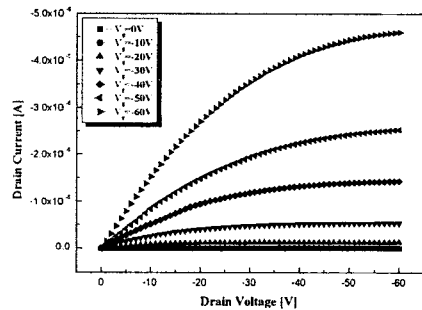
그림 4. 적층구조의 게이트 절연층을 갖는 소자의 전달 특성 곡선

Polystyrene 위에 PVP를 적층한 소자가 PVP 위에 polystyrene을 위에 적층시킨 소자보다 더 좋은 전기적 특성을 보였으며 이것은 spin-coating시 발생하는 PVP의 파동모양의 기복이 polystyrene의 기복보다 작고 결국 절연층 위에 성장되는 활성층의 형성에 영향을 미쳤기 때문이다. 표 2에 제작된 각 소자별 이동도, on/off 전류 비 그리고 문턱전압을 나타내었다.

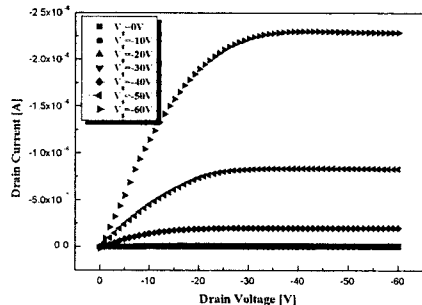
표 2.

적층순서	이동도 (cm ² /Vs)	on/off 전류비	문턱전압
Polystyrene-PVP	0.00051	10 ³ ~10 ⁴	-23V
PVP-polystyrene	0.00008	10 ² ~10 ³	-17V

spin-coating시 사용되는 용매는 용질의 유리 전이 온도(glassification temperature, Tg)보다 낮은 끓는점을 가져야 한다. 결국 낮은 끓는점을 갖는 용매를 사용함으로써 spin-coating시 용매의 빠른 증발로 인하여 파동모양의 기복이 형성되게 되며 그 결과 절연층 위의 활성층 형성에 영향을 미치게 된다. 이러한 거친 절연층의 형태를 부드럽게 하기 위하여 절연층 표면처리 방법으로 러빙(rubbing)법을 사용하였다. 러빙법은 거친 절연층 표면을 부드러운 천으로 소오스와 드레인에 수평 방향으로 밀어줌으로서 표면 상태의 향상시킬 수 있는 간단한 방법이다. 그림 5(a), (b)는 러빙처리한 각 소자의 출력특성 곡선을 나타낸 것이다.



(a) Polystyrene-PVP의 출력곡선



(b) PVP-polystyrene의 출력곡선

그림 5. 러빙처리한 적층구조의 게이트 절연층을 갖는 소자의 출력특성 곡선

러빙처리한 각 소자별 출력특성 곡선을 볼 때, 주어진 게이트 전압에 대하여 드레인 전류가 약간 증가하였으며 더 안정적인 포화곡선을 보여준다. 그림 6과 표 3에 러빙처리한 소자의 전달특성 곡선과 산출된 이동도, on/off 전류비 그리고 문턱전압을 나타내었다.

이 논문은 1999년도 한국 학술진흥재단의 연구비에 의하여 연구되었음 (KRF-99-005-E00017)

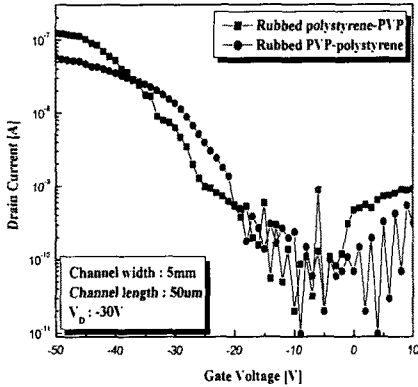


그림 6. 러빙처리한 적층구조의 게이트 절연층을 갖는 소자의 전달특성 곡선

표 3.

적층순서	이동도 (cm^2/Vs)	on/off 전류비	문턱전압
Polystyrene -PVP	0.00053	10^4	-16V
PVP- polystyrene	0.00011	10^4	-10V

드레인-소스에 수평인 방향으로 러빙한 소자와 러빙하지 않은 소자를 비교하여 볼 때, 러빙한 소자 쪽이 향상된 특성을 보이고 있다. 이것은 러빙에 의한 게이트 절연막 표면의 방향성이 향상되고 pentacene의 그레인(grain) 크기가 증가하였기 때문이다. 만약 그레인 크기가 작은 경우 그레인의 경계에서 산란(scattering) 등이 일어나 운반체의 이동을 방해함으로써 전기적 특성을 떨어뜨리기 때문이다.⁵⁾

3. 결 론

본 연구에서는 유기물인 pentacene을 이용한 TFT의 절연막으로 적층구조의 유기물을 사용하였고, 절연막과 반도체층 사이의 계면을 부드러운 천을 사용하여 러빙하였을 때의 계면 효과 특성 변화에 의한 전기적 특성 향상에 관하여 연구하였다. 그 결과 러빙처리를 하지 않은 소자에 비하여 전기적 특성이 향상되었다는 것을 확인할 수 있었다. 즉 spin-coating할 때 발생하는 파동모양의 기복을 부드러운 천으로 러빙을 실시하여 기복이 심한 유기 절연막을 부드럽게 하여 pentacene 분자들의 배향을 향상시켰다는 의미이다.

낮은 유리 전이 온도를 갖는 유기물을 절연막으로 사용할 경우 파동모양의 기복은 반도체층 형성에 영향을 미친다. 더 나아가서 러빙처리 이전에 절연막으로 사용되는 유기물의 적절한 용매의 선택과 질량비의 조합에 대한 연구가 선행되어야 할 것이다.

(참 고 문 헌)

- [1] B. Bergues, J. Lekki, A. Budkowski, P. Cyganik, M. Lekka, A. Bernasik, J. Rysz, Z. Postawa, "Phase decomposition in polymer blend films cast on homogeneous substrates modified by self-assembled monolayers", Vacuum, p 297-305, 2001
- [2] 정태형, "Organic/Polymer Electroluminescence display", pp 1 ~ 3 1998.
- [3] C.A. Armstrong, S. Uppal "Differentiation of effects due to Grain and Grain Boundary Traps in laser annealed Poly-Si Thin Film Transistors", J.J. Appl. Phys. Vol. 37 (1998) pp. 1721 ~ 1727.
- [4] T. Tsumura et al, Synthetic Metals, 25, 11, 1990.
- [5] 이재혁, 이용수, 박재훈, 최종선, 김유진, "표면 처리한 SiO_2 를 게이트 절연막으로 하는 박막 트랜지스터의 특성 연구", 대한전기학회 추계부문학술대회 논문집 (2000) pp. 455 ~ 457.