

이온주입에 의한 소오스/드레인 접합부 결함을 제거한 다결정 실리콘 박막 트랜지스터

강수혁, 정상훈, 이민철, 박기찬, 한민구  
서울대학교 전기공학부

The Elimination of Ion Implantation Damage at the Source/Drain Junction of Poly-Si TFTs

Su-Hyuk Kang, Sang-Hoon Jung, Min-Cheol Lee, Kee-Chan Park and Min-Koo Han  
School of Electrical Engineering, Seoul National University, KOREA

**Abstract** - TFT의 게이트 전극을 형성하기 전에 소오스/드레인 이온 주입과 ELA를 수행함으로써 이온 주입에 의해 발생하는 결정 결함을 줄이는 새로운 poly-Si TFT를 제안한다. 한번의 ELA 공정을 통해서 채널 실리콘 박막의 결정화와 소오스/드레인의 불순물 활성화를 동시에 이루어 접합부의 결함을 치유하였고, 이온 주입에 의해서 비정질화된 소오스/드레인 실리콘과 채널 비정질 실리콘의 용융조건 차이를 이용하여 소오스/드레인 접합부에 실리콘 그레이의 수평성장을 유도하였다. 제안된 소자는 기존의 소자(이동도 :  $86 \text{ cm}^2/\text{V}\cdot\text{s}$ , ON/OFF 전류비  $6.1 \times 10^6$ )에 비해 우수한 특성(이동도 :  $171 \text{ cm}^2/\text{V}\cdot\text{s}$ , ON/OFF 전류비  $4.1 \times 10^7$ )을 나타내었다. LDD나 off-set 구조 없이도 소오스/드레인 접합부의 결함이 완전히 제거되어 누설전류가 감소하였고 소오스/드레인 접합부 결함이 있던 자리에  $1 \mu\text{m}$  이상의 수평성장 그레이이 위치함으로써 ON 전류도 증가하여 ON/OFF 전류비가 크게 개선되었다.

이러한 레이저 어닐링 때문에 소오스/드레인과 채널의 접합부에는 레이저 빔이 제대로 전달되지 않는 영역이 생기게 되고, 이 때문에 치유되지 않는 실리콘 격자 결함들이 남아 TFT의 특성을 열화시킨다. 다결정 실리콘 TFT의 누설전류는 드레인 접합 부분의 그레이인 경계에서 강한 전계에 의해 생성된 전자-홀 쌍이 원인으로 알려져 있고, 드레인 접합 부분의 격자 결함 또한 전자-홀 쌍의 원인이 될 수 있다. 때문에, 누설전류를 줄이기 위해서는 드레인 접합 근처에서의 전자-홀 쌍 생성의 근원지가 되는 그레이인 경계와 격자 결함을 줄여야 한다.

1. 서 론

액시머 레이저 어닐링(Excimer Laser Annealing; ELA)을 이용하여 제작한 저온 다결정 실리콘 박막 트랜지스터 (poly-Si TFT)는 전류 구동능력이 우수하여 AMD (Active Matrix Display)에 널리 이용되고 있다 [1,2]. 이러한 poly-Si TFT의 소오스/드레인 도핑은 일반적으로 이온 주입 공정과 ELA를 이용하여 수행하는데, 게이트 전극 모서리에서 레이저 빔의 회절때문에 소오스/드레인 접합부에 결정 결함들 중 일부가 치유되지 못한 채 남아 누설전류의 원인이 된다 [3,5,6]. 본 연구에서는 이러한 결함들을 없애고 접합 부분에 커다란 수평성장 그레이인을 위치시킴으로써 TFT의 전계효과와 이동도를 증가시키고, 누설전류를 억제시킨 새로운 TFT를 제안한다. 제안된 방법에서는 게이트 형성전에 소오스/드레인 이온주입을 수행하고, 채널의 결정화와 소오스/드레인의 불순물 활성화를 한번의 액시머 레이저 공정으로 동시에 수행한다. 제안된 TFT에서는 이온 주입에 의해 비정질화가 심화된 소오스/드레인의 비정질 실리콘 영역과 채널의 비정질 실리콘 영역의 용융 조건의 차이로 인해 수평 성장한 실리콘 그레이인이 소오스/드레인 접합 부분에 위치한다.

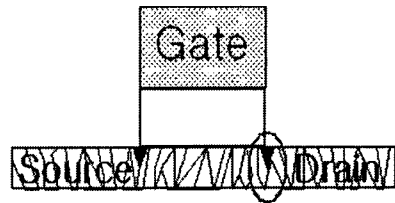


그림 1. 기존의 TFT의 단면도. 소오스/드레인 접합 근처에 다결정 실리콘 그레이인 경계와 치유되지 않은 격자 결함이 남아있다.

2. 본 론

2.1 접합부분의 격자결함

액시머 레이저 어닐링을 이용하여 제작하는 일반적인 Top gate 형 다결정 실리콘 TFT의 공정순서는 비정질 실리콘의 증착 및 레이저 결정화, 게이트 절연체 및 게이트 전극 증착, 게이트 패터닝, 게이트 및 게이트 절연체 식각, 불순물 주입 및 레이저 활성화 순이다. 게이트 형성후의 이온 주입에 의해 다시 비정질화된 소오스/드레인 영역은 레이저를 이용한 불순물의 활성화시 대부분 재결정화된다. 그러나 게이트 전극 모서리에서의 레

2.2 수평 그레이인 성장 메커니즘

실리콘 그레이인의 수평 성장을 유도하기 위해서는 실리콘 박막의 용융 후 결정화가 진행될 때, 수평방향으로의 온도 구배가 필요하다. 본 논문에서 제안한 방법은 이온 주입을 통해 비정질 실리콘 박막의 일부분을 더욱 비정질화하여 기존의 증착된 비정질 실리콘 영역과의 용융 조건을 다르게 하는 것이다. 이온 주입에 의해 격자가 파괴된 비정질 실리콘 영역은 파괴전의 비정질 실리콘 영역에 비해 훨씬 적은 레이저 에너지로 용융이 가능하다[4]. 이는 이온 주입이 수행된 다결정 실리콘 박막의 재결정화 에너지가 채널의 결정화에너지 보다 낮은 원인 중 하나이다. 따라서 증착된 비정질 실리콘 영역과 이온주입이 수행된 비정질 실리콘영역에 동시에 액시머 레이저를 조사한다면 각 영역은 서로 다른 용융 조건을 갖게 된다. 이때 증착된 비정질 실리콘 영역을 부분 용융이 되고, 이온주입이 수행된 비정질 실리콘 영역은 완전 용융되는 에너지 밀도의 레이저를 조사하게 되면, 부분 용융된 영역의 결정화가 먼저 시작되고 완전 용융된 영역에서는 아직 결정핵(seed)이 형성되지 않는 단계이므로 부분 용융된 영역에서 시작된 실리콘의 결정이 완전 용융된 영역의 결정핵이 되어 수평방향으로의 결정 성장이 이루어진다. 수평방향 실리콘 그레이인은 완전 용융된 부분에서 동중핵(Homogeneous nucleation)이 생성되어 수직 방향으로 성장하는 그레이인과 충돌할 때까지 성장한다.

### 2.3 실험

제안된 실리콘 그레이인의 수평 성장법을 다음과 같은 공정에 따라 확인하였다. 500 nm 두께로 습식 산화된 실리콘 기판 위에 PECVD(Plasma Enhanced Chemical Vapor Deposition)를 이용하여 280 °C에서 80 nm의 비정질 실리콘 박막을 증착하고 450 °C에서 2시간동안 탈수소하였다. 포토레지스트 마스크를 이용하여 이온 주입을 수행하고 포토레지스트를 제거한 후 XeCl 엑시머 레이저를 이용하여 비정질 실리콘 박막을 결정화하였다. 사용된 XeCl 엑시머 레이저의 에너지 밀도는 300mJ/cm<sup>2</sup> 였는데, 이 에너지는 이온 주입이 된 영역에는 비정질 실리콘이 완전 용융되는 조건이고 이온 주입이 되지 않았던 영역에는 부분 용융이 되는 에너지 조건이다. 이는 이온이 주입된 영역이 이온 주입이 되지 않은 비정질 실리콘 영역에 비해 더 심하게 비정질화되어 용융 조건이 바뀌었기 때문이다[4].

실리콘 그레이인의 수평성장이 성공적으로 이루어졌음을 TEM 사진으로 확인하였다. 이온이 주입된 영역과 주입되지 않은 영역 사이의 용융 에너지 차이 때문에 생기는 온도 구배에 의해 두 영역 사이에 약 1 μm 길이의 그레이인이 성장하였음을 확인하였다. 실리콘 그레이인은 증착된 비정질 실리콘 영역에서 이온주입된 비정질 실리콘 방향으로 성장하였으며 두 영역의 경계와 일치하였다. 그레이인 성장의 시작점은 이온 주입의 경계와 일치하지 않았는데, 이는 박막의 용융시 완전 용융된 영역의 열이 이온 주입의 경계 근처의 부분 용융된 영역에 전달되어 완전 용융되었기 때문이다. TEM 사진에 의하면 이온 주입이 수행된 영역은 동중핵 생성에 의한 작은 수직 성장 그레이인이 존재함을 알 수 있고, 이온 주입이 수행되지 않은 증착된 비정질 실리콘 영역은 부분 용융에 의해 이보다 큰 그레이인이 성장하였으며, 두 영역 사이에 수평성장 그레이인이 위치함을 알 수 있다.

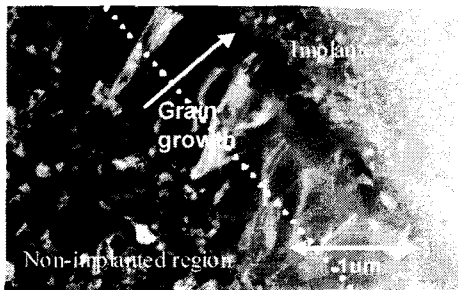
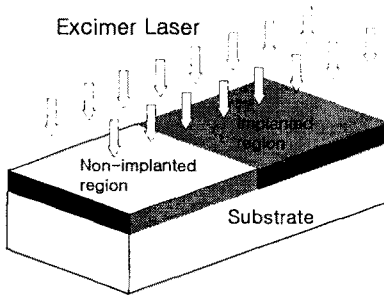


그림 2. 제안된 ELA 방법에 의해 결정화된 poly-Si 박막의 TEM 사진.

### 2.4 TFT 제작 및 결과

제안된 실리콘 그레이인의 수평 성장법을 이용하여 TFT를 제작하였다. 제안된 TFT는 위에서 언급한 증착된 비정질 실리콘 영역을 채널로, 이온 주입된 부분을 소오스/드레인으로 구성한다. 이를 위해 게이트 형성전에 소오스/드레인 이온 주입을 하고 채널과 동시에 결정화를 진행하였다.

제안된 엑시머 레이저 결정화 후에 게이트 절연막으로 100 nm의 TEOS 산화막을 PECVD를 이용하여 390 °C에서 증착하였고, 게이트 전극으로는 300 nm의 알루미늄을 스퍼터링하였다. 게이트 패터닝시 게이트 절연막을 식각하지 않고 알루미늄 게이트막을 패터닝한 후 500nm의 산화막을 증착하고 이후의 공정은 일반적인 금속 공정을 수행하였다.

이와 같이 제작된 TFT는 공정 순서상 소오스/드레인 접합 부분에 실리콘 그레이인 경계나 치유되지 않는 격자 결함을 갖지 않는다. 대신 수평 성장한 커다란 그레이인이 존재하게 된다. 때문에 기존의 TFT와 제안된 TFT는 그림 4와 같은 단면도를 갖게된다. 기존의 ELA 방법으로 제작된 TFT는 소오스/드레인 접합 근처에 그레이인 경계가 많이 존재하고 불순물 활성화가 끝난 후에도 치유되지 않은 격자 결함들이 남아있어 누설전류의 원인이 된다고 알려져 있다[3,5,6]. 제안된 TFT에서는 소오스/드레인 접합 근처에 그레이인 경계나 격자 결함이 아닌 커다란 수평성장 그레이인이 위치하여 누설전류의 두 원인이 제된다.

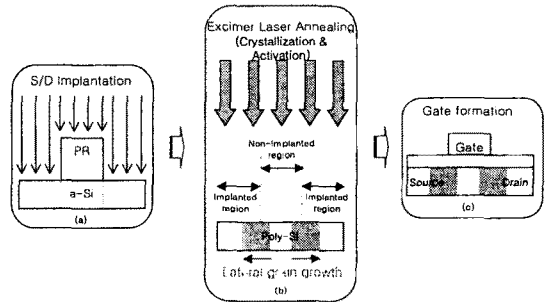


그림 3. 제안된 TFT의 제작 공정도

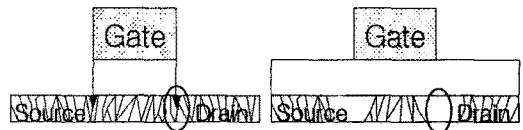


그림 4. 기존의 TFT와 제안된 TFT의 실리콘 그레이인 구조 차이를 나타내는 단면도.

### 3. 결 론

본 연구에서는 TFT의 게이트 전극을 형성하기 전에 소오스/드레인 이온 주입과 ELA를 수행함으로써 소오스/드레인 접합부에 치유되지 못한 채 남은 결정 결함을 줄이는 새로운 poly-Si TFT를 제안하였다. 제안된 소자는 기존의 소자(이동도 :  $86 \text{ cm}^2/\text{V}\cdot\text{s}$ , ON/OFF 전류비  $6.1 \times 10^6$ )에 비해 우수한 특성(이동도 :  $171 \text{ cm}^2/\text{V}\cdot\text{s}$ , ON/OFF 전류비  $4.1 \times 10^7$ )을 나타내었다. 제안된 소자의 전기적 특성이 향상된 이유는 LDD나 off-set 구조 없이도 소오스/드레인 접합부의 결함이 완전히 제거되어 누설전류가 감소하였고 소오스/드레인 접합부의 결정 결함이 있던 자리에  $1 \mu\text{m}$  이상의 수평성장 그래인이 위치함으로써 ON 전류도 증가하여 ON/OFF 전류비가 크게 개선되었기 때문이다.

### (참 고 문 헌)

- [1] R. E. Proano, R. S. Misage and D. G. Ast, "Development and electrical properties of undoped polycrystalline silicon thin-film transistors", IEEE Trans. Electron Devices, 36, p 1915, 1989
- [2] T. Sameshima, M. Hara and S. Usui; Jpn. J. Appl. Phys. 28, L2132, 1989
- [3] J.R. Ayres, S.D. Brotherton, C.A. Fisher, D.J. McCulloch, "A Comparison of LT Poly-Si TFT Architectures" IDW' 98, p 127, 1998
- [4] M. C. Lee, K. C. Park, I. H. Song and M. K. Han, "Effects of selective Si ion implantation on excimer laser annealing of dehydrogenated a-Si film", Journal of Non-Crystalline Solids, 299-302, p 715-720, 2002
- [5] F.W. Rohlfing, J.R. Ayres, S.D. Brotherton, C.A. Fisher, D.J. McCulloch, "Fabrication and Characterisation of Poly-Si TFTs with Self-aligned Lightly-doped Drain", SID' 2000, p 119-122, 2000
- [6] K. C. Park, J. S. Kim, W. J. Nam and M. K. Han, "Residual Ion Implantation Damage at Source/Drain Junctions of Excimer Laser Annealed Polycrystalline Silicon Thin Film Transistor", Proceedings of MRS'02, to be published.

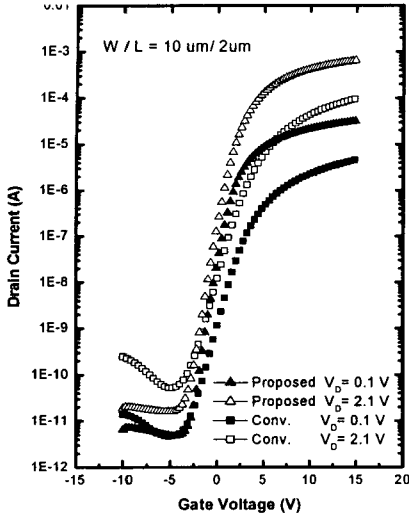


그림 5. 기존의 poly-Si TFT와 제안된 poly-Si TFT의 전달특성

그림 5는 기존의 poly-Si TFT와 제안된 poly-Si TFT의 전달특성을 보여준다. 기존의 TFT의 전계효과 이동도는  $85.5 \text{ cm}^2/\text{V}\cdot\text{s}$  이고, 제안된 TFT의 이동도는 이보다 향상된  $170.4 \text{ cm}^2/\text{V}\cdot\text{s}$  이다. 제안된 소자의 이동도가 향상된 이유는 기존 소자에 비해 채널 내에 그래인 경계 수가 적고 큰 그래인이 포함되어있기 때문이다. 또 기존 소자의 경우 드레인 접합 근처의 치유되지 못한 격자 결함 때문에 누설전류가 높은 반면 제안된 소자는 결함들이 모두 치유되어 누설전류가 낮은 것으로 생각된다. 또한 레이저 결정화 과정에서 소오스/드레인 영역의 불순물들이 확산하여 자연스럽게 LDD(Lightly Doped Drain) 구조와 같은 불순물 농도 분포를 갖는 것으로 추정된다[3,5,6]. 때문에 제안된 소자의 ON/OFF 전류비가 기존의 소자에 비해 월등히 컸다. 제작된 TFT들의 소자 특성을 표 1에 정리하였다.

	제안된 TFT	기존의 TFT
$\mu_{\text{eff}}(\text{cm}^2/\text{V}\cdot\text{s})$	171	86
S(V/dec)	0.73	1.12
최소누설전류(A) ( $V_D=2.1\text{V}$ )	$1.59 \times 10^{-11}$	$5.2 \times 10^{-11}$
$I_{\text{on}}/I_{\text{off}}$ ( $V_D=2.1\text{V}$ )	$4.1 \times 10^7$	$6.1 \times 10^6$

표 1. 제작된 TFT들의 소자 특성 정리