

【T-37】

Si/SiO₂-nanostructure의 제작 및 C-V특성에 관한 연구

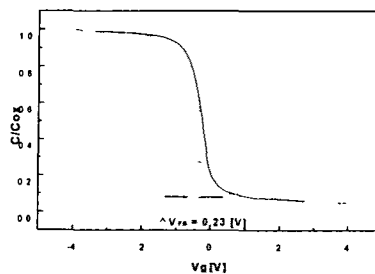
강윤목, 이세준, 심영석, 강태원, 김현정, 송민규, 김득영

Quantum-Functional Semiconductor Research Center in Dongguk University

Seoul 100-715, KOREA

실리콘 나노 결정을 floating gate로 사용하는 비휘발성 메모리 소자는 얇은 tunneling oxide를 통하여 전하의 저장과 방출이 이루어지기 때문에 속도가 빠르고 동작 전압이 낮다. 또한 각각의 나노 결정은 절연체에 둘러싸여 있기 때문에 기존의 다결정 실리콘을 floating gate로 이용한 메모리 소자보다 정보 저장 시간이 길어서 차세대 메모리 소자로 주목 받고 있다. 이런 특성들을 위해서는 나노 결정의 크기와 밀도를 제어하는 기술이 요구된다.

본 연구에서는 SiO₂/poly-Si/SiO₂/p-Si 시료에 Au를 증착하고 550°C에서 3분간 열처리를 통하여 직경 10nm, $4 \times 10^{11} \text{cm}^{-2}$ 의 높은 밀도를 갖는 Au 나노 입자들을 제작하였으며, 이 입자들을 건식 식각 시 식각 마스크로 활용하였다. 즉 Au 나노 입자를 식각 마스크로 이용한 선택적 식각으로 poly-Si이 나노 구조로 만들어 지게 된다. 이는 AFM 측정으로 확인할 수 있었으며, 실리콘 나노 구조가 floating gate로 사용된 MOS capacitor의 C-V 측정으로부터 양자효과와 메모리 소자로의 응용 가능성을 확인하였다.



Hysteresis characteristics of the fabricated MOS capacitor