

RF 시뮬레이터를 이용한 UHF대역 다층구조 VCO 설계

이 동 회, 정 진 휘*
수원대학교 전기공학과

UHF Band Multi-layer VCO Design Using RF Simulator

Dong-Hee Rhie, Jinhwee Jung*
Department of Electrical Engineering, The University of Suwon.

Abstract - In this paper, we present the simulation results of the multi-layer VCO(Voltage Controlled Oscillator), which is composed of the resonator, the oscillator and the buffer circuit, using EM simulator and nonlinear RF circuit simulator.

EM simulator is used for obtaining the EM(Electromagnetic) characteristics of the conductor pattern as well as designing the multi-layer VCO. Obtained EM characteristics were used as real components in nonlinear RF circuit simulation. Finally the overall VCO was simulated using the nonlinear RF circuit simulator.

The material for the circuit pattern was Ag and the dielectric was DuPont 951AT, which will be applied for LTCC process. The structure is constructed with 4 conducting layer.

Simulated results showed that the output level was about 4.5[dBm], the phase noise was -104[dBc/Hz] at 30[kHz] offset frequency, the harmonics -8dBc, and the control voltage sensitivity of 30[MHz/V] with a DC current consumption of 9.5[mA]. The size of VCO is 6×9×2mm(0.11[cc]).

1. 서 론

이동통신 단말기는 지난 20년간 급격한 용적 및 중량 감소를 이루었다. 이는 전자회로의 집적화 및 수동부품의 소형화 그리고 고성능 2차 전지의 개발에 힘입은 바 크다. 이와 같이, 이동통신기기의 소형·경량화를 위해서는 사용 전자 부품의 소형화가 필수적이며, 이중 마이크로파 유전체가 이용되는 부품으로는 Duplexer, BPF, VCO, Mixer, 안테나(antenna) 등과 RF용 MLCC, 적층인덕터 등을 대표적으로 들 수 있다.

특히, 이동통신기기의 핵심부품중의 하나인 VCO는 소형화가 빠르게 진행되고 있다. 현재 0.035cc(5.5×4.8×1.8mm)정도 용량을 가진 제품까지 개발되어 있고 GSM, CDMA, IMT2000 등의 단말기에 사용되고 있다.

VCO의 소형화에 있어 가장 큰 영향을 주는 인자는 공진부의 치수와 실장시 사용되는 소자의 크기이다. 실장되는 소자는 칩 소자에 의한 표면실장법이 주로 사용되므로 보다 작은 소자를 사용하거나 아니면 LTCC를 이용한 다층구조 VCO일 경우 수동소자를 층간에 매립시키면 된다. 그러나 공진기는 VCO 전체 특성에 큰 영향을 주므로 보다 신중하게 결정해야 한다. 현재 다른 공진기에 비해 Q값은 다소 낮으나 적층형 부품에 있어서 소형화에 가장 유리한 스트립라인(SL; strip line)

공진기가 널리 이용되고 있는 실정이다.

본 연구에서는 전자기장 시뮬레이터와 비선형 RF 회로 시뮬레이터를 사용하여 다층구조 VCO를 설계한 예를 제시한다.

2. 회로구성

VCO는 일반적으로 공진부, 발진부, 버퍼부(중폭부)로 구성된다. 그림 1의 회로는 공진부와 발진부로 구성된 회로로서 비선형 RF 회로시뮬레이터에서 발진특성을 우선 검토하기 위함이다. 버퍼부는 부하의 변동이 발진 특성에 미치는 영향을 억제해주는 기능 부분으로 발진을 일으키는 역할보다는 VCO의 특성을 안정화시키기 위한 회로이다.

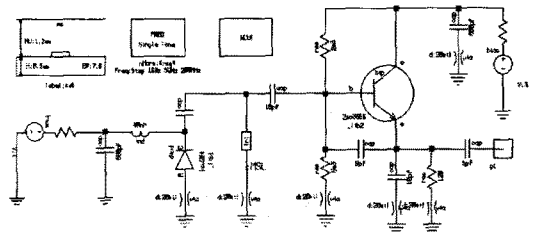


그림 1 VCO의 기본회로

그림 1의 회로는 기존에 설계한 VCO 기본회로로서 [1,2], 회로의 공진부는 마이크로스트립라인 공진기를 사용하였고 수동소자는 칩소자로 설정하였다. 그리고 능동소자로는 도시바의 바렛터(1SV284)와 NEC의 저잡음 트랜지스터(2SC3356)를 선정하였다.

그림 2는 그림 1의 회로를 다층구조로 설계하기 위한 다층구조 VCO의 단면도로서 검은 선이 도전체 부분이고 도전체 사이에는 비유전율 7.8인 유전체가 삽입된 구조이다. 유전체로는 DuPont Co.의 LTCC용 재료인 DuPont 951AT를 대상으로 하였다[3]. 접지 도전층을 기준으로 했을 때 제 1층과 제 3층은 접지층이고 그 사이의 제 2층이 스트립라인이 매립된 층이다. 그리고 최상층인 제 4층에는 능동소자와 수동소자를 실장하게 된다. 접지층과 접지층 그리고 매립층과 최상층간의 전기적인 연결은 비아홀(via-hole)을 통하여 접속된다.

제 1층과 제 3층의 접지층 사이에 매립되어 있는 제 2층의 도전층 패턴이 그림 3이다. 그림 3의 매립층 패턴은 전자기장 시뮬레이터를 이용하여 설계하였다. 그림 3에서 사형도선(meandering line) 구조로 되어있는 부분은 VCO에서 제어전압에 바이어스를 인가해주는 인덕터의 역할을 한다. 그리고 상대적으로 폭이 넓은 선(line)은 스트립라인 공진기이다. 스트립라인의 폭은 0.8mm이다[4]. 그림 4는 스트립라인 공진기의 특성임피던스(characteristic impedance)이다. 특성임피던스는 약 19Ω이고 스트립라인의 폭을 증가시키면 특성임피던스는 감소한다. 그러면 입력임피던스가 작아져 작은

부저향으로도 쉽게 발진이 가능하게 된다. 기존 연구 중 버퍼회로가 없는 VCO의 시뮬레이션에서 6mm×6mm의 크기 때문에 스트립라인 공진기의 폭을 0.8mm로 정하였던 것처럼 버퍼회로가 연결된 VCO 시뮬레이션에서도 0.8mm로 정하였다.

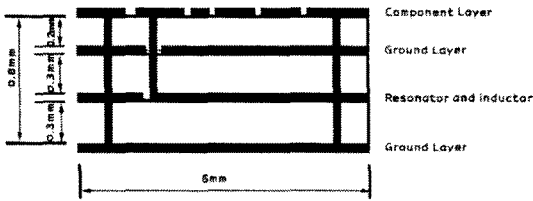


그림 2 다층구조 VCO의 단면도

12개이다.

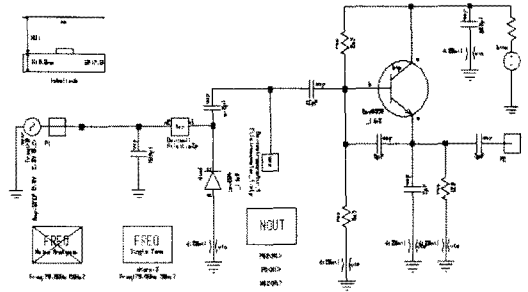


그림 5 공진기와 제어전압 바이어스 인덕터 스트립라인을 등가화 한 VCO 회로

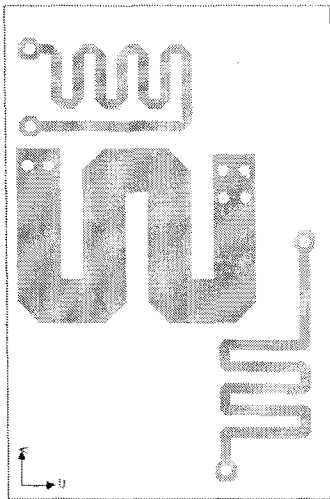


그림 3 매립층 스트립라인 패턴

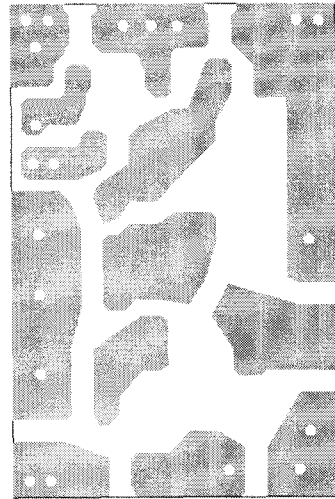


그림 6 다층구조의 최상층 패턴

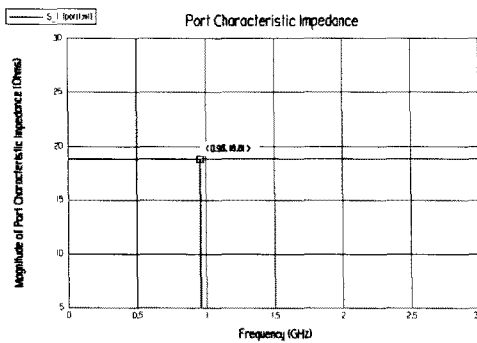


그림 4 공진기의 특성임피던스

그림 5는 그림 3의 스트립라인을 전자기장 시뮬레이터를 이용하여 주파수 특성을 S-parameter로 추출한 후 RF 비선형 시뮬레이터에서 블랙박스(blackbox)로 등가화하여 나타낸 회로이다. 그림 5는 그림 9에서처럼 많은 등가화된 블랙박스를 연결한 회로를 설계하기 위한 중간단계의 회로이다.

그림 6은 전자기장 시뮬레이터를 이용하여 도시화한 최상층의 패턴이다. 작은 구멍처럼 표시된 것은 접지층과 매립층으로 연결되는 비아홀이다. 접지층으로 8개, 나머지 바이어스와 RF신호용으로 사용되는 비아홀이

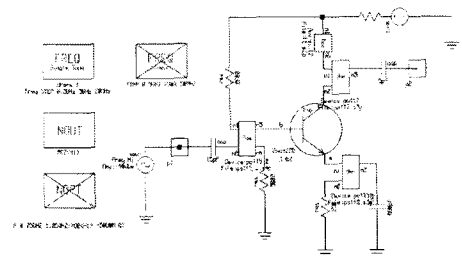


그림 7 버퍼회로

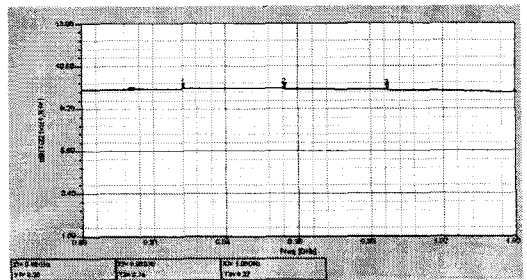


그림 8 버퍼회로의 증폭률

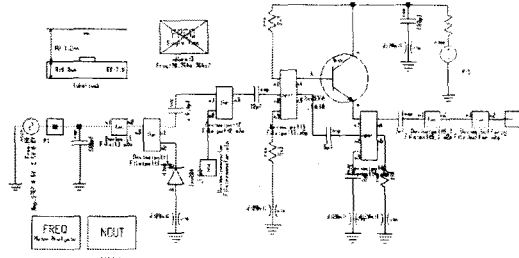


그림 9 매립층의 스트립라인과 최상층 패턴을 증가화한 VCO회로

그림 6에서 접지층과 연결되는 패턴을 제외한 소자와 소자를 연결하는 패턴을 전자기장 시뮬레이터를 이용하여 주파수 특성이 있는 S-parameter로 추출하였다. 추출된 S-parameter는 패턴의 주파수특성을 가지게 된다. 추출된 S-parameter는 RF 비선형 시뮬레이터에서 그림 7과 그림 9의 회로와 같이 블랙박스로 증가화하여 시뮬레이션 하였다. 그리고 버퍼회로를 연결한 VCO 회로의 시뮬레이션은 시뮬레이터 특성상 같은 회로에서 발진특성을 확인할 수 없으므로 그림 9의 출력단에 2포트 블랙박스를 연결하여 버퍼회로를 대신하였다. 그림 9의 출력단에 연결한 2포트 블랙박스는 그림 7의 버퍼회로를 선형시뮬레이션하여 얻은 S-parameter이다. 블랙박스에는 소자와 소자사이에 연결되어 주파수 응답 특성을 가지며 비선형 RF 시뮬레이터에서 마치 일반 실물소자와 같은 영향을 준다.

그림 8은 그림 7 버퍼회로의 증폭율을 사용 주파수인 960MHz대역에서 확인한 것이다. 증폭율이 발진주파수 960MHz 전후 약 80MHz에서 약9.3[dBm]이다. 증폭기로 사용하기에 적당하다 본다. 그리고 버퍼회로에서 출력단에 직렬로 연결된 커패시터와 병렬로 연결된 스트립라인이 출력임피던스의 정합회로의 역할을 한다[5]. 그림 7에서 출력단에 병렬로 연결된 스트립라인은 회로상에서 2포트 블랙박스로 표시하였고, 트랜지스터의 콜렉터단에 연결되어 있다. 그림 9는 최종적으로 시뮬레이션하기 위해서 전자기장 시뮬레이터에 의한 패턴의 주파수 응답 특성과 버퍼회로를 연결한 회로이다. 시뮬레이션의 최종적인 결과는 그림9의 시뮬레이션을 통해서 얻었다.

3. 시뮬레이션 결과

다층구조 VCO의 시뮬레이션의 발진특성은 비선형 RF시뮬레이터에서 확인하였다.

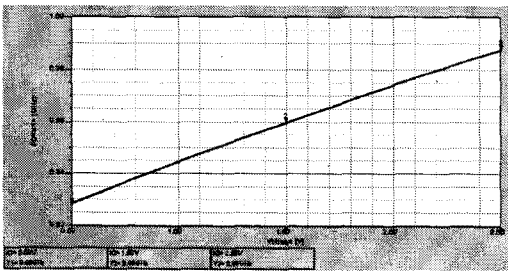


그림 10 발진주파수 특성

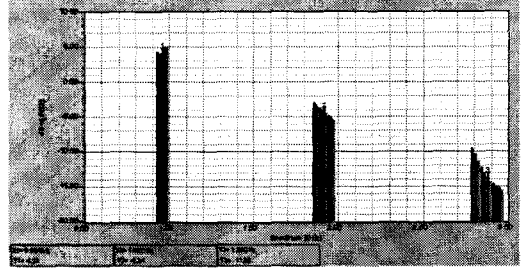


그림 11 발진주파수 스펙트럼 분석

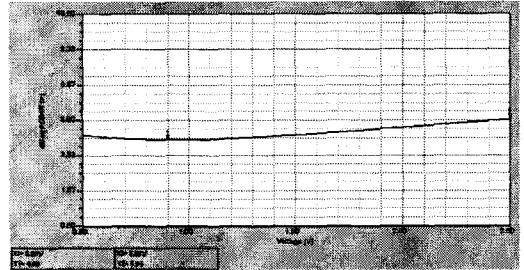


그림 12 발진출력 특성

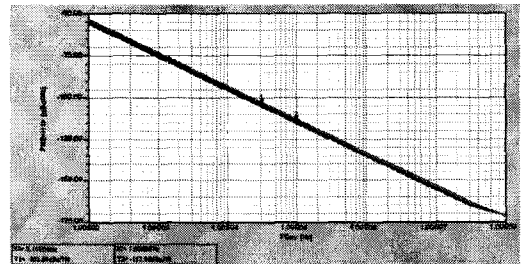


그림 13 위상잡음 특성

그림 10은 제어전압 0.5~2.5V에서 발진주파수의 가변 특성을 나타낸다. 제어전압 1.5V에서 발진주파수가 960MHz이며, 가변된 발진주파수는 제어전압 0.5에서 약 930MHz이고 2.5V에서 약990MHz이다. 즉, 발진회로는 30 MHz/V의 특성을 보인다.

그림 11는 발진주파수의 스펙트럼 특성을 나타낸다. 스펙트럼 분석에서는 기본파와 제2고조파와의 출력차를 보는 하모닉스(harmonics)특성을 확인할 수 있다. 출력의 차를 의미하는 하모닉스는 값이 작을수록 좋은 것이다. 그림 11에서는 제3고조파까지 확인하였으며 기본파와 제 2고조파의 출력차이는 약 -8 [dBc]정도의 차이가 난다.

그림 12에서는 발진출력특성을 확인하였다. 발진출력은 클수록 그리고 제어전압에 따라 출력의 변화가 없어 특성이 좋은 것이다. 그림 12에서는 최고출력과 최저출력의 차가 약 4.5[dBm] 정도로 발진출력특성이 좋았다.

Item	Specification	Simulated	Condition
Supply voltage	3.0 V	3.0 V	DC bias
Control vol. range	0.5 ~ 2.5 V	0.5 ~ 2.5 V	DC bias
Freq. range	954~980MHz	954~980MHz	
Output level	-1±3 dBm	4.5±0.5 dBm	$V_c = 0.5 \sim 2.5 V$
Tuning range	20~30 MHz/V	30 MHz/V	
Harmonics	-10dBc	-9 dBc	
Pushing figure	±500kHz	-	$3.0 \pm 0.15V$
Pulling figure	±500kHz		
SSB Phase noise	-110dbc/Hz	-104 dbc/Hz	@offset 30 kHz
Current	8 mA	9.5 mA	
Size	6.0x6.0x1.8mm	6.0x9.0x2.0mm	0.05, 0.11 CC

표 1 시뮬레이션 결과

그림 13에서는 위상잡음 특성을 확인하였다. 위상잡음은 기본파에서의 잡음전력과 오프셋(offset)된 주파수에서의 1[Hz] 잡음전력의 차를 의미하는 것으로 작은 값을 가질수록 좋다[6]. 그림 13에서는 30[kHz] 오프셋된 주파수에서 -104[dBc/Hz] 이다.

표 1은 설계한 회로의 시뮬레이션 결과와 현재 960 MHz CDMA용 단말기의 VCO의 특성을 비교한 것이다. 발진특성항목 중 하모닉스, 위상잡음 소비전류의 특성은 약간 좋지 않으나 발진출력, 발진주파수의 가변폭 특성은 더 좋았다.

4. 결 론

전자기장 시뮬레이터를 이용하여 다층구조의 VCO를 도시화하고 도시화된 패턴으로부터 주파수 특성을 추출하였다. 그리고 비선형 RF시뮬레이터에서 추출된 패턴의 주파수 특성값을 블랙박스로 등가화하여 설계한 VCO에 대한 발진특성을 검토한 결과 다음과 같은 결론을 얻었다.

- ① 본 연구에서 설계한 다층구조 VCO의 발진주파수의 가변 전압범위는 0.5~2.5V였으며, 발진 주파수가 변 범위는 약 30MHz/V였다.
- ② 설계된 다층구조 VCO는 제어전압(VT) 1.5V에서 960[MHz], 발진출력 약 4.5[dBm], 오프셋 된 주파수 30kHz에서 위상잡음 -104d[Bc/Hz], 소비전류 9.5mA이다.
- ③ 본 연구를 통해 일부 발진특성에 있어서 아직 부족한 부분이 있기는 하지만 스트립라인 형태로 수동소자와 공진기를 매립한 다층구조의 VCO를 설계할 수 있음을 확인하였다.

[참 고 문 헌]

- [1] 이동희, 정진취, "UHF대역에서 동작하는 마이크로스트립 라인을 이용한 VCO 제작", 한국전기전자재료학회 춘계학술대회 논문집, p55~p58, 2001
- [2] 이동희, 정진취, "850MHz에서 동작하는 마이크로스트립 라인을 이용한 VCO 제작", 대한전기학회, 2001 전기재료연구회 춘계학술대회 논문집, p85~p88.
- [3] 강동현, "고주파용 LTCC 유전체소재 개발", 수원대학교 전자부품소재 기술혁신센터, 2000.
- [4] 고윤수, 홍성용, 배홍열, 김기수, 손호원, "세라믹적층기술을 이용한 초소형 VCO", 한국전자파학회논문지, 10권, 1호, 70~77페이지, 1999.
- [5] 염경환, "3V에 동작하는 PCS 단말기용 표면실장용 전압 제어발진기의 설계 제작", 한국통신학회논문지, Vol.21 No.3, pp278, 1996