

DRAM 기술에서 구리에 대한 Pt/Ti, Ni/Ti의 확산 방지막 특성에 관한 연구

노영래·김윤장·장성근
 청운대학교·포항공과대학교

Investigation of Pt/Ti, Ni/Ti Diffusion Barrier Characteristics on Copper in DRAM Technology

Young-Rae Noh · Youn-Jang Kim · Sung-Keun Chang
 Dept. of Electronic Engineering, Chungwoon University

Dept. of Electrical and Computer Engineering Division, POSTECH

Abstract - 차세대 고속 DRAM기술에 사용될 금속인 Cu의 확산 방지막(diffusion barrier) 물질로는 Ta 또는 W 같은 Refractory metal 이 용접(melting point)이 높고 저항값이 낮아 많이 연구 보고되고 있으나, 본 논문에서는 초고주파 소자에서 Au의 확산 방지막으로 많이 사용되고 있으며, 선택적 증착이 용이한 Pt과 Ni를 MOS 소자의 Cu 확산 방지막으로 적용하여 어닐링한 후 소자의 게이트 산화막 누설전류(I_{leak}), 그리고, Si/SiO₂ 계면의 trap density 등의 변이를 측정하여 Cu가 소자의 특성 열화에 미치는 영향을 연구하였다.

실험 결과 Pt/Ti(200Å/100Å)를 적용한 경우 소자 특성 열화가 가장 적었으며, 이는 Copper의 확산 방지막으로 Pt/Ti를 사용하여 전기적 특성 및 계면 특성을 개선시킬 수 있음을 보여 주었다. 이는 SIMS Profile을 통해서도 확인하였다.

이때 Barrier Metal 물질로는 Ti/TiN, glue layer로는 Ti를 적용하였다.

Al 상단에는 arc layer로서 Ti/TiN을 증착하였다. Metal 1 Pattern이 형성된 후, Passivation 물질로는 TEOS/PE-Nitride을 연속 증착하였다. Pad Mask & Etch 공정 후 H₂ 어닐링 처리하여 fab out 하였다.

MOS 소자 제조 공정이 완료된 샘플의 전면(front)에 Copper를 선택적으로 증착하기 위하여 Mask를 사용하여, 이미 증착되어 있는 Passivation층 가운데 Si₃N₄ 전부와 TEOS의 일부를 RIE 장비를 이용하여 건식 식각하였다. 식각한 부분에 Lift-off 및 E-beam evaporation 방법을 이용하여 확산 방지막 물질인 Pt/Ti, Ni/Ti을 증착하였다. 그리고, 그 위에 Copper를 MOCVD 방법을 이용하여 Fig. 1과 같이 ~1000Å 이하로 증착 하였다. 이때, Copper는 Si₃N₄ 상단보다 확산 방지막의 상단에 두껍게 증착이 된다. Copper의 농도 profile(SIMS)을 확인하기 위하여 패턴(pattern)이 없는 wafer를 별도로 제작하였다.

1. 서 론

1960년대에 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 소자가 개발된 이후 반도체 산업은 많은 변화와 발전을 이루어 왔다. 특히 DRAM 산업의 발전과 더불어, 소자의 빠른 동작속도, 높은 집적도, 낮은 전력 손실이 요구됨에 따라 작은 feature size와 ULSI(Ultra-Large Scale Integration) 공정으로 나아가고 있다. 이러한 집적 회로(Integrated Circuit) 제조 공정은 크게 실리콘 기판에 소자들을 형성하는 공정과 이 소자들을 전기적으로 연결하는 공정으로 나눌 수 있다. 이 중에서 소자들을 전기적으로 연결하는 공정을 금속선 형성공정(Metallization)이라고 하며, 이 공정은 소자의 집적도가 증가함에 따라 수율과 신뢰성을 향상 시키는데 있어서 관건이 되고 있다.[1]

Copper는 낮은 비저항과 높은 용접 등으로 Al 대체 물질로서 주목을 받아 왔으나 Si, SiO₂ 내에서 급속히 확산되는 성질과 건식식각(Dry Etch)의 어려움으로 양산 적용에 어려움을 겪어왔다.[2][3] 그러나, 최근 damascene 공정 개발과 TaN 같은 확산 방지막 물질 개발로 일부 제품에는 이미 적용이 되고 있는 실정이다.

본 논문에서는 초고주파 소자에서 Au의 확산 방지막으로 많이 사용되고 있으며 선택적 증착이 용이한 Pt과 Ni를 MOS 소자의 Cu 확산 방지막으로 적용하여 그 성능을 조사하였다.

2. 본 론

2.1 샘플의 제작

샘플은 8" P-type Wafer 위에 아래와 같은 CMOS 공정으로 제작 되었다. LOCOS 공정을 적용하여 소자를 Isolation 시킨 후 Gate Oxide 80Å 성장 시켰다. 그 위에 Polysilicon과 W-Si₂을 연속적으로 증착시킨 후 Patterning을 하였다. Inter-Poly-Oxide 물질로는 Oxide/BPSG를 증착하였다. Interconnection 공정은 W-Plug/Al을 적용하였고,

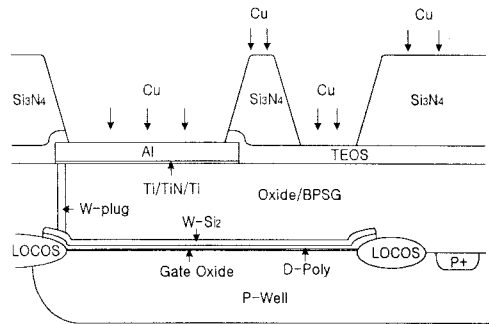


Fig. 1 Cross section of sample

샘플의 확산 방지막 물질의 split 조건은 Table 1과 같다.

Table. 1 split conditions of diffusion barrier metal

구분	증착 조건	어닐 조건
A	Ni/Ti (200Å/100Å)	450°C, 2Hr, N
B	Ni/Ti (400Å/100Å)	
C	Pt/Ti (400Å/100Å)	
D	Pt/Ti (200Å/100Å)	
E	Reference	

2.2. 결과

Fig. 2(a)는 450°C 2Hr N₂ 어닐링 진행 후 Charge pumping current(I_{cp})를 측정된 값이다. Reference 샘플(E)에 비해서 copper가 증착된 샘플들은 모두 I_{cp}가 증가하고 있다. Fig. 2(b)는 측정된 I_{cp_max} 값을 이용하여 Interface trap density(D_{it}) 값을 구해서 확산 방지막 특성을 비교한 것이다.[4][5]

$$D_{it} = \frac{I_{cp_max}}{A \cdot \epsilon \cdot f \cdot \Delta\psi_s}$$

ϵ : 1.6×10^{-19} q

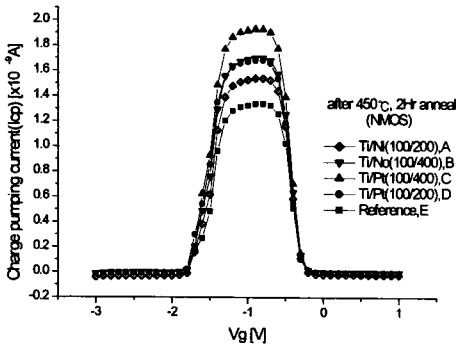
f : frequency

A : transistor size

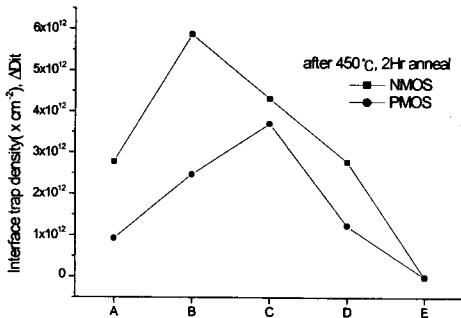
$\Delta\psi_s$: 표면전위 (band bending)차

Charge pumping 전류는 V_{gb}=2V, f=100KHz, t.r=t.f=0.1 μ s, sweep range -3~1V(NMOS), 1~-3V(PMOS)을 게이트 전극에 가한 후 측정하였다. 이때 source/drain에는 +0.1V(NMOS), -0.1V(PMOS)를 각각 인가 하였다.

Pt/Ti(200/100A)을 확산 방지막으로 사용한 샘플(D)이 Fig. 2(b)에서 보는바와 같이 NMOS, PMOS 모두 다른 조건들에 비해 양호한 특성을 보여주고 있다.



(a) Charge pumping current



(b) Interface trap density in NMOS and PMOS

Fig. 2 Charge pumping current and Interface trap density

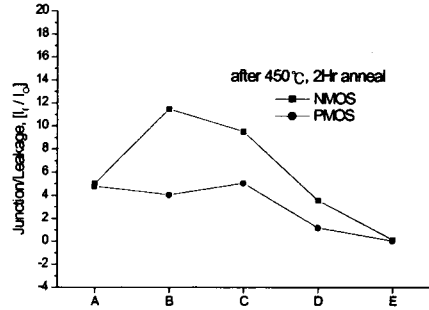
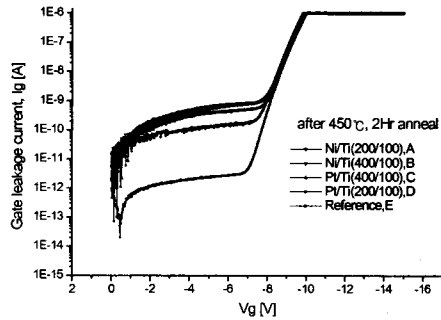


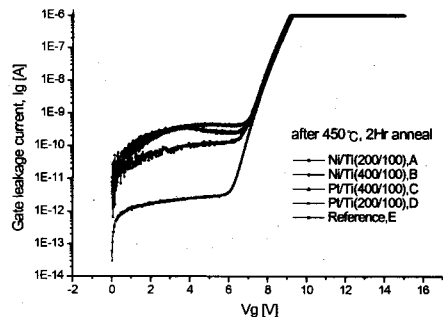
Fig. 3 N+/P+ Junction leakage current

Fig. 4는 MOS Capacitance 게이트 전극에 forward Bias를 가한 후 누설 전류를 나타내고 있다.[6]

누설전류가 1 μ A일 때, 측정된 Breakdown voltage 값에는 큰 차이가 없으나, Copper가 증착된 샘플의 경우는 게이트 전극에 Bias가 가해진 후 초기 상태부터 누설전류가 크게 증가하고 있다. 이러한 현상은 소자 상단에 증착된 copper가 어닐링 후 절연막으로 확산된 후 게이트 산화막에 trap, defect source 역할을 하여 낮은 전압에서도 누설전류가 발생하는 것으로 보인다.



(a) Breakdown voltage in NMOS Capacitor



(b) Breakdown voltage in PMOS Capacitor

Fig. 3은 패턴 크기가 200x200 μ m²인 planar junction pattern에서 Junction leakage 전류를 전압 2.5V에서 측정된 값이며, Fig. 2의 결과와 마찬가지로 Pt/Ti(200/100A) 샘플에서 가장 양호한 결과를 보여주고 있다.

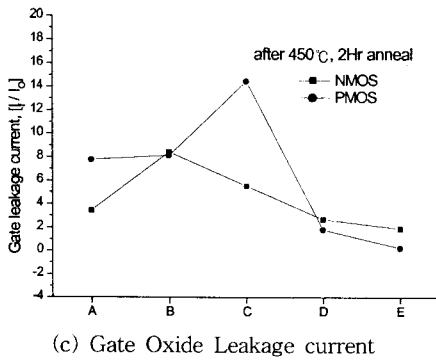


Fig. 4 Breakdown voltage and Gate Oxide Leakage current in MOS Capacitor

Copper 농도의 depth profile을 확인하기 위하여 pattern이 없는 샘플을 별도로 제작하였으며, Fig. 5에 나타난 profile은 게이트 전극에서 Silicon 까지의 원소별 분포를 보여주고 있다.

Copper가 W-Si₂/Poly 계면에서 pile up되어 있음을 알 수 있고 게이트 산화막내에는 copper 농도 차이는 미세하지만 Pt/Ti(200/100A)이 가장 낮은 값을 보여주고 있다.

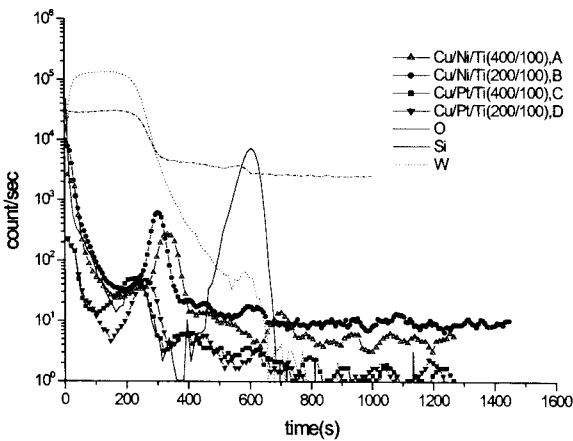


Fig. 5 Depth profile of W-Si₂/poly/oxide/Si (SIMS)

3. 결 론

DRAM technology로 제작된 소자 구조에 Pt/Ti, Ni/Ti를 copper diffusion barrier로 사용하여 특성 변화를 조사하였다. 실험 결과 Pt/Ti(200/100A)를 확산 방지막으로 적용한 샘플에서 특성 열화가 가장 낮게 나타났다.

이러한 결과는 DRAM 소자에 Pt/Ti을 copper 확산 방지막으로 적용할 수 있는 가능성을 제시한 것으로 보이고, 추후 Pt/Ti의 두께와 RTA 조건을 최적화하여 Pt/Ti의 막질을 개선하면 좀더 양호한 특성을 얻을 수 있을 것으로 기대된다.

[참 고 문 헌]

[1] S. P. Murarka, Metallization: Theory and Practice for VLSI and ULSI, Butterworth-Heinemann, 1, 1993.
 [2] J. D. McBrayer, R. M. Swanson, and T. W. Sigmon, J. Electrochem. Soc., 133, 1242, 1986.

[3] M. Ohring, The Materials Science of Thin Films, Academic Press, 360, 1992.
 [4] Paul Hermans, Johan Witters, Guido Groeseneken, Herman E. Maes, Analysis of the Charge Pumping Technique and Its Application for the Evaluation of MOSFET Degradation, IEEE Electron Device, vol.36, p.1318, 1989.
 [5] G. Groeseneken P. Hermans, J. Witters and Herman E Maes, "Analysis of the Charge Pumping Technique and Its Application for the Evaluation of Degradation", IEEE Trans. Electron Devices, vol.36, p.1318, 1989.
 [6] B. G. Streetman, Solid state electronic devices, PRENTICE-HALL, INC., New Jersey, p.311, 1995.