

디지털 동기좌표계 전류제어기에서의 시지연을 고려한 PWM 기법

배 본 호, 설 승 기  
서울대학교 전기공학부

A Compensation Method for Time Delay of Full Digital Synchronous Frame Current Regulator of PWM ac Drives

Bon-Ho Bae, Seung-Ki Sul  
School of Electrical Engineering, Seoul National University

**Abstract** - In a full digital implementation of a current regulator, the voltage output is inevitably delayed due to arithmetic calculation and PWM. In case of the synchronous frame current regulator, the time delay is accompanied by the rotation of frame. In some applications in which the ratio of sampling frequency to output frequency is not high enough, such as high power drive or super high-speed drive, it is known that the effect of rotation of frame during the delay time causes phase and magnitude error in the voltage output. The error degrades the dynamic performance and can bring about the instability of current regulator at high speed. It is also intuitively known that advancing the phase of voltage output can mitigate the instability. In this paper, the instability problems are studied analytically and a compensation method for the error has been proposed. By means of computer simulation and complex root locus analysis, comparative study with conventional methods is carried out and the effectiveness of proposed method is verified.

1. 서 론

최근 대부분의 교류 구동장치 및 전력변환장치에서 PWM(Pulse Width Modulation) 발생장치를 비롯한 전류제어기가 디지털 회로 및 소프트웨어를 탑재한 연산장치로 구현되고 있다. 또한 동기좌표계 전류제어기는 넓은 주파수 영역에서의 안정된 전류제어특성으로 인해 산업계 표준으로 자리잡고 있다. 이러한 디지털 구현에는 전류 샘플링으로부터 제어 연산을 거쳐 PWM 발생으로 전압이 출력될 때까지의 시지연이 불가피하게 발생한다. 일반적으로 전류 제어를 위한 연산을 위해 1 샘플링 주기가 지연된다. PWM 발생을 위한 시지연은 그 특성상 분석이 난해한 반면, 가장 일반적으로 많이 쓰이는 공간 벡터PWM(Space Vector PWM)의 경우 유효전압을 중심부분에 위치시키는 특성을 고려할 때 PWM 주기의 반을 지연시간으로 보는 것이 효과적인 근사라 할 수 있다. 따라서 전류 샘플링으로부터 전압 출력까지 약 1.5배의 샘플링 시간에 해당하는 시지연이 발생하게 된다. 동기좌표계 전류제어기의 경우 이 지연시간 동안 기준좌표축이 이동하게 되고, 이를 고려하지 않을 경우 출력전압의 위상과 크기에 오차가 발생한다. 이러한 오차는 출력 주파수에 대한 샘플링 주파수의 비가 충분히 큰 일반적인 전력변환기에 경우 무시할 많다. 그러나 많은 응용 분야에 있어서 그 비가 충분히 크지 않고, 지연시간동안의 기준좌표계의 이동이 매우 큰 경우가 있다. 지철 구동 시스템의 경우, 스위칭 주파수가 1kHz이하인 반면, 출력주파수는 수백 Hz에 이른다. 비대칭 PWM을 이용하여 스위칭 주파수의 2 배의 샘플링 주파수를 가지는 경우, 최고 속도에서 그 비가 20 이하가 되고, 1.5 샘플링 시간동안의 기준좌표계의 이동은 전기각으로 약 20도

내외가 된다. 또한 출력이 수 MVA 이상의 대용량 능동 전력 필터의 경우, 스위칭 주파수는 수 kHz를 넘지 못하는 반면, 13차 고조파까지 고려할 경우 780Hz의 출력전압을 합성하여야 한다.

본 논문에서는 전류 샘플링으로부터 전압 출력까지의 지연시간동안 발생하는 기준 좌표축의 이동에 의한 전압의 위상과 크기의 오차를 정량적으로 분석하고 그 보상 기법을 제안하였다. 컴퓨터 모의실험을 통하여 제안된 기법의 유효성을 확인하였다. 또 복소수 근계적법을 이용하여 제안된 기법이 지연시간 동안의 기준좌표계의 이동각이 클 경우 전류제어기의 안정성이 저하되는 문제점을 해결할 수 있음을 보였다.

2. 본 론

2.1 디지털 동기좌표계 전류제어기에서의 시지연에 의한 오차 및 그 보상 방법

그림 1은 디지털로 구현된 동기좌표계 전류제어기에서의 전류 샘플링, 소프트웨어 연산 및 PWM 출력의 시이퀀스를 나타내고 있다. 제어 소프트웨어의 연산을 위하여 1 샘플링 주기가 지연되므로, PWM 출력은 1 샘플링 주기 후인  $(t+T_s)$ 으로부터  $(t+2T_s)$  사이의 시간 동안 발

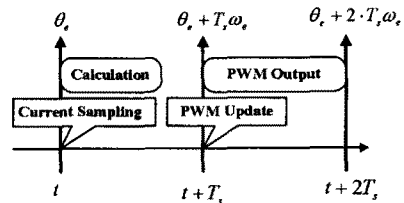


그림 1. 전류샘플링, 소프트웨어 연산 및 PWM 출력의 시이퀀스

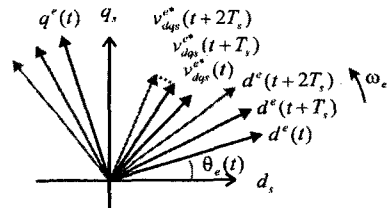


그림 2. 시이퀀스에 따른 동기 좌표계 기준축의 이동

생된다. 그림 2는 그림 1의 시이퀀스에 따른 동기좌표계 기준좌표축의 이동을 나타내고 있다. 시이퀀스에 따라

동기좌표계 측은  $d_s(t), d_s(t+T_s)$  및  $d_s(t+2T_s)$ 와 같이 이동하게 되며, 그에 따른 동기 좌표계 전압은  $v_{dq}^*(t), v_{dq}^*(t+T_s)$  및  $v_{dq}^*(t+2T_s)$ 와 같이 이동하게 된다. PWM 전압의 출력은  $(t+T_s)$ 으로부터  $(t+2T_s)$  사이의 시간동안 발생하므로, 동기좌표계 전류제어기의 출력  $v_{dq}^*(t)$ 은  $v_{dq}^*(t+T_s)$ 와  $v_{dq}^*(t+2T_s)$  사이의 점선으로 표시된 궤적으로 표현할 수 있다. 동기좌표계의 동기주파수  $\omega_e$ 가 일정하다고 가정할 때 PWM 출력을 위한 기준 전압  $v_{dq\_digital}^*$ 는 그림 2의 궤적을 적분, 평균함으로써 식 (2)와 같이 구할 수 있다.

$$v_{dq\_digital}^* = \frac{1}{T_s} \int_{T_s}^{2T_s} v_{dq}^* e^{j(\omega_e \tau + \theta_s)} d\tau \quad (1)$$

$$= K(\omega_e, T_s) e^{j(1.5T_s \omega_e + \theta_s)} v_{dq}^* \quad (2)$$

여기서 스칼라 함수  $K(\omega_e, T_s)$ 는 다음과 같다.

$$K(\omega_e, T_s) = \frac{2}{\omega_e T_s} \sin\left(\frac{\omega_e T_s}{2}\right) \quad (3)$$

부하의 등가 R-L 회로의 시정수가 샘플링 시간에 비하여 충분히 크다면, 식 (2)로 계산된 출력 전압에 의해 발생하는 전류와 그림 2의 궤적으로 표현된 전압에 의한 전류는 시간  $(t+2T_s)$ 에서 같게 된다. 시지연을 무시한 기준의 변환식을 사용한 경우에 발생하는 출력전압의 오차는 다음과 같이 구할 수 있다.

$$f_{error} = \frac{e^{j\theta_s} v_{dq}^*}{K(\omega_e, T_s) e^{j(1.5T_s \omega_e + \theta_s)} v_{dq}^*} = \frac{e^{j(-1.5T_s \omega_e)}}{K(\omega_e, T_s)} \quad (4)$$

식 (4)으로부터 기준좌표계의 이동으로 인한 오차는 다음과 같이 요약할 수 있다.

- 출력 전압의 크기가 함수 1보다 큰 값을 가지는 함수  $1/K(\omega_e, T_s)$ 에 의해 왜곡된다.
- 출력전압의 위상이  $1.5T_s \omega_e$ 의 값만큼 지연된다.

동기좌표계 전류제어기의 디지털 구현으로 인한 오차의 보상을 위한 함수를 위 오차식 (4)의 역함수를 이용하여 구하면 다음과 같다.

$$f_c = \frac{1}{f_{error}} = K(\omega_e, T_s) e^{j(1.5T_s \omega_e)} \quad (5)$$

그림 3은 제안된 보상기법 (5)식을 적용한 동기좌표계 전류제어기의 블록도를 나타내고 있다.

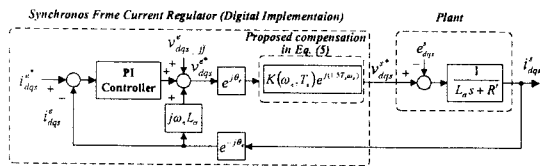


그림 3. 제안된 보상 기법을 적용한 동기좌표계 전류제어기

## 2.2 기존의 보상이 없는 디지털제어에서 발생하는 안정도 저하에 대한 해석

일반적으로 동기좌표계 전류제어기는 출력주파수에 상관없이 안정적이고 우수한 전류제어 성능을 가지는 것으로 알려져 왔다. 그러나, 출력주파수가 높아져, 출력 주파수에 대한 샘플링 주파수의 비가 충분히 높지 않게 되는 응용분야에서는 그 성능이 저하되며 안정성을 잃는 예가 발견되어 왔다. 본 절에서는 이러한 안정성 저하 문제를

분석하고자 한다. 분석의 쉽게 하기 위해 시지연은 1차 저역통과필터로 표현하였다[3]. 소프트웨어 연산과 PWM출력을 위한 지연시간  $T_p$ 는 샘플링 주파수의 1.5배로 선정하였다. 전류는 PWM 주기에 동기를 맞추어 영벡터의 중앙에서 샘플링하는 것이 일반적이므로 샘플링을 위한 시지연은 무시하였다[3]. 분석을 위하여 전류제어기의 PI 이득값은 제어기의 영점(zero)이 등가 R-L회로의 극점과 상쇄되게, 즉  $K_i/K_p = R/L_\sigma$ 의 조건이 되게 선정하였다. 그림 4의 제어 블록도를 정리하면 다음 (6)식과 같은 복소수 전달함수를 구할 수 있다.

$$\frac{i_{dq}^*}{v_{dq}^*} = \frac{G_c G_X G_p}{1 + G_c G_X G_p - (j\omega_e L_\sigma) G_X G_p} \quad (6)$$

여기서 분석을 위하여, 역기전력 및 전항 보상 항을 무시하고 간단한 R-L 부하만을 가정하였으며, 부하의 상수 및 제어조건을 표 1에 표시하였다. 실제 대부분의 응용분야에서 이러한 항들은 자속과 기계적 속도에 의해 결정되므로 전류제어에 비해 변화 충분히 느린 항들이다. 그림 5는 출력주파수를 10Hz에서 200Hz까지 변화시켰을 때 전달함수 (6)의 근의 이동을 보여주는 복소수 근궤적도이다. 그림 5의 (a)는 디지털 구현으로 인한 오차를 포함한 경우로서 출력 주파수가 증가함에 따라 근이 복소수 평면 우반구의 불안정 영역으로 이동함을 보이고 있다. 본 논문의 조건에서는 약 120Hz 정도의 출력 주파수에서 불안정영역으로의 전이가 발생한다. 이에 반하여 (b)의 보상을 적용한 예에서는 높은 출력주파수 영역까지 근이 좌반구의 안정영역에 머무름을 알 수 있다. (a)에서의 불안정성을 주로 출력 전압의 위상 오차에 의해 d축과 q축 간에 상호 간섭이 발생하기 때문이다.

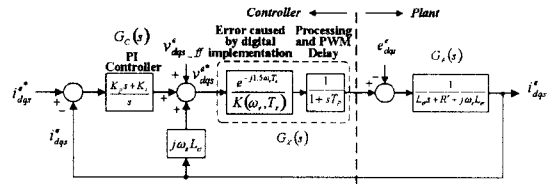
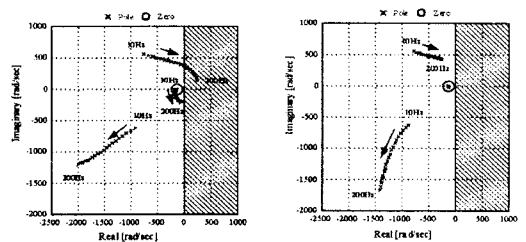


그림 4. 디지털 구현에 의한 오차 및 시지연을 포함한 동기좌표계 전류제어기의 제어 블록도

등가저항 : R	0.392 [Ω]
등가인덕턴스 : L $\sigma$	2.94[mH]
샘플링주파수	400[μs]
전류제어bandwidth	100[Hz]

표 1. 부하의 상수와 제어 조건



(a) 보상이 없는 경우 (b) 보상기법 적용한 경우

그림 5. 출력주파수에 따른 전류제어기의 근궤적도  
2.2 컴퓨터 모의 실험

제안된 보상 기법의 유효성을 검증하고, 근궤적도의 결

과를 재확인하기 7.5kW 유도전동기에 대하여 Matlab/Simulink를 이용한 컴퓨터 모의실험을 실시하였다. 앞 절의 근계적도와 비교하기 위하여 등가 저항 및 등가 인덕턴스는 같은 값을 사용하였으며 표 2은 부하 상수 및 제어조건을 나타낸다. 그림 1의 시이퀀스 및 SVPWM이 실제와 동일하게 구현되었다. 실험을 위하여 높은 출력 주파수에서의 안정성을 확인하기 위하여 전동기를 고속까지 천천히 가속시켰다. 또한 전류제어기의 동특성을 비교하기 위하여 중간부분에 q축 전류 지령치를 계단파로 변화시켜 그 추종성을 비교하였다. 그림 6은 그 모의 실험결과를 보여주고 있다. 각각의 그림은 위로부터 전동기 속도, 회전자 자속의 크기, q축 전류 지령치, q축 전류 및 q축 전류의 확대를 보여주고 있다. 그림 6에서 (a)는 보상이 없는 디지털 구현에 의한 모의 실험 결과이며, (b)는 제안된 보상 기법을 적용한 결과이다. 보상을 적용하지 않은 (a)에서는 디지털 구현에 의한 전압 오차에 의해, 점선의 사각형으로 표시된 바와 같이 약 2800[r/min]에서 전류 제어가 안정성을 잃고 제어불능 상태가 된다. 이에 반해 제안된 보상기법을 적용한 (b)에서는 3700[r/min]의 속도까지 낮은 샘플링 주파수에도 불구하고 안정적인 제어를 유지하고 있다. q축 전류 지령치의 계단파 변화에 대한 실제 전류(실선의 사각형 부분)를 확대하여 가장 아래 그림에서 보여 주고 있다. 보상이 없는 (a)에서는 상호 간섭에 의한 부작용으로 더 큰 오버슈트와 맥동을 나타내고 있다. 기존의 방법과 제안된 보상기법을 이용한 디지털 동기좌표계 전류제어기에 대한 모의 실험 결과, 제안된 보상기법이 제어기에 의해 동특성이 향상되고 불안정성이 제거될 수 있음을 알 수 있다.

극수	4	동가저항	0.392[Ω]
정격출력	7.5[kW]	누설인덕턴스	2.94[mH]
정격속도	1730[rpm]	스위칭주파수	1.25[kHz]
정격전압	220[Vrms]	샘플링 주기	400[μs]
상호인덕턴스	33.5[mH]	전류bandwidth	100[Hz]

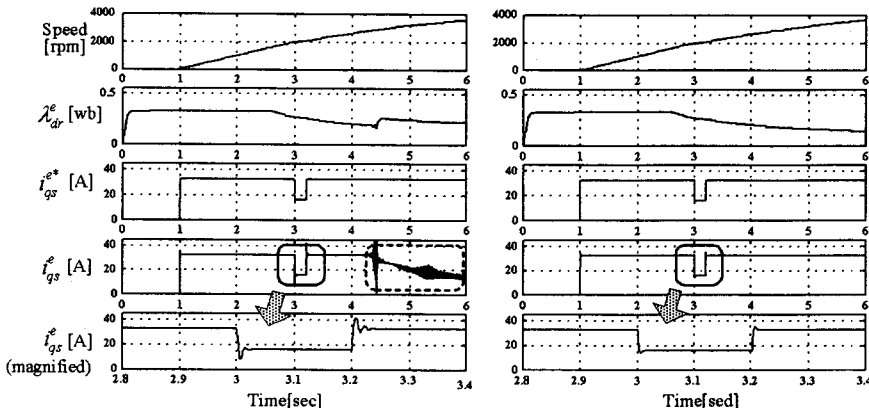
표 2. 유도 전동기 상수 및 제어 조건  
3. 결론

본 논문에서는 디지털로 구현된 동기좌표계 전류제어기의 시지연에 의한 영향을 분석하였다. 특히 지연 시간동

안이 기준 좌표계의 이동에 의해 발생하는 출력 전압의 크기 및 위상의 왜곡에 대해 분석하고 그 보상 기법을 제안하였다. 컴퓨터 모의 실험을 이용하여 기존의 방법과 제안된 방법에 대한 비교 연구를 통해, 제안된 방법이 디지털 구현으로 발생하는 전압오차를 제거하여 전류 제어의 동특성 및 안정성을 향상시킴을 보였다. 또한 복소수 벡터 근계적도를 이용하여 출력 주파수에 대한 샘플링 주파수의 비가 낮은 경우, 보상이 없는 디지털 구현이 제어기의 불안정성을 가져올 수 있음을 보였다.

[참고 문헌]

- [1] T.R.Rowan and R.L. Kerkman, "A New Synchronous current Regulator and an analysis of current-regulated PWM Inverter," IEEE Trans. on Ind. Applcat., vol IA-22, pp678-690, July/Aug. 1986.
- [2] D.W.Novotony and T.A.Lipo, *Vector Control and Dynamics of AC Drives*, Oxford University Press, New York, 1996.
- [3] V. Blasko, V. Kaura and W. Niewiadomski, Sampling of Discontinuous Voltage and Current Signals in Electrical Drives: A System Approach, *IEEE Trans. on IA*, Vol. 34, No. 5, pp 1123 -1130,1998.
- [4] W.L. Roux and Jacobus Daniel van Wyk, The Effect of Signal Measurement and Processign Delay on the Compensation of Harmonics by PWM converter, *IEEE Trans. on IE*, vol. 47, No. 2, pp. 297-304, 2000.
- [5] P. Mattavelli and F. Fasolo A Closed-Loop Selective Harmonic Compensation for Active Filters, in *Conf. Rec APEC2000*, pp.399-405, 1996.
- [6] S. J. Lee and S. K. Sul, Harmonic Reference Frame Based Current Controller for Active Filter, in *Conf. Rec APEC2000*, pp.1073-1080, 2000.
- [7] F. Briz, M.W.Degner and R.D Lorenz, Analysis and Design of Current Regulators Using Complex Vector, *IEEE Trans. on IA*, vol. 36, No. 3, pp. 817-825, 2000.
- [8] S.H. Song, J.W. Choi and S.K Sul, Current Measurement in Digitally Controlled AD drives, *IEEE Industry Application Magazine*, pp.51-62, Jul/August 2000.
- [9] F. Briz, A. Diez, M. Degner, W and R.D.Lorenz, Current and flux regulation in field-weakening operation, in *proc. IEEE-IAS Annu. Meeting*, 1998, vol.1, pp. 524-531.



(a) 보상이 없는 디지털 구현 (b) 제안된 보상기법을 이용한 디지털 구현  
그림 6. 모의 실험 결과 : 유도 전동기의 가속 시험