시뮬레이티드 어닐링과 경험적 베이지안을 이용한 수율 향상 레이 아웃 배치 모형

손소영 · 이승환[1)]

Abstract

반도체 산업 수익성에 가장 밀접하게 관련되어 있는 수율을 증가시키고자 하는 노력이 지속되고 있다. 수율을 향상시킬 수 있는 방법 중 하나인 레이 아웃 기법은 wire의 배선에 따른 결함 민감 지역(critical area)을 최소화하는 기법으로 모든 디자인에 적용하기 쉬우며 새로 추가되는 면적이 없다는 장점을 가지고 있다. 본 논문에서는 시뮬레이티드 어닐링을 이용, via를 이동 시켜 레이 아웃의 결함 민감 지역을 감소 시켜 수율을 향상하였다. 또한 최소화된 결함 민감 지역에 대한 수율을 경험적 베이지안 방법을 이용하여 모형화 하였다. 본 논문에서 제안된 기법은 결함 민감 지역을 줄여 수율을 향상시킬 수 있으며, 제시한 수율 모형으로 보다 정확한 수율을 예측하여 수익성을 극대화하는데 일조 할 것으로 예상한다.

1. 서 론

IC 공정의 수익성은 회로의 총 생산에서 작동하는 회로의 비율로 표기되는 수율에 밀접하게 관련되어 있으며 반도체 산업에서는 지속적으로 수율을 증가시켜 불량에 의한 손실을 최소화하는 방법을 찾아 왔다. 그러나 계속적으로 발전되는 설계, 제조 기술로 인한 면적과 밀도의 고집적화에 반하여 미크론 이하로 제작되는 디자인, 증가되는 칩의 면적, 한 다이에서의 디바이스의 밀도와 수의 증가 등으로 인하여 수율은 저하되었다. 이를 예방하기 위하여 초기 설계 단계에서부터 수율을 고려하여 회로를 설계하게 되었다.

초기 설계 단계에서의 수율을 향상시키기 위한 방법 중 하나인 레이 아웃 기법은 wire의 배선에 따른 결함 민감 지역(critical area)을 최소화하는 기법으로 모든 디자인에 적용하기 쉬우며 새로 추가되는 면적이 없다는 장점을 가지고 있다.

Karri와 Orailoglu(1994)는 칩의 수율을 향상시키는 방법으로 결함에 민감한 칩의 면적을 최소화하기 위해 시뮬레이티드 어닐링으로 레이 아웃을 최적화 하는 기법을 제시하였다. Chen과 Koren(1995)은 수율 향상을 위한 기법으로 via를 위한 greedy 알고리즘과 Network Bipartitioning 알고리즘을 제시하였다. Greedy 알고리즘은 두 배선이 겹쳐져 있을 경우 생기는 결함 민감 지역을 via의 이동을 통하여 제거하는 기법으로 얻어지는 해가 국부최소해(local minimum)가 된다. 본 논문에서는 via의 위치 변화를 시뮬레이티드 어닐링을 사용하여 Greedy 알고리즘이 가지는 단점을 보완하고자

1) 연세대학교 컴퓨터과학 · 산업시스템공학과
우) 120-749 서울특별시 서대문구 신촌동 134

한다. 비용함수의 최적점을 찾는 조합적 최적화의 한 해법으로 Kirkpatrick 외 2인(1983)에 의해 제안된 시뮬레이티드 어닐링은 기존의 반복적인 개선에 근거한 발견적 기법들이 국부최소점에 빠져버리는 단점을 개선한 범용의 최적화 기법으로 현재까지 CAD를 비롯한 많은 분야에서 응용되고 있다. 시뮬레이티드 어닐링은 반복적 개선법을 기본으로 하되 비용증가의 이동을 확률적으로 허용하는데 있다.

또, via이동을 통해 최소화된 결함 민감 지역은 레이 아웃의 여기 저기에 흩어지게 되며 만약 결함의 위치에 따른 불량률의 변동이 있다면 기존 수율 모형(포아송 모형, 혼합 포아송 모형)이 적용되기 어렵다. 이런 레이 아웃의 수율을 구하기 위하여 손소영(1995)이 제시한 경험적 베이지안(empirical Bayesian) 방법을 위치에 따른 결함에 의한 불량 확률을 고려하여 제시했다.

본 논문의 2절에서는 시뮬레이티드 어닐링을 이용하여 via 이동으로 결함 민감 지역을 최소화하는 방법에 대해, 3절에서는 경험적 베이지안을 이용한 레이 아웃의 수율 모형을 제시하였고, 4절에서는 제시된 모형을 실제 예에 적용하여 실험을 해 보았으며, 5절에서는 연구의 결과를 정리하였다.

2. 시뮬레이티드 어닐링을 이용한 레이 아웃 최적화

본 절을 전개하기 전에 사용될 용어를 설명하면 다음과 같다. 레이 아웃에서 쓰이는 용어로 회로 요소 중 라우팅 면적(routing area)으로 구분되는 지역을 채널이라 한다. 채널 라우터는 이 지역에서 배선의 양끝을 잇는 것을 말하며 이렇게 연결된 배선을 네트라 부른다. 이 배선 연결은 수직적인 컬럼(column)과 수평적인 트랙(track)으로 이루어져 있으며 컬럼과 트랙은 서로 다른 레이어에 배치된다. 즉 앞 레이어에 컬럼이 배치된다면 뒤 레이어는 트랙이 배치되며 컬럼과 트랙이 레이어를 통해 만나는 지점을 via라 한다. 또 각 네트는 같은 정수를 가지는 터미널을 통해 연결되어야 한다.

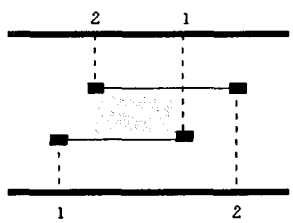

그림 1. 레이 아웃 예제

만약 결함의 크기(δ)가 그림 1. 에서 흐린 직사각형 부분의 높이나 너비보다 크다면 이 부분을 결함이 일어 날 수 있는 결함 민감 지역이라 부르며 서로 다른 레이어에 위치하는(즉, 앞·뒷면에 존재하는) 컬럼과 트랙을 잇기 위한 양 모서리에 점들을 via라 부른다. 채널 라우팅 문제는 서로 연결된 모든 터미널의 배선이 서로 다른 두 네트간의 short-circuit fault를 일으키지 않도록 하는 것이다.

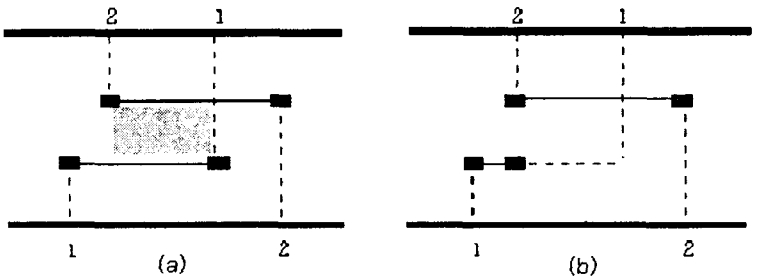

그림 2. via의 이동에 따른 결함 민감 지역 제거

그림 2.의 (a)에서 결함 민감 지역이 (b)에서는 via의 이동에 따라 제거됨을 알 수 있다. 만약 레이 아웃에서 수율이 최우선 문제라 생각한다면 via의 이동에 따라 최소화되는 결함 민감 지역에 따라 수율이 더욱 향상됨을 짐작할 수 있다.

via의 위치 선택은 각 트랙에서의 via의 잠재적 이동 가능 위치로 이동하게 되며, 그 위치는 배선이 꺾여지는 지점, 십자로 교차되는 지점의 주변, 꺾여지는 지점과 근접한 네트가 만나는 지점 등으로 선정된다. 또한 앞의 문헌 고찰에서 나온 via의 블록과 릴리즈를 이용하여 새로운 잠재적 이동 가능 위치를 만들 수도 있다.

Chen과 Koren(1995)은 via 이동을 이용한 greedy 알고리즘을 개발하였으나 결함 민감 지역을 최대로 줄이는 구간을 우선적으로 지정하여 단계적인 진행을 하는 소위 반복적 개선법(iterative improvement)이기 때문에 얻어지는 해가 국부최소해(local minimum)이라 볼 수 있다. 이런 단점을 막기 위하여 본 논문에서는 via의 위치 변화를 시뮬레이티드 어닐링을 사용하였다.

레이 아웃은 난수적으로 선택된 2개의 via 중 한 via의 잠재적 이동 가능 위치로의 이동에 의해서 새로운 해가 만들어진다. 이것을 이동 법칙이라 하며 다음과 같은 경우 via는 이동된다.

1. 선택된 2개의 via가 같은 트랙에 있을 경우 via는 이동하지 않는다.
2. 선택된 2개의 via가 속한 트랙이 근접해 있지 않다면 via는 이동하지 않는다.
3. 선택된 2개의 via가 속한 트랙이 근접해 있을 경우 위 트랙의 우측(좌측) via가 아래 트랙의 좌측(우측) via보다 왼편(오른편)에 있을 경우 via는 이동하지 않는다.
4. 선택된 2개의 via가 속한 트랙이 근접해 있을 경우 via를 가능한 잠재적 이동 가능 위치로 이동한다. 그 때, 같은 트랙의 다른 via로의 이동은 불가하다.

이동 법칙을 실행하는 도중 선택된 via이외의 via를 움직임으로서 선택된 via의 잠재적 이동 가능 위치를 더욱 늘릴 수 있는 경우가 있다. 이 경우를 Chen과 Koren (1995)이 제시한 via의 block과 release를 통하여 via의 잠재적인 이동 가능 범위를 넓힌 후 이동 법칙을 사용하여 보다 효과적으로 결함 민감 지역을 줄이고자 한다.

결함 민감 지역 A_i는 via의 이동으로 변하며 결함이 영향을 미치는 결함 민감 지역의 총 면적으로 계산되어 진다. 앞 레이어에서 생기는 결함 민감 지역의 변화 뿐 아니라 via가 이동했을 경우 앞 레이어에서 뒤 레이어로 이동되어진 트랙에 의한 결함 민감 지역의 변화도 고려하여 계산된다. 식 (1)에서 보는 것과 같이 변화된 결함 민감

지역의 넓이 A_{i+1}는 각 iteration에서 구해진 부분 결함 민감 지역의 변화량 ΔA를 전 iteration의 결함 민감 지역의 크기A_i와 더하여 나타내어진다.

$$A_{i+1} = A_i + \Delta A \tag{1}$$

각 iteration에서 계산되어지는 ΔA가 0보다 작거나 같을 경우 식 (1)이 수행되며 0보다 큰 경우는 식 (2)와 같은 확률로 식 (1)이 수행된다.

$$\Pr_{accept} = \left(1 - \frac{\Delta A}{A_i}\right) \times \eta \tag{2}$$

여기서 η는 조정 계수이다.

이와 같이 iteration이 반복되며, ΔA가 지정된 회수내에 변화되지 않는다면 반복을 멈추고 그때의 총 결함 민감 지역을 그 레이 아웃의 최종 결함 민감 지역의 넓이로 계산한다.

3. 경험적 베이지안(Empirical Bayesian)을 이용한 수율 모형

초기에 사용된 수율 모형은 포아송 분포를 기본으로 하였으나 칩의 크기의 증가와 결함의 클러스터로 인하여 수율의 분산이 실제보다 낮게 계산됨이 알려졌다. 이를 보완하기 위해 Murphy(1964)가 베이지안 방법을 이용한 혼합 포아송 모형를 제시하였으며 이를 응용하여 여러 수율 모형이 제시되었다. 그 중 Okabe(1972)와 Stapper (1973)가 제시한 음이항 수율 모형이 많이 응용되고 있다.

하지만 시뮬레이티드 어닐링을 통해 via 이동을 하여 최소화된 결함 민감 지역은 레이 아웃의 사방에 퍼지게 되므로 일반 적인 포아송 모형이나 혼합 포아송 모형을 쓰기보다는 결함 민감 지역의 위치에 따른 영향을 고려하여 수율을 모형화 하는 것이 타당하다. 본 연구에서는 손소영(1995)이 제시한 경험적 베이지안 방법을 이용하여 결함 민감 지역의 위치를 고려하여 수율 모형을 개발하였다.

일반적으로 레이 아웃의 수율은 via 자체의 불량과 결함 민감 지역의 불량과 관계가 있다. via 자체의 불량은 제외하고 본 논문의 관심사항인 결함 민감 지역의 불량률 측정 방법을 고려해 보자.

레이 아웃의 결함 민감 지역에 생긴 불량의 여부 x_i가 불량 확률이 p_i인 베르누이 분포를 따른다고 가정한다면 다음과 같다.

$$x_i | p_i \sim b(1, p_i) \tag{3}$$

$$g(x_i | p_i) = p_i^{x}(1-p_i)^{1-x_i} \tag{4}$$

이 때 불량률 p_i가 사전 분포로 베타 분포를 따른다고 한다면

$$p_i \sim Beta(\alpha, \beta)$$

$$f(p_i) = \frac{\Gamma(\alpha+\beta)}{\Gamma(\alpha)\Gamma(\beta)} p_i^{\alpha-1}(1-p_i)^{\beta-1} \qquad 0 \le p_i \le 1 \tag{5}$$

과 같이 된다.

만약 중심에 위치한 결함 민감 지역이 주변에 위치한 결함 민감 지역 보다 불량이 될 확률이 높다고 할 경우, 각 결함 민감 지역의 불량률 p_i의 기대치가 다음과 같은

값을 가진다고 가정하자.

$$E(p_i)=\frac{\alpha}{\alpha+\beta}=\frac{\exp(\gamma_0+\gamma_1 r_i+\gamma_2\theta_i)}{1+\exp(\gamma_0+\gamma_1 r_i+\gamma_2\theta_i)} \tag{6}$$

여기서 r_i는 레이 아웃의 중심에서 불량이 일어난 결함 민감 지역까지의 거리이며 θ_i는 중심에서 오른 쪽 끝을 잇는 직선과 불량이 일어난 결함 민감 지역까지의 각도이며 γ_0, γ_1, γ_2은 회귀 계수이다.

위의 가정을 따르면 각 결함 민감 지역의 불량률 p_i의 사전 분포는 다음과 같다.

$$p_i \sim Beta\left(\alpha, \frac{\alpha}{\exp(\gamma_0+\gamma_1 r_i+\gamma_2\theta_i)}\right) \tag{7}$$

실제로 불량 자료가 모아지면 각 결함 민감 지역의 불량률 p_i의 사후 분포는 다음과 같이 구할 수 있다.

$$f(p_i|x_i)=\frac{\Gamma\left(\alpha+\frac{\alpha}{\exp(\gamma_0+\gamma_1 r+\gamma_2\theta)}+1\right)}{\Gamma(\alpha+x_i)\Gamma\left(\frac{\alpha}{\exp(\gamma_0+\gamma_1 r+\gamma_2\theta)}+1-x_i\right)} p_i^{\alpha+x_i-1}(1-p_i)^{\frac{\alpha}{\exp(\gamma_0+\gamma_1 r+\gamma_2\theta)}-x_i}$$

$$\sim Beta\left(\alpha+x_i, \frac{\alpha}{\exp(\gamma_0+\gamma_1 r+\gamma_2\theta)}+1-x_i\right) \tag{8}$$

n이 모든 결함 민감 지역의 개수이며 Aca_i가 결함 민감 지역 i의 넓이이며 $Aall$은 레이 아웃 전체의 넓이라고 하자.

결과적으로 레이 아웃의 수율은

$$Yield=1-\frac{\sum_{i=1}^{n} E(p_i|x_i)\times Aca_i}{Aall} \tag{9}$$

$$E(p_i|x_i)=\frac{\alpha+x_i}{\alpha+1+\frac{\alpha}{\exp(\gamma_0+\gamma_1 r+\gamma_2\theta)}} \tag{10}$$

이 된다. 모수 γ_0, γ_1, γ_2, α의 추정은 $f(x_i)$에 기초한 최우추정법(Maximum Likelihood Estimation)을 이용하였다.

4. 실 험

제시된 알고리즘의 효용성을 평가하기 위하여 Yoshimura와 Kuh(1982)가 제시한 채널 라우팅 벤치마크의 예제 5가지를 이용하였다. 계산의 간편성을 위하여 인접해있는 트랙 또는 컬럼 사이의 결함 민감 지역을 측정하였으며 크기는 1 (즉, δ=1)인 short-circuit 결함을 고려하였다. 레이어의 배선의 길이에 대한 변화는 없으므로 open-circuit 결함은 고려하지 않았다. 본 논문에서는 시뮬레이티드 어닐링을 이용한 알고리즘을 통하여 줄어든 결함 민감 지역의 크기와 원래 결함 민감 지역의 크기, 또 Chen과 Koren(1995)이 제시한 via 이동 greedy 알고리즘을 이용하여 결함 민감 지역의 크기를 서로 비교해 보았다.

알고리즘에 사용한 프로그램은 엑셀과 비주얼 베이직을 사용하였다. 각 예제마다 시뮬레이션 어닐링의 반복은 3000번을 하였고 중간에 30 iteration동안 결함 민감 지역이 감소하지 않을 경우 알고리즘을 중지하여 그 때의 결함 민감 지역의 크기를 측정하였다. 조정 계수 η는 각 예제마다 승인될 수 있는 최대 값을 0.2로 설정하였다.

표 1. 벤치마크 예제를 통한 두 알고리즘의 결과

예제	레이 아웃 원본	Chen과 Koren 알고리즘		본 논문 알고리즘	
	결함 민감 지역	결함 민감 지역	% 감소	결함 민감 지역	% 감소
Ex. 1	259	234	9.65	232	10.42
Ex. 3a	450	409	9.11	407	9.56
Ex. 3b	641	584	8.89	583	9.04
Ex. 3c	742	667	10.10	663	10.65
DDE	2431	2207	9.21	2199	9.54
평균			9.40		9.84

결과적으로 본 논문이 제시한 시뮬레이티드 어닐링을 이용한 알고리즘은 원래의 결함 민감 지역을 평균 9.84% 감소시켰으며 평균 9.40% 감소시킨 Chen과 Koren(1995)의 greedy 알고리즘 보다도 우수한 성능이 나타남을 알 수 있다. 즉, via 이동 을 이용한 greedy 알고리즘이 가지는 반복적 개선법보다 조합적 최적화의 해법을 가지는 시뮬레이티드 어닐링 기법이 더욱 최적해에 가까운 결과를 나타내었다고 볼 수 있다.

이번에는 시뮬레이티드 어닐링을 통한 via 이동으로 결함 민감 지역이 최소화된 레이 아웃 예제에 대한 수율 모형의 적합성을 실험하였다. 사용된 레이 아웃 예제는 Yoshimura와 Kuh(1982)가 제시한 채널 라우팅 벤치마크의 예제 중 Ex.1 이다. 계산의 간편성을 위하여 Ex.1 의 트랙 사이의 크기와 컬럼 사이의 크기는 동일하다고 설정했으며 시뮬레이티드 어닐링을 이용한 via 이동의 경우와 같이 트랙 또는 컬럼 사이의 넓이는 1 (즉, δ=1)인 short-circuit 결함을 고려하였다. Ex. 1 레이 아웃의 전체 넓이는 13*34 매트릭스로 구성되어 442개의 셀로 이루어져있으며 시뮬레이티드 어닐링을 이용한 via 이동으로 줄여진 결함 민감 지역의 넓이는 전체 넓이의 약 59%에 해당하는 259개의 셀로 구성되어 있다. 이와 같은 레이 아웃을 좌우로 10개씩 늘여 100개의 레이 아웃으로 한 집단을 만들었으며, 엑셀을 이용하여 집단(130*340)에 결함을 난수적으로 500개 생성하였다. 한 셀에는 하나 이상의 결함이 생성 가능하며, 적어도 하나 이상의 결함이 셀에 생성되면 그 셀은 불량으로 간주 된다. 이러한 집단을 10번 반복하여 만들었으며 데이터에 대한 수율 측정을 Okabe(1972)와 Stapper(1973)가 제시한 음이항 수율 모형과 본 논문에서 제시한 경험적 베이지안을 이용한 수율 모형을 이용하여 계산하였다.

일반적으로 사용되고 있는 수율 모형은 포아송 모형과 혼합 포아송 모형이다. 포아송 모형은 계산이나, 다른 모형으로 변형함에 있어 수학적으로 간단하며, 실제 자료에 잘 적용된다. 포아송 모형에 의하면 결함 민감 지역의 총 면적을 A라 하고 단위 면적 당 결함의 평균 숫자를 D_0라 할 때, 전체 결함 민감 지역에 k개의 결함이 일어날 확률은

$$Probability = \frac{e^{-D_0 A}(D_0 A)^k}{k!} \tag{12}$$

이며 그 때의 수율은

$$Yield = e^{-D_0 A} \tag{13}$$

과 같이 얻어질 수 있다. 포아송 분포는 칩의 결함의 분산이 기대치와 균등할 때 적용 가능하지만 실제 칩의 제작공정에서의 결함의 발생 경향은 그렇지가 않다. 이러한 문제를 해결 하기 위해서 혼합 포아송 모형이 제시 되었다. D_0를 밀도 함수 $f(D)$를 갖는 확률 변수 D에서 나온 결과라고 한다면 결함수의 분포로 다음과 같은 혼합 포아송 모형이 도출된다.

$$Probability = \int_0^\infty \frac{e^{-DA} DA^k}{k!} f(D)dD \tag{14}$$

$$Yield = \int_0^\infty e^{-DA} f(D)dD \tag{15}$$

Okabe(1972)와 Stapper(1973)는 밀도 함수에 감마 분포의 적용을 제안했다. D가 감마 분포를 따르고 α와 β를 감마 분포의 두 모수라 하면

$$f(D) = \frac{1}{\beta^{\alpha}\Gamma(\alpha)}(DA)^{\alpha-1}e^{-\frac{DA}{\beta}}$$

위의 식으로부터 결함수의 marginal 분포는 다음과 같은 음이항 분포가 도출된다.

$$Probability = \frac{\Gamma(\alpha+k)}{k!\Gamma(\alpha)} \frac{\beta^k}{(1+\beta)^{\alpha+k}} \tag{16}$$

이 경우 수율은

$$Yield = (1+\beta)^{-\alpha} \tag{17}$$

와 같다

표 2. 경험적 베이지안과 음이항 모형을 통한 레이 아웃 수율 측정

	1	2	3	4	5	6	7	8	9	10	평균
단위 면적 당 평균 결함 개수	0.11	0.26	0.10	0.16	0.31	0.15	0.22	0.21	0.18	0.17	
음이항(MSE)	306.3	161.3	475.2	249.6	136.9	185.0	269.0	148.8	190.4	153.8	227.6
경험적베이지안 (MSE)	96.0	62.4	72.3	34.8	25.0	57.8	51.8	60.8	20.3	62.4	54.4
실제 수율 (%)	57.0	39.0	68.0	48.0	31.0	49.0	45.0	46.0	47.0	50.0	

수율을 측정한 결과가 표 2.에 나타나 있다. 음이항은 Okabe(1972)와 Stapper(1973)가 제시한 음이항 수율 모형과 실제 수율간의 MSE(Mean Square Error)를 나타내며 경험적 베이지안은 본 논문에서 제시한 경험적 베이지안 수율 모형과 실제 수율간의 MSE를 나타낸다.

표 2.에서 나타나듯이 음이항 수율 모형과 실제 수율간의 MSE는 평균 227.6이지만, 본 논문이 제시한 경험적 베이지안 수율 모형과 실제 수율간의 MSE는 평균 54.4로 훨씬 낮은 수치를 기록하였다. 즉, 경험적 베이지안 수율 모형이 음이항 수율 모형보다 실제 수율과의 차이가 적은 것으로 나타나고 있다.

5. 결론 및 향후 연구 과제

본 논문에서 제시된 기법은 레이 아웃에서의 수율 향상을 위해 시뮬레이티드 어닐링을 통하여 결함 민감 지역이 최소화 되도록 via를 이동을 시킨 후 경험적인 베이지안을 이용하여 결함 민감 지역에 대한 수율 모형을 제시하고 측정하여 보았다. 그 결과 본 논문이 제시하고 있는 via 이동을 통하여 결함 민감 지역을 보다 감소시킬 수 있었으며 이를 통해 높은 수율이 나올 수 있다는 것이 나타났다. 또한 결함 민감 지역이 흩어지는 레이 아웃의 특성에 맞춘 경험적 베이지안을 이용한 수율 모형이 보다 적합하다는 것이 밝혀졌다.

제안된 수율 향상 기술의 가장 큰 특징은 추가적인 지역 할당이 요구되지 않는다는 점이다. 또한 트랙이나 컬럼의 이동으로 인한 디자인의 변경이 필요 없으며 via의 단순한 이동을 통하여 결함 민감 지역의 최소화를 꾀할 수 있다는 점이다. 또한 레이 아웃의 특성에 맞춘 수율 모형의 적용으로 인해 예전 보다 정확한 수율을 측정 할 수 있다.

더욱더 복잡해지는 미래의 제품에 본 논문이 제안한 기법을 이용한다면 큰 어려움 없이 결함 민감 지역을 줄이고 수율을 향상시킬 수 있으며, 제시한 수율 모형으로 보다 정확한 수율을 예측하여 수익성을 극대화하는데 일조 할 것으로 예상한다.

본 논문이 제시한 via 이동 알고리즘을 Karri와 Orailoglu(1994)가 제시한 Deft 알고리즘과 결합하여 사용하면 결함 민감 지역을 더 줄일 수 있을 것으로 생각되며 이 부분을 추후의 연구과제로 남겨둔다.

참고문헌

C. H. Stapper(1991) "On Murphy's Yield Integral", IEEE Transactions on Semiconductor Manufacturing. Vol.4. No. 4. November 1991

I. Koren, Z. Koren(1998) "Defect Tolerance in VLSI Circuits : Techniques and Yield Analysis", Proceedings of the IEEE, Vol.86, No. 9, September 1998

J. A. Cunningham(1990) "The use and evaluation of yield models in integrated circuit manufacturing", IEEE Transactions on Semiconductor Manufacturing. Vol. 3. No. 2. May 1990

R. Karri, A. Orailoglu(1994) "Simulated Annealing Based Yield Enhacement of Layouts", VLSI, 1994 Design Automation of High performance VLSI System GLSV '94. proceeding. Fourth Great Lake Symposium on 1994

S. Y. Sohn, "Empirical Bayesian Estimation for the Traffic Intensity Parameter

in M/M/1 Queues with Covariates," Queuing Systems: Theory and Applications, Vol. 22, No. 3&4, Oct. 1996

T. Yoshimura, E. S. Kuh (1982) "Efficient Algorithms for Channel Routing", IEEE Trans. on Computer Aided Design, Vol. 1, No. 1, January 1982

Z. Chen, I. Koren(1995) "Layer Assignment for Yield Enhancement", Defect and Fault Tolerance in VLSI Systems, proceeding., 1995 IEEE International Workshop on, 1995