

칩 내부의 전역 연결선에 존재하는 누화 잡음 예측 방법

임경택, 김애희, 백종흠, 김석윤
승실대학교 컴퓨터구조 연구실
전화 : 02-813-0682 / 핸드폰 : 011-9917-3041

An Estimation Method of Crosstalk for On-chip Global Wires

Kyoung-Taek Im, Ae-Hee Kim, Jong-Humn Baek, Seok-Yoon Kim
Soongsil Univ. Graduate School, Department of Computing,
1-1 Sangdo 5dong, Dongjak-ku, Seoul, Korea
E-mail : imkt@ic.soongsil.ac.kr

Abstract

This paper presents a simple method for estimating the maximum crosstalk noise of on-chip global wires. For the derivation of the maximum crosstalk expression we have modeled wires using lumped-elements that are composed of R, L and C. We have also used experimental constant to reduce the modeling error. The accuracy of the proposed method is verified by comparing against the HSPICE simulation results under the present process parameters and environmental conditions. The results of the proposed method can be used as an estimator in design-aid tools.

I. 서론

DSM(Deep Sub-Micron) 시대의 고집적화 경향은 칩 내부의 연결선 밀도를 증가시킬 뿐만 아니라 연결선의 기하 구조를 변화시켰다. SIA(Semiconductor Industries Association)의 보고서에서는 0.25 μ m 공정에서 연결선의 aspect ratio는 2:1이고, 2004년에는 3:1이 될 것이라고 전망하였다. 이러한 추세는 인접한 연결선 사이의 전자기적 결합을 증가시켰고, 그로 인한 누화 잡음은 회로의 성능을 저해하는 중요한 요인으로 부각되었다. on-chip 연결선에서 발생하는 대부분의 누화(crosstalk) 잡음은 자기적 결합(inductive coupling) 보다 전기적 결합(capacitive coupling)의 영

향이 더 큰 비중을 차지한다. 그러나 칩의 동작 주파수와 연결선의 길이 증가로 인해 더 이상 연결선에 기생하는 자기 및 상호 인덕턴스 성분을 무시할 수 없게 되었다. 그림 1에서 보듯이 칩 내부의 전역 연결선(global wires)의 빈도는 상당하다. 물론, 칩의 성능을 향상시키기 위해 리피터(repeater)라는 버퍼를 삽입하여 전역 연결선들의 길이가 짧아졌지만 회로의 신호 충실성(signal integrity)을 보장하기 위해서는 전역 연결선의 누화잡음을 해석할 때 기생하는 인덕턴스 성분을 반드시 고려하여야 한다.

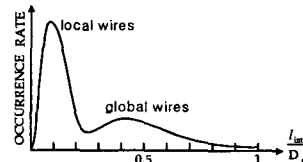


그림 1. 길이에 따른 연결선의 분포
(가로축: die size로 정규화 된 연결선의 길이)[1]

현재 on-chip 연결선에서 인덕턴스 성분을 무시하고 커패시턴스 성분만을 고려한 누화 잡음에 관한 연구는 상당히 진행되어 있다. 그러나 입력 드라이버를 고려하지 않고 계단 응답(step input response)만을 분석하거나[2], 연결선의 저항을 무시하였다[3]. [4]는 연결선의 저항을 고려하였지만, 이전의 연구들과 같이 연결선의 자기 및 상호 인덕턴스 성분을 고려하지 않았다.

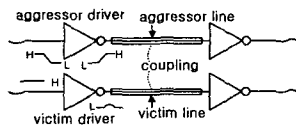
본 논문에서는 입력 드라이버의 저항과 연결선의 저항, 자기 및 상호 커패시턴스, 자기 및 상호 인덕턴스

를 고려하고, 입력 신호로 임의의 램프 입력을 사용하였다. 하지만, 연결선의 기생 성분들을 각각 하나의 집중 소자로 모형화하였으므로 연결선의 최대 누화 잡음 전압은 실제 값보다 상당히 작게 예측되었다. 따라서, 본 논문에서는 경험 상수를 이용하여 보정하였다.

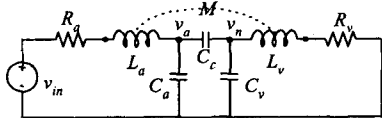
II. 최대 누화 잡음 전압의 유도

2.1 타이밍 수준의 분석 모형

인접한 두 연결선에 유기된 최대 잡음 전압값을 구하기 위해 게이트와 연결선을 그림 2과 같이 모형화하였다. 잡음을 유기하는 구동 드라이버(aggessor driver)는 하향 천이하는 램프 입력을 갖는 v_m 과 pMOSFET의 유효 채널 저항으로 모형화하였고, 잡음이 유기되는 정적 상태의 드라이버(victim driver)는 정적 high 상태에 있는 nMOSFET의 유효 채널 저항으로 모형화하였다. 드라이버의 유효 저항과 라인의 저항을 합한 값이 각각 R_a , R_v 이고, 라인과 그라운드 사이의 커패시턴스와 부하 커패시턴스의 합을 각각 C_a , C_v 로 나타내었다. $C_c(M)$ 은 각각 구동 라인과 정적 상태에 있는 라인 사이의 상호 커패시턴스(상호 인덕턴스)를 하나의 집중 소자로 나타낸 것이다.



(a) 게이트 수준의 모형



(b) 타이밍 수준의 모형

그림 2. 누화 잡음을 해석하기 위한 분석 모형

2.2 최대 잡음 전압의 유도

구동 드라이버의 입력으로 사용한 입력전압 V_{in} 은

$$v_m(t) = \frac{V_{DD}}{t_r} tu(t) - \frac{V_{DD}}{t_r} (t - t_r) \quad (t \geq 0) \quad (1)$$

와 같이 일정한 기울기를 갖는 선형식으로 근사화했고, 여기서, V_{DD} 는 공급 전압, t_r 은 신호의 천이 시간, $u(t)$ 는 단위 계단 함수이다.

그림 2의 회로를 이용해 전압 v_n 과 v_a 에 관한 식을

구한 후 Laplace 변환하여 정리하면 식 (2)를 얻을 수 있다.

$$H(s) = \frac{V_n(s)}{V_{in}(s)} = \frac{y_2 s^2 + y_1 s}{x_4 s^4 + x_3 s^3 + x_2 s^2 + x_1 s + 1} = \sum_{i=1}^4 \frac{k_i}{s + p_i} \quad (2)$$

$$y_1 = R_v C_c,$$

$$y_2 = L_v C_c - M C_a - M C_c,$$

$$C_t = C_a C_c + C_c C_v + C_a C_v,$$

$$x_1 = R_a C_a + R_a C_c + R_v C_c + R_v C_v,$$

$$x_2 = R_a R_v C_t + L_a C_a + L_a C_c + L_v C_c + L_v C_v - 2M C_c,$$

$$x_3 = C_t (L_a R_v + L_v R_a),$$

$$x_4 = C_t (L_a L_v - M^2).$$

식 (2)에서 p_i 와 k_i 는 각각 4차 방정식의 해를 구하는 Ferrari의 해법과 Heaviside의 은폐법(cover-up)을 이용하여 구할 수 있고, 다음과 같이 표현될 수 있다.

$$p_i = a_i + j b_i = A_i e^{j \alpha_i}$$

$$(A_i = \sqrt{a_i^2 + b_i^2}, \alpha_i = \tan^{-1}(b_i/a_i), a_i \neq 0)$$

$$k_i = c_i + j d_i = B_i e^{j \beta_i}$$

$$(B_i = \sqrt{c_i^2 + d_i^2}, \beta_i = \tan^{-1}(d_i/c_i), c_i \neq 0)$$

인접 라인에 인가되는 누화 잡음 전압, $v_n(t)$ 는 식 (1)과 (2)를 이용하여 주어진 시간 영역에 따라 Laplace 역변환에 의해 얻을 수 있다. 최대 잡음 전압은 항상 $t \geq t_r$ 인 시점에서 발생하고 이 구간에서 입력 전압의 기울기로 정규화 된 잡음전압 $v_n(t) = t v_n(t) / V_{DD}$ 는

$$v_n(t) = \sum_{i=1}^4 \left[\frac{B_i}{A_i} t_r \cos(\beta_i - \alpha_i) + \frac{B_i}{A_i} e^{-a_i t} \left\{ \cos(b_i t + 2\alpha_i - \beta_i) - e^{a_i t} \cos(b_i t + 2\alpha_i - \beta_i - b_i t_r) \right\} \right] \quad (4)$$

이고, 식 (4)를 미분하여 최대잡음 전압이 발생하는 시점 t_{max} 를 구할 수 있다. 하지만, t_{max} 값은 closed-form으로 존재하지 않으므로 식 (5)에 Newton-Raphson 방법을 적용하여 구하고, 그 값을 식 (4)에 대입하여, 최대 잡음 전압값을 구하였다.

$$\sum_{i=1}^4 \frac{B_i \sqrt{S_i^2 + C_i^2}}{A_i} e^{a_i t} \sin(B_i t + \delta_i) = 0,$$

$$C_i = e^{a_i t} \cos(2\alpha_i - \beta_i + \gamma_i - b_i t_r) - \cos(2\alpha_i - \beta_i + \gamma_i)$$

$$S_i = e^{a_i t} \sin(2\alpha_i - \beta_i + \gamma_i - b_i t_r) - \sin(2\alpha_i - \beta_i + \gamma_i),$$

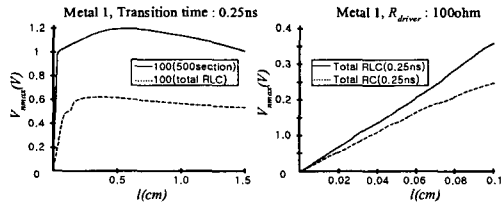
$$\sin \delta_i = \frac{S_i}{\sqrt{S_i^2 + C_i^2}}, \quad \cos \delta_i = \frac{C_i}{\sqrt{S_i^2 + C_i^2}}. \quad (5)$$

또한, 연결선이 인덕턴스 성분을 무시할 수 있는 RC-class일 경우, 동일한 방법을 적용하면 [4]와 같은 값을 갖는다.

그림 3의 (a)는 식 (4)가 누화 현상으로 인한 최대 잡음 전압을 상당히 낮게 예측될 수 있음을 보여준다. 이것은 서론에서도 언급했듯이 연결선의 기생 성분들을 각각 하나의 집중 소자로 모형화하였기 때문에 나타나는 결과이다. 아울러 그림 3의 (b)는 RLC 집중 회

칩 내부의 전역 연결선에 존재하는 누화 잡음 예측 방법

로를 RC 집중회로로 모형화했을 때와의 차이를 보인 것으로 전역 연결선에서는 그 차이가 점점 증가함을 볼 수 있다. 본 논문의 HSPICE 시뮬레이션에서 사용한 연결선의 정보는 표 1과 2에 나타나 있다. 표 1은 IBM의 0.25 μ m 공정이고, 이는 [5]에서 참조한 연결선의 기하구조 정보로서, Pitch는 두 연결선 사이의 간격, Thick는 연결선의 두께, Aspect Ratio는 연결선의 폭과 두께의 비율이다. 표 2는 표 1의 기하구조에 대하여 LINPAR[6]를 이용해 추출한 전기적 파라미터 값으로, R 은 연결선의 단위 길이 당 저항, L 과 C 는 각각 연결선의 단위 길이 당 인덕턴스와 커패시턴스, L_m 과 C_m 은 각각 두 연결선 사이의 단위 길이 당 상호 인덕턴스 및 커패시턴스를 나타낸다.



(a) RLC 집중회로와 분포회로 (b) RLC 집중회로와 RC 집중회로
그림 3. 집중 회로와 분포 회로의 모형화 오차

표 1. 연결선의 기하구조

Layer	Pitch(mm)	Thick(mm)	Aspect ratio
Metal 1	0.64	0.48	1.5
Metal 2	0.93	0.90	1.9
Metal 3	0.93	0.90	1.9
Metal 4	1.60	1.33	1.7
Metal 5	2.56	1.90	1.5

표 2. 연결선의 전기적 파라미터 값

	$R(\Omega/m)$	$L(H/m)$	$L_m(H/m)$	$C(F/m)$	$C_m(F/m)$
Metal 1	2.219E+04	8.820E-07	6.056E-07	4.039E-11	2.471E-11
Metal 2	1.370E+04	7.774E-07	5.288E-07	4.378E-11	2.602E-11
Metal 3	1.370E+04	7.774E-07	5.288E-07	4.378E-11	2.602E-11
Metal 4	8.845E+03	6.933E-07	4.278E-07	4.416E-11	2.283E-11
Metal 5	5.928E+03	6.147E-07	3.392E-07	4.606E-11	2.012E-11

그림 3의 (a)에서 100(500section)은 입력 드라이버의 저항이 100 Ω 이고, 500 section으로 된 분포 회로를 의미한다. 100(totalRLC)는 입력 드라이버의 저항이 100 Ω 이고, 하나의 집중소자로 모형화 된 회로를 의미한다. 세로축의 V_{max} 는 정적 상태에 있는 라인에 유기되는 최대 잡음 전압을 의미하고, 가로축은 연결선의 길이이다. 그림 3에서 주목할 점은 연결선을 하나의 집중소자로 모형화했을 때와 분포 회로로 모형화했을 때 측정되는 최대 잡음 전압의 차이가 상당하다는 것이다. 따라서, 본 논문에서는 최대 잡음 전압, V_{nmax} 는 식 (4)를 이용하여

$$V_{nmax} = kv(t_{nmax}) \quad (6)$$

로 나타낼 것이다. 식 (6)에서 k 는 비례 상수이고 이 값을 경험적으로 구하는 방법은 다음 절에서 논할 것이다.

2.3 비례 상수, k

인접한 연결선에서 유기되는 최대 잡음 전압, V_{nmax} 는 식 (7)과 같이 드라이버의 유효 저항, R_{driver} , 입력 신호의 천이시간과 연결선의 기생 성분에 의존한다.

$$V_{nmax} = f(R_{driver}, t_r, R, C, C_m, L, L_m, \theta). \quad (7)$$

식 (7)의 전기적 변수들은 정규화(normalization)를 통해 식 (8)과 같이 간편하게 표현될 수 있다.

$$V_{nmax} = f(R_n, \omega_n) \quad (8)$$

$$R_n = \frac{R_{driver} + Rl}{Z_0}, \quad \omega_n = \omega T_f.$$

식 (8)에서, T_f 는 연결선의 고주파 비행 시간이며, ω 는 라디안(radian)으로 표시된 실효 대역폭(신호의 최대 주파수)이다. 실제 환경에서는 신호의 대역폭을 유한하다고 가정할 수 있는데, 실효(effective) 대역폭, ω 는 다음과 같이 정의 할 수 있다.

$$\omega = \frac{\omega_0}{T_r}. \quad (9)$$

식 (9)의 ω_0 는 3dB 대역폭 점을 고려할 때 2.2이고, 보다 보수적인 관점에서는 2π 의 값을 갖는다. 식 (8)에서 Z_0 은

$$Z_0 = \sqrt{\frac{L - L_m}{C + C_m}}, \quad Z_{0e} = \sqrt{\frac{L + L_m}{C - C_m}} \quad (10)$$

로 정의하고, 여기서, Z_{0o} 은 odd-mode 특성 임피던스, Z_{0e} 은 even-mode 특성 임피던스를 의미하고, 고주파 비행 시간 T_f 는 식 (11)를 이용하여 구할 수 있다.

$$T_f = \frac{l}{v}, \quad v = \sqrt{v_e v_o} \quad (11)$$

$$v_e = \frac{1}{\sqrt{(L + L_m)(C - C_m)}}, \quad v_o = \frac{1}{\sqrt{(L - L_m)(C + C_m)}}.$$

식 (11)에서 v 는 전파 속도(propagation velocity)이며, v_e 는 even-mode, v_o 는 odd-mode를 의미한다.

표 3은 k 를 위한 경험 상수 값이다. 이 값들은 현재의 설계 수준을 고려해 트랜지스터 유효 저항을 80 Ω 에서 140 Ω 사이로 하였고, 드라이버의 입력 천이 시간은 0.25ns에서 1ns의 범위에서 얻은 값이다. 또한, 서론에서 언급한바와 같이 전역 연결선은 지연시간을 감소시키기 위해 리피터가 삽입되므로 연결선의 길이를 0.001cm에서 0.1cm 이하로 한정하였다. 위의 조건에서 R_n 은 0.4에서 1.0 사이의 값을 갖고, ω_n 은 4 이하의 값을 갖는다. 표 3에서 빈 항들은 보간이나 외삽을 통하

여 구하였다.

IV. 결론

본 논문에서는 전역 연결선에서의 누화 잡음을 쉽게 예측할 수 있는 방법에 관하여 논하였다. 입력 드라이버와 연결선을 모형화한 후 입력 신호로 임의의 램프 입력을 사용하여 전역 연결선에서 발생하는 누화 잡음을 해석하였다. 즉, 입력 드라이버를 유효 저항으로 모형화하였으며, 연결선을 저항을 포함하여 자기 및 상호 커패시턴스와 인덕턴스를 고려하여 모형화하였다. 하지만, 유도된 수식은 연결선의 기생 성분들을 각각 하나의 집중 소자로 모형화하였으므로 연결선의 최대 누화 잡음 전압은 실제 값보다 상당히 작게 예측되었고, k 라는 경험 상수를 이용하여 보정하였다. 실제 결과값에 대해 20%내의 상대 오차를 보였지만 절대 수치로는 최대 0.17V 이내의 오차를 보였으므로 설계자가 전역 연결선을 설계할 때 누화 현상으로 인해 인접 연결선에 발생하는 최대 잡음 전압 값을 빠르게 예측할 수 있는 설계 보조 도구로는 충분히 사용가능 할 것이다.

표 3. k 를 위한 경험 상수

$R_n \setminus \omega_n$	0	0.1	0.2	0.3	0.4	...	3.9	4
0.4	8.53	8.07	8.22	8.46	10.1	...	2.2	2.5
0.5	8.91	8.37	8.28	8.64	9.18	...	2.14	2.4
0.6	8.63	8.81	8.9	8.99	9.28	...	2.18	2.36
0.7	8.71	9.05	8.92	8.55	9.12	...	2.16	2.21
0.8	10.03	9.43	9.41	9.34	9.08	...	2.04	2.13
0.9	10.32	9.83	9.63	9.6	8.89	...	2	1.99
1.0	10	10.1	9.8	10	9.42	...	1.89	1.95

III. 결과 비교

본 절에서는 인접한 연결선에서 발생하는 최대 누화 잡음을 예측하기 위하여 제안한 근사 해석 기법의 정확도를 비교한다. 결과 비교를 위해서는 HSPICE를 사용하였고, 아래의 표들은 각각의 조건에 대해 500개의 RLC 집중소자로 이루어진 회로와 비교하여 얻어낸 상대 오차 값들이다. 본 논문에서 제안된 방법을 사용하여 얻은 값은 다음과 같이 진행하였다. 식 (4)를 구한 후 그 값에 표 3을 이용하여 얻은 k 값을 곱하였고, 그 과정에서 좌표 값에 나타나지 않는 값들은 보간을 사용하여 얻었다.

표 4. HSPICE와 비교한 상대오차

(Metal 1, $R_{driver} : 100\Omega$)

$t_s(ns) \setminus l(cm)$	0.01	0.03	0.05	0.07	0.09	0.1
0.25	-9.85	-16.81	18.9	-8.06	1.93	-13.22
0.5	-0.48	0.21	0.4	-10.6	-6.23	-6.95
0.75	-0.7	-1.13	-8.23	0.02	-7.17	-7.04
1	-2.92	-1.16	-1.65	4.52	-0.07	-9.54

(Metal 2, $R_{driver} : 120\Omega$)

$t_s(ns) \setminus l(cm)$	0.01	0.03	0.05	0.07	0.09	0.1
0.25	-3.69	-2.5	-1.05	-2.16	0.02	-3.56
0.5	1.28	5.28	-1.41	-0.37	-10	-3.75
0.75	0.43	3.73	5.16	-1.95	-6.01	-4.06
1	1.28	11.06	2.30	0.8	-0.8	-6.37

(Metal 4, $R_{driver} : 140\Omega$)

$t_s(ns) \setminus l(cm)$	0.01	0.03	0.05	0.07	0.09	0.1
0.25	-3.47	-6.57	-3.28	-8.85	-5.10	4.69
0.5	-0.03	4.54	-9.36	-8.69	-8.4	-9.44
0.75	-0.06	6.60	0.53	3.54	-6.05	0.33
1	0.72	3.99	3.07	-2.95	3.39	-14.64

시뮬레이션에서 사용한 도선은 2.2절에서 언급한 값들을 사용하였다. 또한, 시뮬레이션에서 사용한 값들은 2.3절에서 언급하였듯이 내부저항은 80Ω 에서 140Ω , 입력신호의 천이 시간은 0.25ns에서 1ns, 연결선의 길이는 0.01에서 0.1cm의 값들을 사용하였다. 표에서 보듯이 상대 오차는 20% 이하였고 실제 값과는 최대 0.3V 이내의 차이를 보였다.

참고문헌

- [1] F. Y. Chang, "Transient simulation of nonuniform coupled lossy transmission lines characterized with frequency-dependent parameters - Part I: waveform relaxation analysis," IEEE Trans. Ckt. Sys. I, vol. 39, pp. 585-603, Aug. 1992.
- [2] T.Sakurai, "Closed-form expression for interconnection delay, coupling, and cross talk in VLSIs," IEEE Trans. on Electron Devices, Vol. 40, pp. 118-124, 1993.
- [3] E. Sicard and A. Rubio, "Analysis of cross talk interference in CMOS integrated circuits," IEEE Trans on Electro-magnetic Compatibility, Vol. 34, pp. 124-129, 1992.
- [4] Samuel O. Nakagawa, Dennis M. Sylvester, John G. McBride and Soo-Young Oh, "On-chip Cross Talk Noise Model for Deep-Submicrometer ULSI Interconnect," The Hewlett-Packard Journal, pp 39-45, Aug. 1998.
- [5] M. Bohr, et. al., "A High Performance 0.25 μ m Logic Technology Optimized for 1.8V Operation," Electron Devices Meeting, pp. 847-850, 1996.
- [6] J. M. Rabaey, *Digital Integrated Circuits, A Design Perspective*, Prentice Hall, Inc., New Jersey, 1996.