

## Bulk-Driven 기법을 이용한 저전압 Analog Multiplier

문 태 환, 권 오 준, 꺾 계 달  
한양대학교 전자공학과 반도체연구소  
전화 : 02-2290-0534 / 핸드폰 : 016-473-0045

### The Low Voltage Analog Multiplier Using The Bulk-driven MOSFET Techniques

Tae-Hwan Moon, Oh-Jun Kwon, Kae-Dal Kwack  
Dept. of Electronics, Hanyang University  
E-mail : momong@ihanyang.ac.kr

#### Abstract

The analog multiplier is very useful building block in many circuits such as filter, frequency-shifter, and modulators. In recent year, The main design issue of circuit designer is low-voltage/low-power system design, because of all systems are recommended very integrated system and portable system.

In this paper, the proposed the four-quadrant analog multiplier is using the bulk-driven techniques. The bulk-driven technique is very useful technique in low-voltage system, compare with gate-driven technique. therefore the proposed analog multiplier is operated in 1V supply voltage.

And the proposed analog multiplier is low power dissipation compare with the others. therefor the proposed analog multiplier is convenient in low-voltage/low-power system.

#### I. 서 론

Analog Multiplier(아날로그 곱셈기)는 filter, frequency-shifter, modulator와 같은 회로에 가장 많이 쓰이는 building block 중 하나이다. 현재 활발히 연구되어 개발되고 있는 이동통신 시스템에서 뿐만이 아니

라 모든 신호처리 시스템에서 없어서는 안 되는 부분이 바로 multiplier이다.

또한, 생체공학용 system이나, 휴대 통신, 휴대용 무비카메라 등과 같은 휴대용 system의 소형화와 고집적화 되면서 가장 요구되는 설계 기술은 바로 저전압에서의 회로동작과 낮은 전력소모이다. 따라서 회로 설계자에 있어서 회로 설계의 주된 연구 과제는 가능한 낮은 구동전압과 적은 전력소모를 갖는 회로를 설계하는 것이다.

본 논문에서는 이러한 전자장비의 초소형화 고집적화에 따른 저전압/저전력이 요구되는 현재 System에 응용이 가능한 일반적인 CMOS 구동방식인 Gate 구동방식이 아닌 Bulk 구동방식을 이용해 구동전압 1V에서 동작이 가능한 저전압 analog multiplier를 설계하였다.

#### II. MOSFET 구동방식

일반적으로 MOSFET를 구동하는 방식은 Gate 구동방식이다. 이와 달리 저전압에서 회로를 구동할 수 있도록 문턱전압(Threshold Voltage :  $V_{TH}$ )을 낮춘 Bulk 구동방식이 있다.

##### 2-1. Gate 구동방식

MOSFET의 게이트와 실리콘 기판 사이에 저압을 인가하여 게이트 산화막에서의 수직 방향의 전계세기(Electric field intensity :  $E_{ox}$ )를 충분히 크게 하면 실

리콘 표면에 인버전(Inversion) 캐리어들이 모이게 된다. 인버전 채널이 형성된 상태에서 드레인과 소스 사이에 전압을 인가하면 수평 방향 전계에 의해 인버전 캐리어들이 소스 쪽에서 드레인 쪽으로 움직여 전류를 흐르게 하는 방식에 의해 MOSFET를 구동하는 방식이 바로 Gate 구동방식이다.

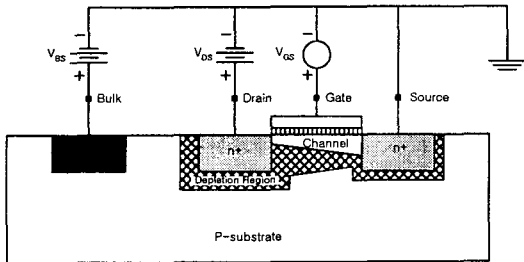


그림2.1 Gate 구동방식의 NMOSFET 단면도

2-2. Bulk 구동방식

Bulk 구동방식은 앞서 설명한 Gate 구동 방식과 달리 Gate potential이 아닌 Bulk potential에 의해 MOSFET의 Source와 Drain 아래의 공핍층(Depletion Layer), 인버전 채널의 두께가 결정된다. 즉, Bulk-Source Voltage의 변화에 의해 공핍층의 두께가 변하게 되고, 인버전 채널로 흐르는 드레인 전류는 이어서 변하게 된다.

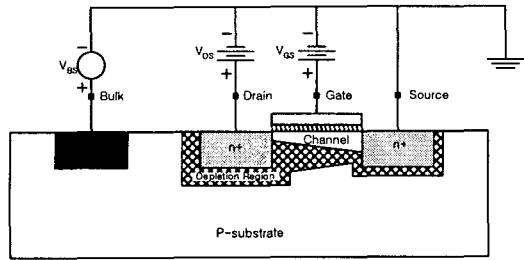


그림2.2 Bulk 구동 방식의 NMOSFET 단면도

위 그림2.2는 Bulk 구동방식을 이용한 NMOSFET의 단면도를 보여주고 있다. 따라서, Bulk 구동방식은 Gate 구동방식에 비해 MOSFET의 문턱전압(Threshold Voltage :  $V_{TH}$ ) Overhead를 제거해 줌으로써 채널전류는 Bulk-Source potential의 매우 작은 DC값으로도 변화되게 된다.

III. 제안한 Four-Quadrant Analog

Multiplier

3-1. Gate 구동방식 회로

본 논문에서 새로 제안한 Four-quadrant analog multiplier는 Variable Transconductance Technique방식을 이용해 설계하였다. 기본 Cell은 아래 그림3.1과 같다.

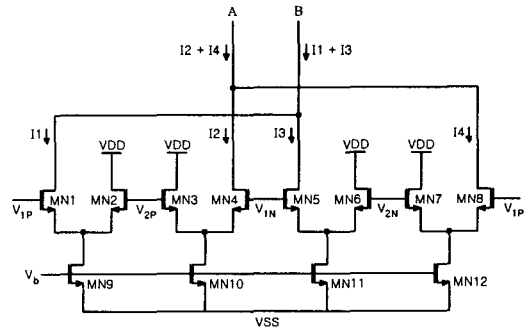


그림3.1 제안한 Four-Quadrant Analog Multiplier (Gate 구동방식)

제안한 회로의 기본적인 동작분석을 해 보도록 한다. 앞서 기본적인 differential pair의 해석을 이용해 각 MOS의 드레인 전류를 구한 다음 그 전류의 차를 구함으로 analog multiplier의 동작을 얻어낼 수 있다.

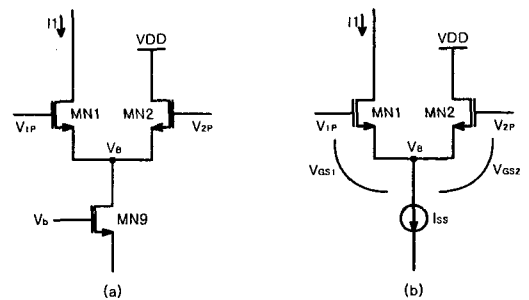


그림3.2 제안회로의 기본 Differential Pair

그림3.2(a)는 제안된 회로에서 두 신호 입력이 있는 differential pair를 보여주고 있고, 또 그림3.2(b)는 differential pair의 해석을 위해 바이어스된 트랜지스터(MN9)를 전류원으로 대체한 형태를 보여주고 있다.

먼저, MOS의 드레인 전류( $I_D$ )를 정리해 본다.

$$I_D = \frac{1}{2} \mu_0 C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS}) \quad (3.1)$$

$\mu_0$  : effective surface mobility

## Bulk-Driven 기법을 이용한 저전압 Analog Multiplier

for NMOS or PMOS device ( $cm^2/volt \cdot sec$ )

$C_{ox}$  : gate capacitance per unit area

$W$  : effective channel width

$L$  : effective channel length

$\lambda$  : channel length modulation parameter  
( $volt^{-1}$ )

이 때, 모든 MOSFET가 포화영역에서 동작한다고 가정하고 channel length modulation( $\lambda$ )을 무시한다.

$$I_D = \frac{1}{2} \mu_0 C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (3.2)$$

이때, 식(3.2)에서  $\frac{1}{2} \mu_0 C_{ox} \frac{W}{L}$ 을  $K$ 로 치환한다.

$$I_D = K (V_{GS} - V_{TH})^2 \quad (3.3)$$

이 때,  $V_{GS1} = V_{1P} - V_A$ 이므로 그림3.2에 나타났있는  $MM1$ 의 드레인에 흐르는 전류  $I_1$ 에 대해 식을 정리하면 다음과 같다.

$$I_1 = K_1 (V_{1P} - V_A - V_{TH})^2 \quad (3.4)$$

여기에서,

$$V_{GS2} = V_{2P} - V_A \quad (3.5)$$

이고, 식(3.5)를  $V_A$ 에 대해 정리하면  $V_A = V_{2P} - V_{GS2}$ 가 된다. 따라서, 다음과 같이 정리할 수 있다.

$$V_{GS} = \sqrt{\frac{I_{SS}}{K}} + V_{TH} \quad (3.6)$$

앞서 정리한 수식들을 이용해 식(3.2)를 다시 정리하면 다음과 같다.

$$\begin{aligned} I_1 &= K_1 \left[ V_{1P} - V_{2P} + \left( \sqrt{\frac{I_{SS}}{K}} + V_{TH} \right) - V_{TH} \right]^2 \\ &= K_1 \left[ V_{1P} - V_{2P} + \sqrt{\frac{I_{SS}}{K}} \right]^2 \end{aligned} \quad (3.7)$$

따라서,  $MM1$ 의 드레인에 흐르는 전류  $I_1$ 을 구하였고, 이와 같은 방법으로  $I_2$ ,  $I_3$ ,  $I_4$ 를 구하면 다음 식(3.8), 식(3.9), 식(3.10)과 같이 구할 수 있다.

$$I_2 = K_2 \left[ V_{1N} - V_{2P} + \sqrt{\frac{I_{SS}}{K}} \right]^2 \quad (3.8)$$

$$I_3 = K_3 \left[ V_{1N} - V_{2N} + \sqrt{\frac{I_{SS}}{K}} \right]^2 \quad (3.9)$$

$$I_4 = K_4 \left[ V_{1P} - V_{2N} + \sqrt{\frac{I_{SS}}{K}} \right]^2 \quad (3.10)$$

이 때,  $MM1 \sim MM8$ 의 모든 MOSFET의  $W$ 와  $L$ 이 모두 같다고 하면 식(3.7)~식(3.10)에 표현되어 있는  $K_1 = K_2 = K_3 = K_4$ 이므로 모두  $K$ 로 나타내기 위하여 한다.

따라서, 출력전류  $I_O$ 는 앞에서 정리한 식(3.7), 식(3.8), 식(3.9), 식(3.10)을 이용하면,

$$I_O = (I_2 + I_4) - (I_1 + I_3)$$

$$= (I_4 - I_1) - (I_2 - I_3)$$

$$= -2KV_1 V_2$$

$$(3.11)$$

따라서, 식(3.11)에서 정리된 것과 같이 입력 전압  $V_1$ 과  $V_2$ 의 곱은 출력에서 전류의 차로 나타나게 됨을 알 수 있다.

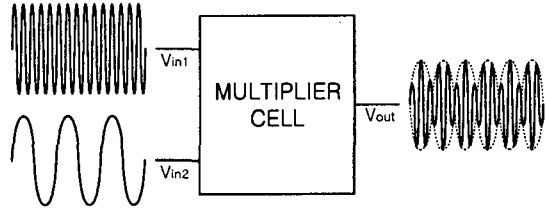


그림3.3 Analog Multiplier 개념도

그림3.3은 analog multiplier의 기본 개념도이다. 그림에서 보이는 것과 같이  $V_{in1}$ 과  $V_{in2}$  두 입력신호를 multiplier cell을 통해  $V_{out}$ 에 출력을 하게 된다.

### 3-2. Bulk 구동방식 회로

앞의 회로를 저전압, 1V에서 동작이 가능하게 하기 위해 Bulk 구동방식을 이용해 회로를 변환시켰다.

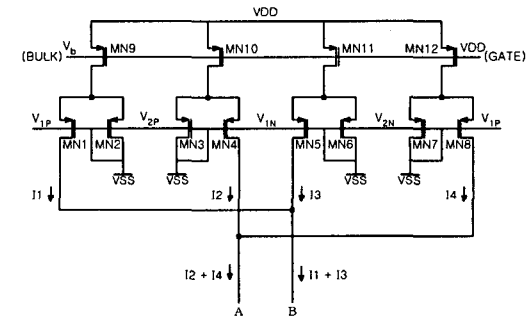


그림3.4 제안한 Four-Quadrant Analog Multiplier (Bulk 구동방식)

위의 그림3.4는 본 논문에서 새로 제안한 Four-quadrant analog multiplier를 Bulk 구동방식으로 변환한 회로를 보여주고 있다.

## IV. Simulation 결과

### 4-1. Gate 구동방식에서의 simulation 결과

그림 4.1은 본 논문에서 제안한 Four-quadrant analog multiplier의 Gate 구동방식의 경우 그 동작 결과를 보여주고 있다. 제안한 회로에 2.5[ kHz]의 입력 신호와 50[ kHz]의 입력신호를 입력했을 때 결과이다.

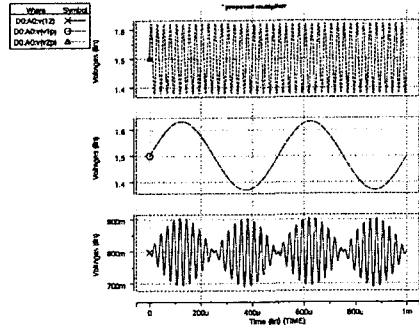


그림4.1 Gate 구동방식에서의 simulation 결과

#### 4-2. Bulk 구동방식에서의 simulation 결과

그림 4.2는 본 논문에서 제안한 Four-quadrant analog multiplier의 Bulk 구동방식의 경우 그 동작 결과를 보여주고 있다. 제안한 회로에 2.5[ kHz]의 입력 신호와 50[ kHz]의 입력신호를 입력했을 때 결과이다.

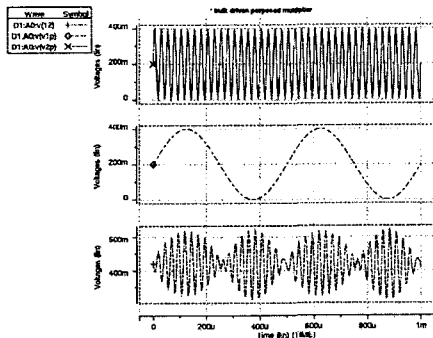


그림4.2 Bulk 구동방식에서의 simulation 결과

### V. 결론

본 논문에서는 Bulk 구동방식을 이용해 저전압 (1V)에서 동작하는 Four-quadrant analog multiplier를 제안하였다. 제안한 analog multiplier는 0.25 n-well CMOS 공정 parameter를 사용하여 simulation하였고, 본 논문에서 제안한 회로는 Bulk 구동방식을 이용해 1V의 구동전압에서도 회로의 원활한 동작이

가능함을 simulation 결과를 통해 알 수 있었다.

또한, 전력 소모에 있어서도 Gate 구동방식의 경우 3.0362[ mWatts], Bulk 구동방식의 경우 102.5289[  $\mu$  Watts]을 보임으로써 기존에 제안된 Four-quadrant analog multiplier보다 저전력의 특성도 보이고 있다.

따라서, 본 논문에서 제안한 회로는 초소형화, 고집적화 되어가고 있는 저전압/저전력 시스템에 적합한 아날로그 multiplier이다.

### Reference

- [1] 박영준, 'VLSI 소자이론', 교학사, 1995.
- [2] N. I. Khachab, M. Ismail, "A nonlinear CMOS analog cell for VLSI signal and information processing", IEEE J. Solid-State Circuit, vol.26, pp.1689-1699, Nov. 1991.
- [3] S. Satyanarayana, Y. P. Tsivids, H. P. Graf, "A reconfigurable VLSI neural network", IEEE J. Solid-State Circuit, vol.27, pp.67-81, Jan. 1992.
- [4] 박홍준, 'CMOS 아날로그 집적회로 설계', 시그마프레스, 1999.
- [5] S. C. Qin, R. L. Geiger, "A  $\pm 5V$  CMOS Analog Multiplier", IEEE J. Solid-State Circuit, vol.22, pp.1143-1146, Dec. 1987.
- [6] Bang-sup Song, "CMOS RF Circuits for Data Communications Applications", IEEE J. Solid-State Circuit, vol.21, pp.310-317, Apl. 1986
- [7] S. I. Liu, Y. S. Hwang, "CMOS Four-Quadrant Multiplier Using Bias Feedback Techniques", IEEE J. Solid-State Circuit, vol.29, pp.750-752, Jun. 1994.
- [8] P. F. Jesus S, J. A. Connelly, "A MOS Four-Quadrant Analog Multiplier Using the Quadrant-Square Technique", IEEE J. Solid-State Circuit, vol.22, pp.1064-1073, Dec. 1987.
- [9] N. Saxena, J. J. Clark, "A Four-Quadrant CMOS Analog Multiplier for Analog Neural Networks", IEEE J. Solid-State Circuit, vol.29, pp.746-749, Jun. 1994.
- [10] K. Bult, H. Wallinga, "A CMOS Four-Quadrant Analog Multiplier", IEEE J. Solid-State Circuit, vol.21, pp.430-435, Jun. 1986.
- [11] J. N. Babanezhad, G. C. Temes, "A 20V Four-Quadrant CMOS Analog Multiplier", IEEE J. Solid-State Circuit, vol.20, pp.1158-1168, Dec. 1985.