

# Harmonic Locking을 제거하기 위한 아날로그 Multi-phase DLL 설계

문 장 원 , 광 계 달  
한양 대학교 전자공학과

전화 : 02-2290-0357 / 핸드폰 : 019-631-4477

## An Analog Multi-phase DLL for Harmonic Lock Free

Jang-Won Moon , Kae-Dal Kwack  
Dept. of Electronic Engineering , Hanyang University  
E-mail : mmjjww@hanmail.net

### Abstract

This paper describes an analog multi-phase delay-locked loop (DLL) to solve the harmonic lock problem using current-starved inverter and shunt-capacitor delay cell. The DLL can be used not only as an internal clock buffer of microprocessors and memory IC's but also as a multi-phase clock generator for gigabit serial interfaces. The proposed circuit was simulated in a 0.25 $\mu\text{m}$  CMOS technology to solve harmonic lock problem and to realize fast lock-on time and low-jitter. we verified time interval less than 40 ps as the simulation results.

### I. 서론

최근의 VLSI 시스템이 고속화, 고집적화의 경향으로 발전됨에 따라, 통신, 무선 시스템, 디지털 회로, 디스크 드라이브 등의 시스템에 쓰이는 클럭 구동 회로 (Clock driving circuit)에도 많은 변화가 요구되었으며, 시스템의 성능향상과 더불어 하나의 보드(Board)에 여러 개의 IC를 포함하는 경향이 늘어나면서, 여러 칩들간에 클럭을 배분하고, 이를 동기화 하는 것이 중요

한 문제로 대두되고 있다. 이러한 응용의 예에서는 delay-locked loop (DLL)는 그 훌륭한 대안이 된다. 본 논문에서 제안한 DLL은 기존의 analog DLL의 문제점인 stuck-Harmonic 문제점을,  $1/4 \pi$  delay generator로 해결하고 current-starved inverter의 특징과 shunt-capacitor의 특징을 이용하여 Fast Locking time과 Low-jitter를 구현하였다. Ref-clk와 F-clk의 두 위상차이로 Up down 신호를 생성시켜서  $1/4 \pi$  delay generator로 Feedback 시킴으로써 주파수 동작 영역을 넓혀보았다. 120-250MHz에서 잘 동작하는 8-phase Clocks을 생성하였다.

### II. 기존 아날로그 DLL의 문제점

기존 아날로그 DLL의 블록 다이어그램은 동작 메커니즘과 함께 그림 1과 같이 보여진다. VCDL(Voltage Control Delay Lock)의 delay time( $T_{VCDL}$ )이 한 클럭 만에 동기 된다면 Multi-Phase clock을 생성할 수 있으나 그림 1의 (C)와 같이 2클럭 만에 동기 된다면 2차 Harmonic Lock이 발생하여 Multi-Phase clocks을 생성할 수 없게 된다.

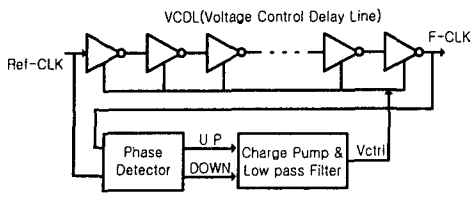


그림 1 기존의 아날로그 DLL

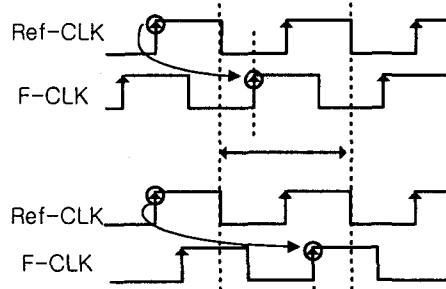


그림 3 Phase Capture Range 범위

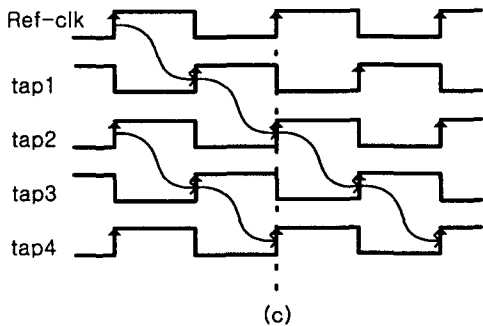
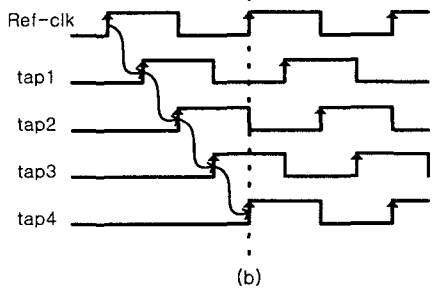
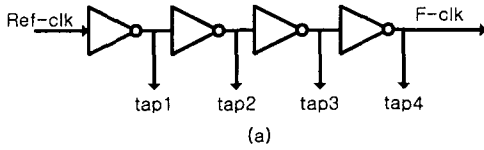


그림2 (a) VCDL(Voltage Control Delay Line)  
(b) 정상동작 (c) 2차 Harmonic Lock

이러한 문제를 해결할 수 있는  $T_{VCDL}$ 의 최대값과 최소값의 Locking Range 범위(그림 3)는 다음 수식으로 표현될 수 있다.

$$0.5 \times T_{CLK} < T_{VCDL-min} < T_{CLK} \quad (1)$$

동일하게  $T_{CLK}$ 에 의해서도

$$T_{CLK} < T_{VCDL-max} < 1.5 \times T_{CLK} \quad (2)$$

수식(2)와 같이 표현된다.

### III. 제안된 회로의 구조

제안된 DLL 구조는 Current-starved inverter와 Shunt-capacitor delay cell의 delay 특징을 결합한 Delay cell Block을 구성하여 Fast Locking time 과 low-jitter를 구현하였다.  $1/4 \pi$  delay generator 블록을 이용하여 각각의 delay cell 블록에  $1/4 \pi$ 을 주어서 8개의 delay cell 블록을 지난 위상이 한 clk이 되도록 하여 기존의 아날로그 문제점인 Harmonic Locking 문제점을 해결하고 multi-phase clocks를 생성하였다. 또한 8개의 delay cell 블록을 지난 클럭(F-clk)과 Ref-clk 위상차이를 비교하여  $1/4 \pi$  delay generator 블록에 Feed-back 시킴으로써 Coarse 한  $1/4 \pi$  delay를 다시 한번 control 함으로써 주파수 동작 영역을 넓힐 수 있었으며 동시에 shunt-capacitor delay cell을 이용하여 fine delay를 control 할 수 있다. 전체 구조는 그림 4와 같다.

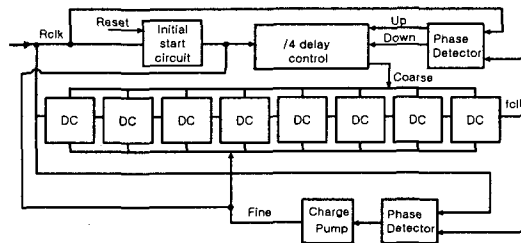


그림 4. 제안한 DLL의 전체 블록도

### IV. 제안한 회로의 구현 및 동작

#### 4.1 delay cell 구조의 delay 특성

그림 8의 delay 구조와 그림5의 delay 특징에서 보듯이 Coarse delay는 current-starved inverter 로

Harmonic Locking을 제거하기 위한 아날로그 Multi-phase DLL 설계

fine delay 는 shunt-capacitor delay cell 로 delay를 control 하였다.

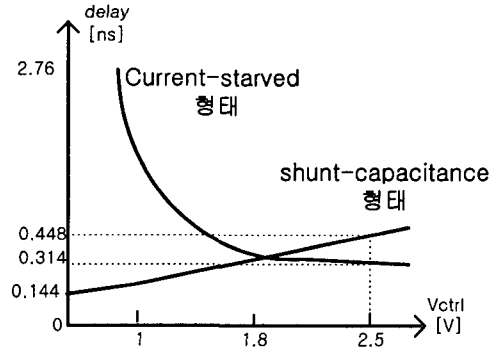


그림 5. current-starved inverter 와 shunt-capacitor delay cell 의 delay 특징

4.2 제안한 1/4 π delay Generator 블록

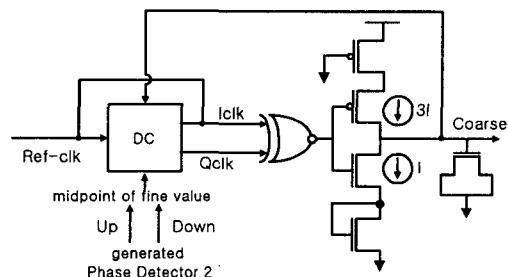


그림 6. 1/4 π delay control 블록

current-starved inverter 와 shunt-capacitor delay cell 를 사용하여 coarse 하게 1/4 π delay 을 구현하였다 .(그림4)  $I_P : I_N = 3:1$  이고 lock 상태에서  $I_P \times T_{LOW} = I_N \times T_{HIGH}$ 인 관계, 즉  $T_{LOW} : T_{HIGH} = 1:3$ 인 관계가 성립함으로써 1/4 π delay가 생성될 수 있다. 8개의 각 delay cell 블록에 1/4 π delay 가 생성 되므로 total DLL을 지난 delay는 Ref-clk 의 한 주기가 됨으로써 8 Phase 을 생성할 수 있다. 위상에 대한 전압 이득은 그림 7와 같다.

4.3 주파수 동작 범위를 넓히기 위한 Up down 신호

8개의 delay cell을 통과한 F-clk 와 Ref-clk의 위상차에 따라 Up down 신호를 주어서 1/4 π delay control 블록에 있는 shunt-capacitor delay cell 에 공급함으로써 rising time 또는 falling time 한쪽을

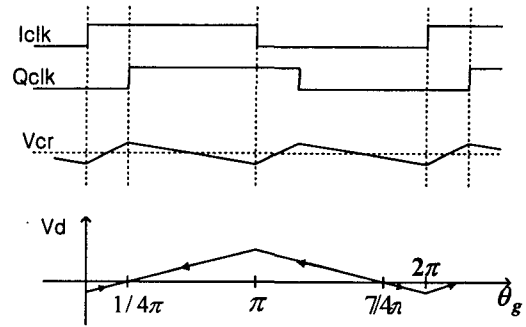


그림 7. current-starved inverter 블록의 Gain

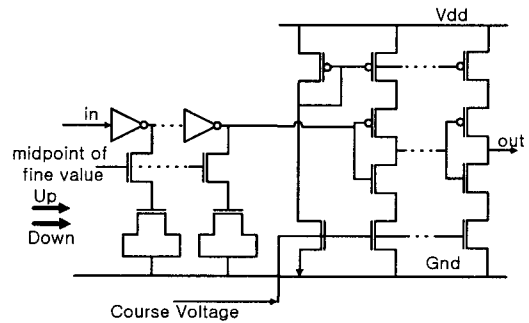


그림 8. delay cell 블록의 구조

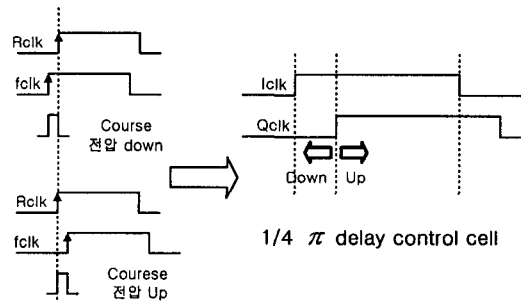


그림 9. up down 신호에 의한 course 전압의 제어

우세하게 하여 결국, Coarse control voltage을 한번 더 control 하여 전체 DLL에 공급한다.(그림 8) 따라서 빠른 시간에 1/4 π delay 에 도달하게 되고 1/4 π delay generator 블록의 current starved inverter로 delay를 조절 할 수 없는 주파수 영역까지 delay를 한번 더 control 함으로써 주파수 동작 영역을 넓힐 수 있다. 1/4 π delay generator 블록의 delay는 각각의 delay cell에 있는 delay와 같은 값을

맞기 위해서  $1/4 \pi$  delay generator 블록의 fine control voltage 는 fine control voltage 중간값 으로 초기화 하였다.(그림 7) 결국 Coarse Control Voltage 와 fine Control Voltage 를 사용하여  $1/4 \pi$  delay 를 빠르게 Locking 시키고 shunt-capacitor delay cell의 적은 delay 양으로 Fine delay를 control 함으로써 fast locking-on time과 low-jitter, 넓은 주파수 영역까지 동작할 수 있도록 하였다.

#### 4.4 Initial start 회로

current delay로 시작하는 회로는 초기값이 0 이면 회로가 동작 하지 않으므로 초기값을 Half VDD로 시작하게 하였다.

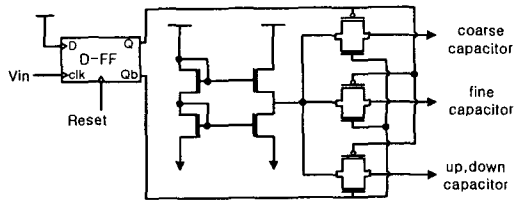


그림 10 initial start 회로

### IV. 모의실험 결과

제안된 회로는  $0.25\mu\text{m}$  CMOS 공정으로 2.5V의 전원 전압에서 H-spice로 모의 실험을 하였다.

그림 10, 그림 11 은 133MHz 와 250MHz 의 클럭이 인가 되었을 때 최대 40 ps 의 이하의 오차를 갖고 8 Phase Clocks을 생성하여 Ref-clk 와 동기되는 것을 검증 하였다.

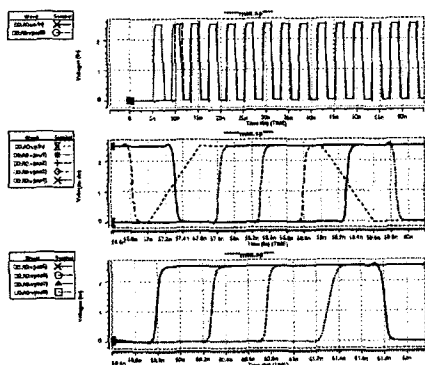


그림 10. 250MHz에서 multiphase clocks 생성

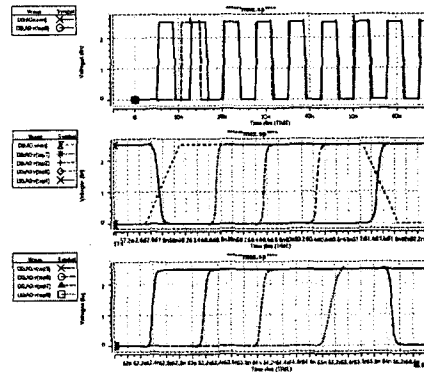


그림 11. 133MHz에서 multiphase clocks 생성

### V. 결론

제안한 DLL은  $0.25\mu\text{m}$  CMOS 아날로그 technology 공정에서 공급전압 2.5V, 250MHz에서 Power 소모는 23.6956mWatts 주파수 동작 범위는 133MHz - 250MHz 범위에서 40ps의 이하의 Phase offset를 갖는 multi-phase Clocks을 생성하였고 H-spice를 사용하여 검증 되었다.

### 참고문헌(또는 Reference)

- [1] Yongsam Moon, "An All-Analog Multiphase Delay-Locked Loop Using a Replica Delay Line for Wide-Range Operation and Low-Jitter Performance," JSSC, Vol. 35, NO. 3, MARCH 2000
- [2] Kohtaroh Gotoh, "All-Digital Multi-Phase Delay Locked Loop for Internal Timing Generation in Embedded and/or High-Speed DRAMs."
- [3] John G, Maneatis "Low-jitter process-Independent DLL and PLL Based on Self-Biased Techniques", JSSC, Vol 31 No 11, pp 1723-1732