

B-ISDN용 ATM AAL 계층의 IP 설계

손 승일(孫承一), 김 형준(金亨俊)

호남대학교 컴퓨터공학과

전화 : (062) 940-5409 / 팩스 : (062) 940-5079

IP Design of ATM AAL Module for B-ISDN

Seung Il Sonh, Hyung Jun Kim

Dept. of Computer Engineering, Honam University

E-mail : saisonh@honam.honam.ac.kr

Abstract

In this paper, we design IP of ATM AAL layer for B-ISDN. The designed ATM AAL module supports the function for AAL type 0, AAL type 3/4, AAL type 5. The designed IP provides for automatic CRC-32 and CRC-10 for AAL type and AAL type 3/4. Also our IP inserts and extracts the header and trailer for each type automatically. After HDL description, it is verified by the simulation. The designed IP is implemented in Xilinx FPGA. Tx AAL module operates at 35MHz and Rx AAL module operates at 50MHz. The designed IP can be applicable in high-speed ATM SAR(Segmentation and Reassembly) chip.

I. 서론

ATM(Asynchronous Transfer Mode)은 데이터, 비디오, 음성 등과 같은 다양한 트래픽을 전송하는 차세대 멀티미디어 모바일 통신 시스템인 IMT-2000에서 응용될 수 있을 것으로 예견되고 있는 분야이다. 이는 높은 대역폭과 다양한 유형의 QoS의 지원이 가능하기 때문에 ATM의 응용은 점점 증가할 것으로 예견되고 있다. ATM 프로토콜 스택 모델은 그림 1처럼 네 개의 계층으로 나뉜다. 물리계층은 전송매체의 규격과 신호의 인코딩 규격을 만족시키는 역할을 수행한다.

ATM 계층에서는 상위계층에서 내려온 정보에 헤더를 첨가하는 일을 포함하여 셀 라우팅, 멀티플렉싱, 그리고 트래픽 제어 등의 일을 수행한다. ATM 적응계층(ATM Adaptation Layer- AAL)에서는 상위계층의 애플리케이션에 맞도록 정보를 재정리하여 하위계층으로 전송하는 역할을 담당한다. AAL 계층에서 제공하는 일반적인 서비스들은 전송 에러의 처리, 큰 데이터 블록을 ATM 셀 크기에 맞도록 분할 및 재조합, 잃어버리거나 잘못 삽입된 셀 처리, 및 흐름제어와 타이밍 제어가 있다.

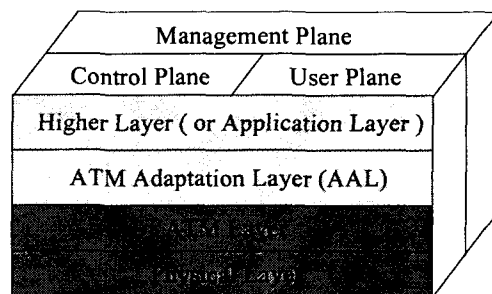


그림 1 ATM 프로토콜 스택
Fig. 1 ATM protocol stack

ATM 프로토콜 스택의 각 계층들과는 별도로 존재하는 플레인(Plane)은 여러 가지 관리 및 유지 역할을 담당하는데, 사용자 플레인은 사용자의 정보를 전송하는 역할을 담당하고 흐름 제어와 에러 제어를 부가적으로 수행하며 제어 플레인(Control Plane)은 호(Call)의 제

어와 연결 상태를 제어한다. 플레인 관리 플레인은 전체적인 시스템을 대상으로 플레인들 간의 상호 연결을, 그리고 계층 관리 플레인은 각 프로토콜 계층들 간의 자원 및 변수들과 관련된 기능을 수행한다.

B-ISDN의 ATM 적용 계층(AAL) 프로토콜에서는 B-ISDN 서비스 유형에 적합한 AAL type 1, AAL type 2, AAL type 3/4, AAL type 5 프로토콜을 표준화하고 있다. B-ISDN 평면 구조 및 사용자 평면에서의 서비스 유형별 AAL 프로토콜 맵핑 체계를 구체적으로 도시하면 그림 2와 같다.

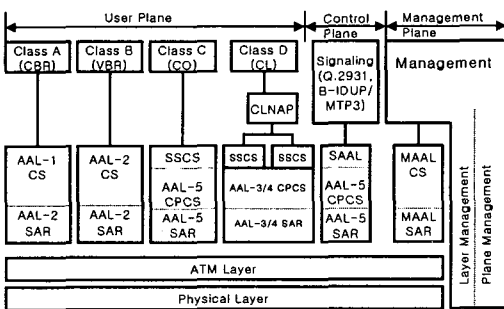


그림 2 B-ISDN 서비스와 AAL 프로토콜 맵핑
Fig. 2 Mapping between B-ISDN service and AAL protocol

본 논문에서는 AAL의 기본 구조를 알아보고, AAL에 대한 IP를 설계한다. 설계되는 IP는 VHDL 언어를 사용하여 기술되었으며, 합성 후 FPGA에 다운로드하여 기능을 검증하게 된다.

II. AAL 유형의 연구

현존하는 AAL 유형에 대한 간단히 소개하고자 한다. AAL 유형 1은恒定 비트율(CBR)을 지원하며, 송수신단의 클럭 동기를 필요로 하며, 송신단 및 수신단 간에 타이밍 정보 전송을 필요로 하며, AAL-1에서 복구되지 못한 정보 에러에 대한 표시 기능을 제공하고 있다. 한편, 기존의 AAL 유형들이 저속의 짧은 가변 길이의 패킷을 사용하는 서비스에 비효율적인 면을 개선한 것이 AAL 유형 2이다. 이 방식은 저속이면서 짧고 가변의 길이를 가지는 패킷들에 대해 지연에 민감한 특성을 지니는 응용에 대해 대역폭 활용의 효율성을 제고하고, 처리 지연을 감소시키기 위해 만들어졌다. AAL 유형 3/4는 B-ISDN의 표준화 초기 단계에서 분리되어 추진되었던 연결형 데이터 서비스와 비연결형 데이터 서비스를 통합된 형태이며, SAR-PDU에 MID를 포함한 2 옥텟의 헤더와 2 옥텟의 트레일러를 매 옥텟마다 포함하고 있다. 그러나 이 방식은 4 옥텟의 AAL-3/4 SAR-PDU 헤더 및 트레일러는 다중화

기능을 제공하기는 하나, 오버헤드를 부가하게 된다.

AAL 유형 5는 AAL-3/4의 다중화 기능을 제거하고, SAR-PDU의 전체 48 옥텟을 사용자 정보 전송에 사용할 수 있게 한 방식이다. 오늘날 가장 많이 사용되는 방식이기도 하다. 마지막으로 AAL 유형 0이 있는데, 여기서는 AAL 유형 5의 형태를 사용하지만 트레일러의 CRC-32를 사용하지 않는다.

본 논문에서 AAL 유형 0과 AAL 유형 3/4 및 AAL 유형 5를 지원하는 ATM 적용 계층에 대한 설계를 수행하며, 이를 VHDL 기술하여 검증한 후 FPGA에 다운로드하여 동작을 확인하였다.

III. 전송단 ATM AAL 계층의 설계

본 논문에서 정의한 호스트 메모리에 존재하는 전송 디스크립터 링의 구조는 그림 3과 같다. Own 비트는 디스크립터의 소유권을 정의하며 1로 세팅되어 있으면 AAL 모듈에서 소유권이 있고, 그렇지 않으면 호스트가 소유권을 갖는다. SOC 신호는 디스크립터 링의 시작 엔트리를 의미하며, EOC는 디스크립터 링의 마지막 엔트리를 의미한다. AAL type은 현재의 링이 어떤 유형의 AAL을 지원하는가를 의미한다. 본 설계에서는 AAL 유형 5와 AAL 유형 3/4 및 AAL 유형 0를 지원하고, 효율적인 MPEG 패킷 전송을 위한 AAL type 5 Mpeg 유형이 있다. 7 비트의 "# of Mpeg frame" 필드는 현재 MPEG 패킷을 전송하고 있다는 것을 의미한다. 이것은 MPEG 패킷의 길이가 188 바이트이고, 2개의 패킷을 합쳐 1개의 AAL 5 CPCS-PDU를 구성하기 때문에 성능향상에 유리하다

그리고 설계된 AAL 모듈이 내부에서 ATM 셀을 처리하는 과정을 그림 4에 도시하였다. 총 256개의 채널을 지원하도록 하였으며, BWG(BandWidth Group) 테이블을 먼저 액세스하여 어느 채널에 대한 데이터 전송을 수행할 것인지를 결정하게 된다. 이 때, 결정된 채널에 대해 DMA 상태 메모리의 각 4번째 워드가 BWG_ON 신호가 활성화되어 있을 경우에만, 해당 채널에 대한 DMA 데이터 전송을 수행하게 되며, 그렇지 않을 경우에는 VBR/UBR 전송을 위한 루틴을 수행하게 된다. 여기서 "current_length" 필드는 현재 엔

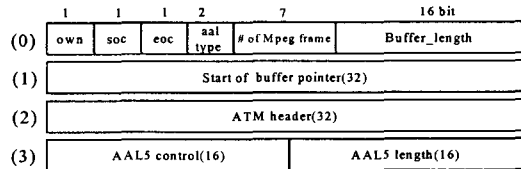


그림 3. 호스트 메모리상의 Tx 디스크립터 링 구조
Fig. 3. Structure of Tx Descriptor Ring in Host Memory

B-ISDN용 ATM AAL 계층의 IP 설계

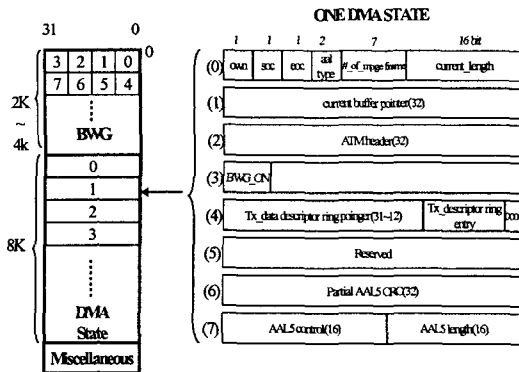


그림 4 Tx 스케줄링 및 DMA 상태 테이블의 구성도
Fig. 4 Organization for Tx scheduling and DMA state table

트리의 길이를 의미하며, 데이터가 전송될 때마다 감소하게 되어 0이 되면, 다음 엔트리를 읽어와 전송을 계속하거나, 마지막 엔트리일 경우에는 전송을 완료하고 BWG_ON 신호를 클리어하고, 호스트에 알린다.

위에서 설명한 기본 구조를 바탕으로 ATM AAL 모듈을 설계하였다. AAL 모듈은 각 셀 타임마다 하나의 셀을 처리하며, 디스크립터 링 생성시 설정된 AAL 유형에 따라 해당되는 AAL 유형을 처리하게 된다. 먼저 설계된 AAL 유형 5의 전체적인 구조는 그림 5와 같다. AAL 5와 관련된 CRC-32 계산, 패딩 바이트 삽입을 비롯한 트레일러 부착 기능을 수행하게 되며, MPEG 데이터 전송에 대한 효율적인 처리를 지원하고 있다. AAL 0에 대한 처리도 여기서 이루어진다.

그림 6은 AAL 3/4를 처리하는 모듈이다. 여기서는 AAL 3/4의 SAR-PDU를 생성하는 블록으로 ST, SN 및 MID의 헤더 정보 부착 및 LI, CRC-10의 계산을 수행하여 트레일러에 부착하여 48 바이트의 ATM-SDU를 생성하는 역할을 수행한다.

IV. 수신단 ATM AAL 계층의 설계

수신단의 AAL 유형 5 관련 모듈의 설계는 전송단의 기능과 역으로 동작하게 된다. 우선 유토피아 프로토콜을 통해 셀 단위로 ATM 셀을 수신하게 된다. 수신단 측에서는 먼저 수신된 셀에 대해 FIFO로부터 4 바이트의 ATM 헤더를 읽는다. 헤더 정보의 VPI 혹은 VCI 필드의 정보를 활용하여 RX DMA 상태 테이블을 참조한다. 상태 테이블이 활성화되어 있으면 일련의 payload 수신 기능을 수행하게 된다. 패킷의 마지막 셀이 도착하였을 때 CRC-32 필드를 포함하여 48 바

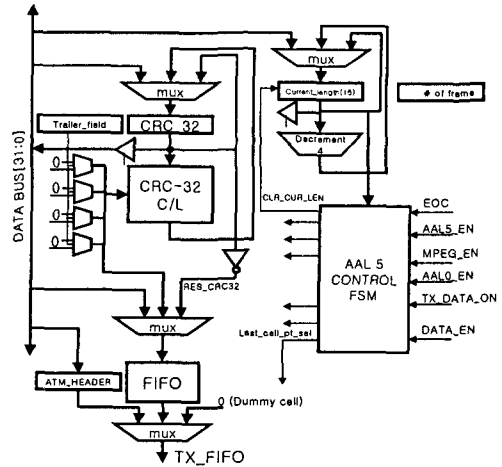


그림 5 AAL 유형 5의 전체 블록 다이어그램
Fig. 5 Overview for AAL type 5 block diagram

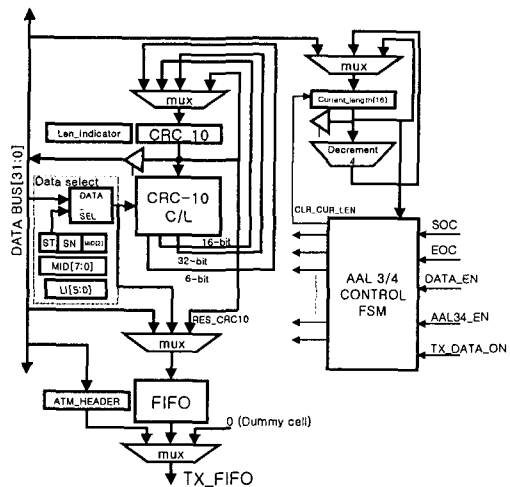


그림 6 Tx AAL 유형 3/4의 전체 블록 다이어그램
Fig. 6 Overview for Tx AAL type 3/4 block diagram

트 payload 전체에 대해 계산을 완료하였을 때 ITU-T I.363.5에서 규정한 나머지 값과 동일한 값인지를 비교하여 오류 유무를 판별하게 된다.

V. AAL 모듈의 검증

HDL을 사용하여 기술된 AAL 모듈에 대해 시뮬레이션 수행하였다. 본 논문에서는 전송단의 AAL 3/4에 대한 시뮬레이션 결과를 그림 8에 실었다. 시뮬레이션 수행 결과 ST, SN, 및 MID 필드 등을 SAR-PDU

Acknowledgement

- [1] 본 연구는 과학기술부와 산업자원부의 선행 핵심 IP 개발 사업의 일환으로 연구되었음.
- [2] 본 연구의 일부는 IDEC의 CAD 툴에 지원에 의해 이루어 졌음.

참고문헌

- [1] ITU-T Recommendation I.363, B-ISDN AAL Specification, Mar. 1993.
- [2] ITU-T Recommendation I.363.5, B-ISDN AAL Specification : Type 5 AAL, Aug, 1996
- [3] The ATM Forum, UTOPIA 3 Physical Layer Interface, Nov., 1999

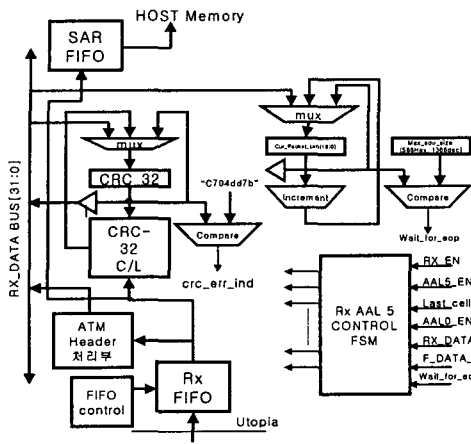


그림 7 Rx AAL 유형 5의 전체 블록다이어그램
Fig. 7 Overview for Rx AAL type 5 block diagram

의 헤더에 부착하고, LI 및 CRC-10을 계산 및 생성하여 트레일러에 부착하여 ATM 헤더를 부착한 후 유토피아 프로토콜을 통해 물리 계층으로 전달되는 것을 확인하였다. 이 밖에도 AAL 5 및 AAL 0에 대해서도 다양한 시뮬레이션을 수행하였으며, CRC-32 계산 및 패딩 바이트 부착을 비롯한 트레일러 자동 부착 기능을 수행하는 것을 확인하였다. 그리고, AAL 0의 경우에는 CRC-32 계산을 제외하고는 AAL 5의 기능과 유사하다. 그림 9는 수신단의 탑 모듈에서의 시뮬레이션 파형을 보여준다. Rx 유토피아 프로토콜을 통해 유입되는 셀에 대해 AAL 유형을 해석하고 이에 따라 payload를 처리하는 과정이 그림에 나타나 있다.

VI. 결 론

본 논문에서는 B-ISDN용 AAL 계층을 설계하였다. 설계된 모듈은 자일링스의 FPGA XCV1000EHQ240 칩에 다운로드하여 기능을 검증하였다. 설계된 모듈의 게이트 수는 전송단은 8만 게이트이며, 수신단은 6만6천 게이트였고, 동작 주파수의 경우 전송단은 35MHz, 수신단은 50MHz였다. 설계한 모듈들은 ATM, Ethernet 및 SONET 등과 같은 네트워크 및 통신 분야에서 효율적으로 이용될 수 있을 것으로 예견된다.

설계한 AAL 모듈은 622 Mbps 이상의 고속의 ATM 셀 전송을 지원하기 위해 설계되었으며, 본 연구에서 제공한 IP를 통해서 응용 분야에 적합하도록 주변 회로를 첨가하여 고속의 ATM NIC(Network Interface Card) 카드를 비롯한 각종 관련 분야에서 효과적으로 사용될 수 있을 것으로 예견된다.

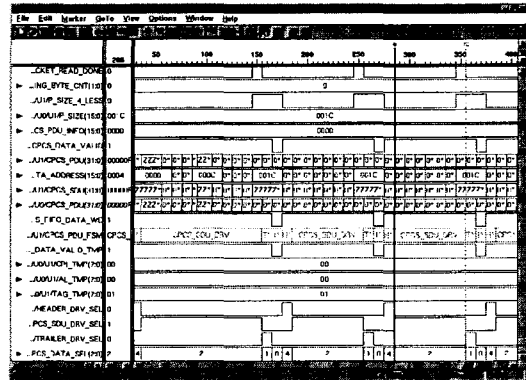


그림 8 전송단 AAL 유형 3/4의 시뮬레이션 파형
Fig. 8 Simulation wave for Tx AAL type 3/4

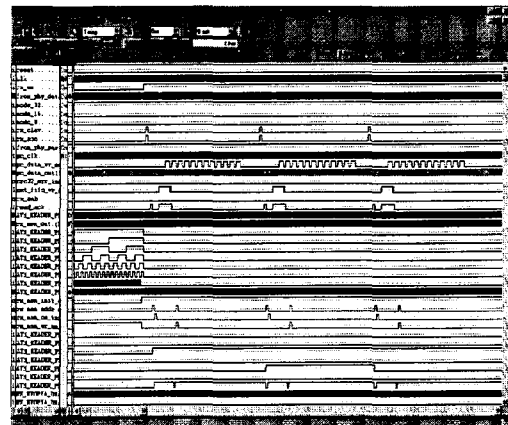


그림 9 수신단의 탑 모듈의 시뮬레이션 파형
Fig. 9 Simulation wave for Rx top module