

공정과 온도 보상된 400 MHz 주파수합성기

이 성 권, 이 순 섭, 김 수 원
고려대학교 마이크로머시닝학과
전화 : 02-928-1216

A process and temperature compensated 400 MHz Frequency Synthesizer

Sung Kwon Lee, Soon Seob Lee, Soo Won Kim
Dept. of Micromachining, Korea University
E-mail : newtype@asic.korea.ac.kr

Abstract

One of the major reasons for not integrating a VCO on one-chip in a PLL (phase locked loop) system is the large chip-to-chip variation of the VCO (voltage controlled oscillator) center frequency. In this thesis, a simple bias technique is proposed to compensate the process fluctuation. The proposed bias technique is applied to the VCO and it reduces the deviation of the VCO center frequency from 35 % to 8 %.

With the suggested bias technique, a 400 MHz frequency synthesizer is designed for general purpose. It utilizes a programmable divider for various division ratio.

The design methodology provides the possibility of the one-chip solution for a PLL system.

I. 서론

집적 회로를 설계하는 설계 엔지니어는 전압, 온도 등의 여러 가지 환경 변화에서도 동작할 뿐만 아니라, 공정 변화에 대비하여 어떠한 상황에서도 회로가 문제 없이 동작하도록 고려해야 할 점들이 많다. 일반적으로 회로의 성능에 영향을 미치는 요인으로 전원 전압, 온도, 그리고 공정 변화를 들 수 있다. 전원 전압의 영향을 줄이는 방법은 내부 전압 레귤레이터 회로를 사용한다든지 하면 쉽게 어느 정도는 해결할 수 있다.

온도 변화는 디지털 회로보다 아날로그 회로에 그 영향이 크다. 이러한 온도 변화에 대응하기 위한 여러 가지 회로가 설계되어왔고 [1][2] 그 중 대부분의 회로가 온도에 안정한 밴드갭 전압 발생기를 사용한다. 밴드갭 전압원은 바이폴라 공정에서뿐만 아니라 기판을 이용한 수직형 PNP 바이폴라 트랜지스터를 이용해 CMOS 공정에서도 널리 사용되어왔음은 잘 알려진 사실이다.

한편, MOSFET의 크기가 서브마이크론으로 계속 줄어들수록 공정 엔지니어는 문턱 전압 변화를 그 크기에 맞게 줄여나가는 것이 더욱 더 힘들게 되었다. 예를 들어 0.8 μm CMOS 공정의 경우 n-MOSFET의 문턱전압은 약 0.8 V였으나, 0.5 μm CMOS 공정에서는 문턱 전압이 겨우 0.55 V밖에 되지 않는다. 수율을 고려해서 문턱 전압의 변화량은 일반적으로 약 10 %를 넘지 않도록 공정 제어를 한다. 그래서 0.8 μm CMOS 공정에서는 약 80 mV이지만 0.5 μm CMOS 공정에서는 겨우 55 mV 밖에 되지 않는 것이다. 공정이 발달해서 MOSFET의 최소 길이가 계속 작아짐에 따라 전원 전압도 함께 감소하며 이에 따라 문턱 전압도 감소 되어야 하며 문턱 전압의 변화율이 예전보다 더 커질 것이다.

그래서 온도 변화의 문제를 온도 보상 밴드갭 전압원으로 해결한다 하더라도 문턱 전압의 차이에 의해 칩끼리는 많은 바이어스 전류 차이가 필연적으로 따르게 된다. 실험적인 예로 어떤 VCO는 최대 동작 주파수가 worst case칩은 250 MHz였고 best case칩은 500 MHz로 측정되었다 [3]. MOSFET의 드레인-소스 전류는 $(V_{GS}-V_{TH})^2$ 에 비례하므로 전원 전압이 감소할수록

얻을 수 있는 VGS의 크기는 점점 작아져 문턱전압의 크기 변화에 따른 바이어스 전류 변화는 더 심각하게 나타난다. 그래서 deep sub-micron 시대에는 공정변화에 대응하는 바이어스 전류 등화 기법이 더욱 더 중요하게 된다. 본 논문에서는 이러한 공정 변화에 대응하는 새로운, 간단한 바이어싱 기법이 제안될 것이다. 또한 이를 적용해서 400 MHz PLL을 설계한 것을 소개한다.

II. 제안된 바이어스 기법

2.1 바이어스 회로

본 논문에서는 공정과 온도 보상을 하는 간단한 전류 보상 기법을 제안하였다. 그림 3에 개념도를 나타내었다. 원안의 그림은 전압 레퍼런스를 이용해서 일정한 전류를 공급하는 회로이다. 이 회로에서는 V_{bg} / R 에 해당하는 일정한 전류를 만들어 흘려주게 된다. 그리고 M1의 게이트를 전압 레퍼런스로 잡아주게 되면, M1에 흐르는 전류와 전류 소스에서 흐르는 전류의 차이만큼이 I_{bias} 로 흘러나가게 된다. 이 때, 공정변화에 따라 V_{TH} 가 변하게 되므로 M1에 흐르는 전류는 변하게 된다. 일반적으로 best case일 때는 M1에 흐르는 전류량이 많이 될 것이고, worst case일 경우에는 M1에 흐르는 전류량이 적어질 것이다. 이를 적절히 이용하면 원하는 만큼의 I_{bias} 의 변화를 얻을 수 있다. 다시 말하면, best case의 경우는 M1에 전류가 많이 흐르므로, I_{bias} 의 양은 줄어들 것이고, 반대로 worst case의 경우는 M1에 전류가 적게 흐르므로 I_{bias} 의 양이 많아질 것이다. 이것이 VCO에 미치는 영향은 대단하다. V-I 컨버터에서 VCO의 Delay Cell에 전류를 공급하게 되는데, 공정이 변함에 따라서 Delay Cell에 흘러주는 전류량이 차이가 많이 나기 때문에 각각의 경우에 Center Frequency는 대단한 차이를 보이게 된다.

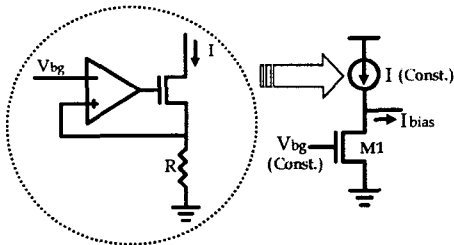


그림.1

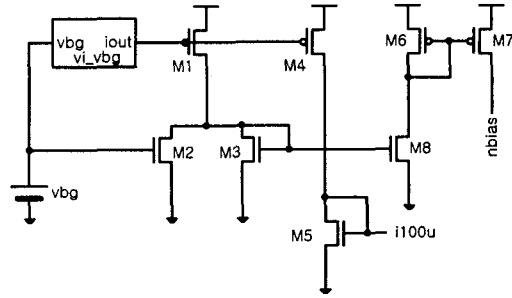


그림.2

2.2 모의 실험 결과

2.2.1 바이어스 회로의 모의 실험 결과

바이어스 보상 회로의 구조를 그림 2에 나타내었다. 그림에서 vi_bg블럭은 앞 절에서의 전류 소스 회로가 되겠다. 앞 절에서 설명한 것과 같이 M1에 일정한 전류가 흐르고 M2의 게이트에는 전압 레퍼런스로 일정한 전압을 잡아주었다. 공정변화에 따라서 M2의 전류량은 변하게 되고 M1에 흐르는 전류에서 M2에 흐르는 전류량의 차가 M3에 흐르고, 이것이 M8에 복사되고, 다시 M7에 복사되어 nbias단자를 통해서 전류가 흘러나가게 된다. 이 단자는 V-I 컨버터에 연결되어 있다. M1의 전류는 M4에 복사되고, M5를 통해 차지 펌프에 100 u의 전류(I_{cp})가 흘러가도록 했다. M3에 흐르는 전류량을 나타내는 곡선을 그림 3-8에 나타내었다. 그림에서 위부분은 M1에 흐르는 전류량을 공정변화에 따라 나타낸 것이다. 각각의 변화는 40~50 uA 정도는 나타내고 있으며, 이것은 전체 전류 변화량에 비하면 일정하다고 할 수 있다. M3에 흐르는 전류량은

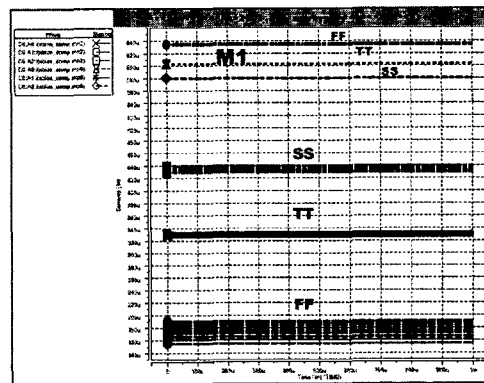


그림 3.

best case인 경우에 약 200 uA, typical case인 경우

공정과 온도 보상된 400 MHz 주파수합성기

에는 약 330 uA, worst case인 경우는 약 440 uA를 나타내었다. 그리고 그래프가 여러개로 보이는 것은 각각의 경우에 온도에 따른 변화량을 나타낸 것인데 best case인 경우만 약 40 uA의 변화량을 보이고 나머지 경우는 약 5 % 정도의 변화를 보였다.

2.2.2. VCO와의 연동 모의 실험 결과

그림 4에 제안된 바이어스 보상 회로와 VCO를 연동해서 모의실험을 한 결과를 나타내었다. 가느다란 실선은 제안된 바이어스 보상 회로를 달지 않은 VCO의 특성곡선이다. 그림에서 보면 제안된 바이어스 보상 회로를 사용한 VCO의 특성곡선이 훨씬 좁은 간격을 가짐을 확연히 알 수 있다. 중간 주파수의 변화율은 best case의 경우 37.5 %에서 8 %까지 줄었고, worst case의 경우도 25 %에서 8 %까지 줄일 수 있었다. 어두운 부분은 사용할 수 있는 주파수 대역을 가리키는 데, 제안된 바이어스 보상 회로를 사용한 VCO가 그렇지 않은 것((1)번 영역)보다 더 넓은 영역((1)+(2)번 영역)을 차지하고 있음을 알 수 있다. 이것은 VCO의 성능 개선 뿐만 아니라, 수율에 있어서도 향상을 기대할 수 있음을 나타낸다.

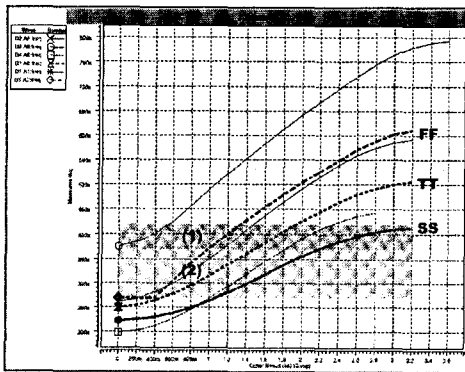


그림.4

III. 400 MHz 주파수 합성기

3.1 주파수합성기의 구조

본 논문에서 주파수 합성기로 사용되기 위한 PLL의 블록도는 그림 5와 같다. PLL은 위상-주파수 비교기 (Phase-Frequency Detector, PFD), 전하 펌프, 루프 필터, VCO, 프리스케일러 (Prescaler), 그리고 출력

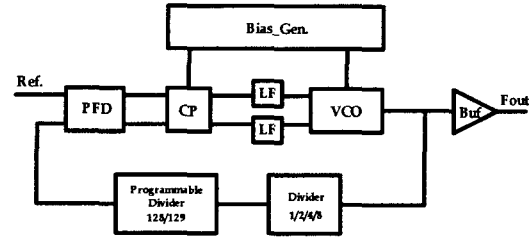


그림 5. 수신기의 블록도

버퍼 등으로 구성된다. PLL 주파수 합성기는 MHz의 기준 주파수에 위상 고정된 400 MHz 신호를 합성해 낸다.

그림 5에서 PFD를 제외한 모든 PLL 회로는 회로 내-외부에서 발생하는 공통모드(common mode) 잡음에 강하도록 차동 회로로 설계되었다. 그림 7에 설계된 레이아웃을 나타내었다.

VI. 모의 실험 결과

주파수 합성기의 시뮬레이션 결과를 그림 6에 나타내었다. Hspice simulator로는 분주비가 높을 경우, PLL이 Lock 될 때까지의 계산량이 너무 많아 파형을 보기가 어렵기 때문에, 분주비를 8분주로 하여 시스템을 모의 실험하였다. 따라서 기준주파수는 400 MHz / 8 = 50 MHz로 설정하였다. 출력파형은 루프 필터의 전압값을 나타내고 Lock 되는 때까지의 시간은 약 8 μsec 가 소요되었다. 그림은 위에서부터 Typical, Fast, Slow 공정에 대한 결과이며, 각각의 파형에서 세갈래의 파형은 각각 0°C, 25°C, 85 °C에 대한 결과를 나타내고 있다.

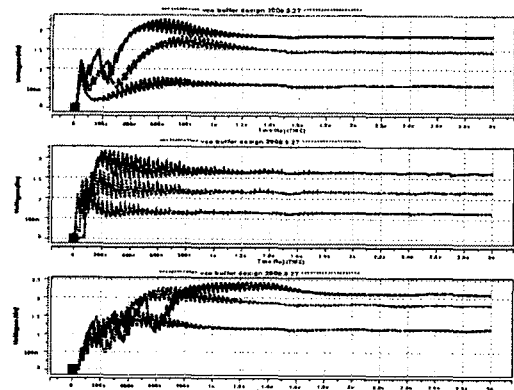


그림 6.

참고문헌

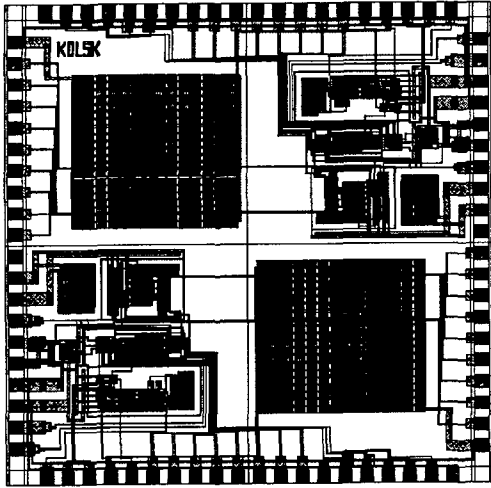


그림6.

- [1] T. Liu and R. G. Meyer, "A 250-MHz Monolithic Voltage-Controlled Oscillator with Low Temperature Coefficient," *IEEE J. Solid-State Circuits*, vol. 25, no. 2, pp. 555-561, Apr., 1990.
- [2] K. M. Ware, H. Lee, and C. G. Sodini, "A 200-MHz CMOS Phase-Locked Loop with Dual Phase Detectors," *IEEE J. Solid-State Circuits*, vol. 24, no. 6, pp. 1560-1568, Dec., 1989.
- [3] I. I. Novof, J. Austin, R. Kelkar, D. Strayer, and S. Wyatt, "Fully Integrated CMOS Phase-Locked Loop with 15 to 240 MHz Locking Range and ± 50 ps Jitter", *IEEE J. Solid-State Circuits*, vol. 30, no. 11, pp. 1259-1266, Nov., 1995.

V. 결론

본 논문에서는 400 MHz 주파수 합성기를 설계하는 것을 논하였다. CMOS 공정을 이용해서 수백 MHz에서 수 GHz 대역의 주파수 합성기를 설계하면 위상 잡음과 공정변화에 민감하기 때문에 이에 대응하기 위한 방법들을 연구하였다.

이를 위해서 아날로그 회로들을 모두 차동으로 설계하였고 또한 공정 변화에 따른 VCO 중간 주파수의 변화에 대응하기 위해 새로운 진류 바이어스 보상 회로를 제안하였다. 제안된 방법은 밴드갭 레퍼런스와 진류소스를 이용해서 공정변화에 따라 VCO의 Delay Cell에 흘려주는 진류량을 변화시켜 주는 것이다. 즉, best case에는 진류를 적게 흐르게 하고 worst case에는 이와 반대로 진류를 많이 흐르게 하였다. 이를 이용해서 모의 실험을 해본 결과 VCO 중간주파수의 변화율을 35%에서 8% 이내로 줄일 수 있었다. 이는 VCO를 원칩화하는 데에 하나의 솔루션이 될 것이고, 아울러 원칩 PLL IC의 수율을 향상시키는 데 적용될 수 있을 것이다.