

12비트 고속 아날로그-디지털 데이터 변환기 설계

이 미 희, 윤 광 섭
인하대학교 전자공학과
전화 : 032-860-7419

A 12bit High Speed CMOS Analog-to-Digital Data Converter Design

Mi-Hee Lee, Kwang-Sub Yoon
Dept. of Electronics Engineering, Inha University
E-mail : g2001122@inhavision.inha.ac.kr

Abstract

This paper describes a 12-bit high speed pipeline CMOS A/D converter. The A/D converter simulated the 0.35 μm n-well CMOS technology. The results show DNL and INL of $\pm 0.5\text{LSB}$ and $\pm 1.0\text{LSB}$, conversion rate of 100Msamples/s, and power dissipation of 500mW with a power supply of 3.3V.

서론

최근에는 전자 제품의 추세가 소형화, 경량화 및 휴대용화 됨에 따라 단일 칩 내에 디지털 신호처리 회로와 아날로그 신호처리 회로를 모두 포함하는 단일 칩위의 시스템의 형태로 혼합 신호처리 집적회로가 설계되고 있다. 아날로그 회로는 고성능에 적합한 바이폴라 공정으로 설계되어 왔으며, 디지털 회로는 아날로그 회로에 비해 많은 소자 수를 필요로 하므로 비용과 집적도 및 전력소모 면에서 유리한 CMOS 공정으로 주로 설계되어 왔다. 시스템 내 주된 신호처리가 디지털 회로에 의해 수행되더라도 시스템의 입·출력 부분은 아날로그 회로에 의해 신호처리가 이루어져야 하므로 이러한 입·출력 부분의 역할을 하는 데이터 변환기는 혼합 신호처리 시스템 내에서 필수적이라고 할 수 있으며, 멀티미디어에 대한 관심과 요구가 증가하고 있는 추세에 비추어 볼 때 음성신호대역 뿐만 아니라, 영상신호대역에도 적용 가능한 고속, 고해상도의 변환기가 필요하다.

고속으로 동작하는 A/D 변환기는 크게 폴래시, 폴딩·인터플레이팅, 파이프라인 세가지 구조를 가진다. 이중 폴래시 구조는 넓은 칩 면적과 많은 전력소모 등의 이유로 폴딩·인터플레이팅 A/D 변환기나 파이프라인 A/D 변환기가 많이 사용된다. 폴딩·인터플레이팅 A/D 변환기의 경우 고속의 동작속도를 갖지만 내부 폴딩율이 의해서 입력신호의 대역폭이 제한을 받고 고해상도로 가기 어렵다. 이에 비해 파이프라인 A/D 변환기는 고속, 고해상도로 갈 수 있지만, 전력소모가 많은 단점을 가지고 있다.

본 논문에서는 파이프라인 A/D 변환기의 빠른 동작속도와 고해상도의 장점을 살리면서 전력소모를 최소화한다. 3.3V 단일 공급전압원에서 100MSamples/s 이상의 동작속도를 가지면서 500mW이하의 전력소모와 DNL과 INL은 0.5LSB 이하, 1LSB이하의 값을 가지면서 영상신호처리에 응용 가능한 12비트의 고해상도 고속 파이프라인 CMOS A/D 변환기를 설계한다.

II. 12비트 파이프라인 A/D 변환기

2.1 A/D 변환기의 구조

그림 1은 본 논문에서 설계된 12비트 A/D 변환기의 전체 블록도이다. A/D 변환기는 크게 샘플/홀드회로, 첫째단, 둘째단, 셋째단, 네째단, 지연회로, 오차보정회로, 2진 인코더단으로 구성되어진다.

차동 입력 신호는 고속 샘플/홀드 회로의 캐패시턴스에 샘플링하게 된다. 샘플링된 신호는 동일한 입력버퍼를 통해 하나는 고속 프리앰프로, 나머지 하나는 첫 번째단의 MDAC으로 연결된다. 먼저 프리앰프로 입력된 차동 샘플링된 신호는 저항열을 통해 만들어진 기준 전압들과 비교되며 출력들은 저항 averaging을 통해 오차를 최소화한다. 프리앰프의 출력은 래치비교기의 입력으로 들어온다. 비교기의 출력은 MDAC과 지연회로로 들어가게 된다. MDAC의 출력은 둘째단으로 넘어간다.

둘째단과 셋째단은 첫번째단과 같은 동작을 하며, 마지막 넷째단은 3비트의 비교기 출력을 낸다.

지연회로와 오차보정회로를 통해 넘어온 온도계코드는 2진 인코더를 통해 동시에 12비트를 디지털코드를 출력하게 된다.

2.2 고속 샘플/홀드 회로

본 논문에서 사용하는 고속 샘플/홀드 회로를 그림 2에 나타내었다. 클럭1이 high이고, 클럭2가 low이면 OPAMP는 리셋이 되면서 주어진 입력 신호는 캐패시턴스 Ch에 샘플링하게 된다. 반대로 클럭1이 low로, 클럭2가 high로 변하면 신호는 프리앰프의 입력으로 홀딩하게 된다. 이 과정상에 전하주입이 일어나며 이를 제거하기 위해 클럭1'이 사용된다. 클럭1과 클럭2는 겹치지 않는 클럭이며 클럭1'은 클럭1보다 약간의 지연시간을 갖는 클럭이다.

또한 제안된 샘플/홀드회로는 차동 입출력 구조를 가져 피르스루현상을 제거할 수 있다.

2.3 각단의 특성

제 1,2,3단은 16개의 프리앰프와 래치비교기 그리고 MDAC구조로 이루어졌다. 프리앰프로 입력된 차동 신호는 저항열을 통해 만들어진 기준 전압들과 비교되며 출력들은 저항 averaging을 통해 오차를 최소화한다. 프리앰프의 출력은 래치비교기의 입력으로 들어온다. 비교기의 출력은 MDAC과 지연회로로 들어가게 된다. MDAC구조를 사용하므로써 칩면적과 전력소모를 줄일 수 있다.

그림6은 MDAC회로로 감산기회로와 DAC회로로 구성되어진다. 먼저 클럭 1이 on이고, 클럭 2가 off이면 입력신호는 캐패시턴스 C에 샘플링이 된다. 반대로 클럭 1이 off이고, 클럭 2가 on이면 래치비교기를 통해 나온 신호에 의해 V_{ref+} 와 V_{ref-} 의 신호가 캐패시턴스에 저장된 신호와 더해져서 OPAMP를 거쳐 다음 단의 입력신호가 된다.

파이프라인에서 오차의 주원인이 되는 캐패시턴스 부정합을 최소화하기 위해 기존의 CFCS기법을 사용한다.

2.5 오차 보정 회로와 인코더회로

4단 파이프라인 구조의 경우 제 1단은 3개의 지연회로를, 2단은 2개를, 3단은 1개를 사용한다. 총 15비트에서 3비트를 오차 보정에 사용하여 최종적으로 12비트의 해상도를 갖게 한다.

그림 7은 롬구조를 갖는 인코더단이다. 롬구조를 사용하는 경우에는 비트수가 증가하여도 지연시간은 2의 배수로 증가하며 출력 커패시턴스를 구동시키는 능력이 XOR 게이트를 사용하는 것보다 향상된다. 입력이 셀의 게이트에 인가됨에 따라 각 셀이 가지고 있는 1또는 0의 값을 OR 결선방식에 따라 출력으로 보내주는 방식으로 2진 코드를 얻을 수 있다.

III. 모의실험 결과

그림 8은 HSPICE를 사용한 샘플/홀드 회로의 모의 실험 결과를 나타낸 그림이다. 입력주파수가 10MHz이고, 샘플링 주파수가 100MHz일때의 출력을 나타내었다.

그림 9는 래치회로의 옴셋전압을 나타낸다.

IV. 결론

본 논문에서는 고속 샘플/홀드회로와 프리앰프의 출력에 저항 Averaging을 이용한 12비트 파이프라인 CMOS A/D 변환기를 설계하였다. 고속 샘플/홀드회로와 프리앰프의 출력에 저항 Averaging을 함으로써 오차를 최소화하여 고속(100MSamples/s), 고해상도(12비트)를 얻을 수 있었다. 소자의 부정합에 의한 비선형 오차는 디지털 오차 보정회로를 설계함으로써 오차를 보정할 수 있었다. 제안된 12비트 고속 파이프라인 A/D 변환기의 모의실험 결과를 표 1에 나타내었다.

표 1. 모의실험 결과

분해능	12bit
변환속도	100MSamples/s
전력소모	500mW
전원전압	3.3V
아날로그입력범위	2.4Vp-p
DNL	± 0.5 LSB
INL	± 1 LSB
공정	0.35 μ m N-well CMOS

참고문헌

12비트 고속 아날로그-디지털 데이터 변환기 설계

- [1] Won-Chul Song, Hae-Wook Choi, Sung-Ung Kwak, and Bang-Sup Song, "A 10-b 20-Msample/s Low-Power CMOS ADC," IEEE Journal of Solid-State Circuits, vol. 30, pp. 514-521, May., 1995
- [2] Hendrik van der Ploeg and Robert Remmers, "A 3.3V 10b 25MSample/s Two-Step ADC in 0.35 μ m CMOS," ISSCC Digest of Technical Papers, pp. 318-319, Feb., 1999
- [3] Behzad Razavi, "A 200-MHz 15-mW BiCMOS Sample-and-Hold Amplifier with 3V Supply," IEEE Journal of Solid-State Circuits, vol. 30, pp. 1326-1332, May., 1995
- [4] Raf Roovers and Michiel S. J. Steyaert, "A 175 Ms/ s, 6 b, 160 mW, 3.3 V CMOS A/ D converter, IEEE Journal of Solid-State Circuits, vol. 31, pp. 938-944, July, 1996

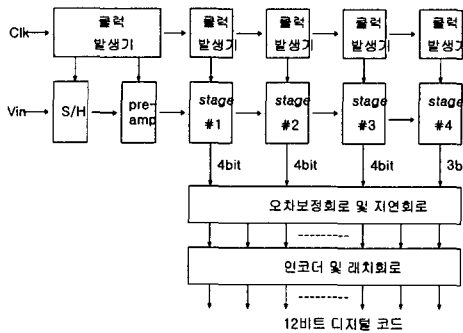


그림 1. 제안된 12비트 A/D변환기의 구조

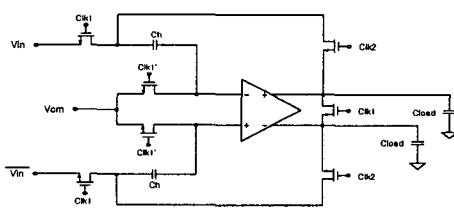


그림 2. 고속 샘플/홀드 회로

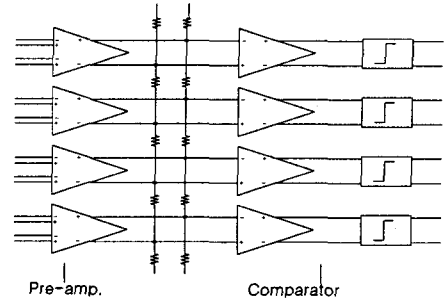


그림 3. 저항 averaging 방법

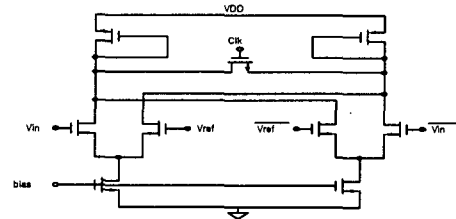


그림 4. 프리앰프의 회로도

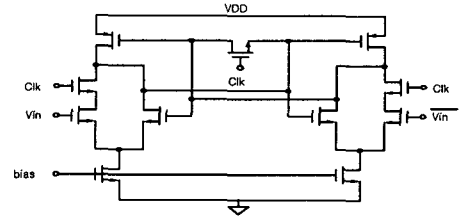


그림 5. 래치비교기

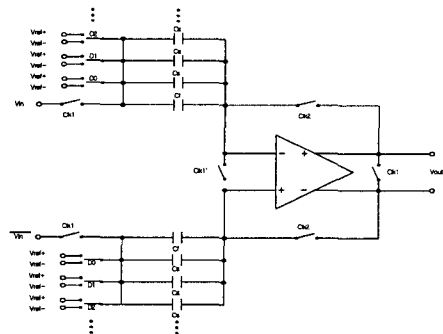


그림 6. MDAC 구조

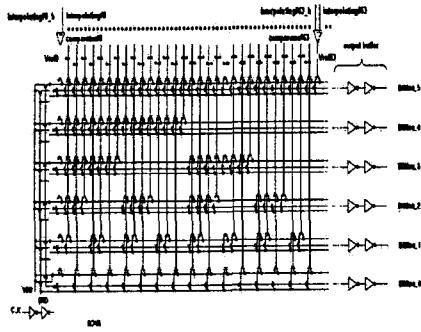


그림 7. 롬을 이용한 2진 인코더

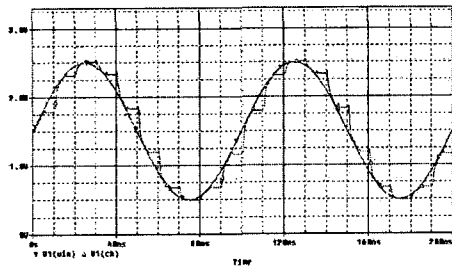


그림 8 샘플/홀드 증폭기회로에서
Fin=10MHz일때의 출력파형

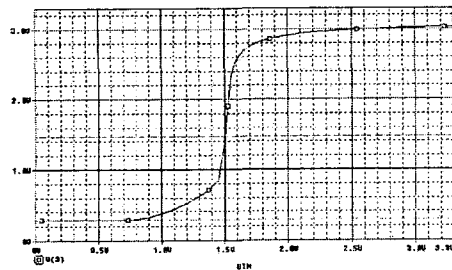


그림 9 비교의 움셋