

# CMOS 그라운드 연결망에서 발생하는 최대 동시 스위칭 잡음의 테일러 급수 모형의 분석

임 경 태, 조 태 호, 백 중 흠, 김 석 윤  
승실대학교 컴퓨터구조 연구실  
전화 : 02-813-0682 / 핸드폰 : 011-9917-3041

## Taylor's Series Model Analysis of Maximum Simultaneous Switching Noise for Ground Interconnection Networks in CMOS Systems

Kyoung-Taek Im, Tae-Ho Cho, Jong-Humn Baek, Seok-Yoon Kim  
Soongsil Univ. Graduate School, Department of Computing,  
1-1 Sangdo 5dong, Dongjak-ku, Seoul, Korea  
E-mail : imkt@ic.soongsil.ac.kr

### Abstract

This paper presents an efficient method to estimate the maximum SSN (simultaneous switching noise) for ground interconnection networks in CMOS systems using Taylor's series and analyzes the truncation error that has occurred in Taylor's series approximation. We assume that the curve form of noise voltage on ground interconnection networks is linear and derive a polynomial expression to estimate the maximum value of SSN using  $\alpha$ -power MOS model. The maximum relative error due to the truncation is shown to be under 1.87% through simulations when we approximate the noise expression in the 3rd-order polynomial.

### I. 서론

현대의 반도체 회로의 특징의 한 부분은 대규모 집적화로 초래된 입출력 핀 수의 증가와 그로 인하여 핀들 상호간의 전자기적인 결합이 증가하여 발생하는 전원과 접지 연결망에서의 잡음 문제를 들 수 있다. 이러한 잡음은 전송속도 저하 내지 수신단에서의 잘못된 스위칭을 초래할 수 있다. 따라서, 전원과 접지 연결선에 존재하는 스위칭 잡음은 정확히 분석되어야 하며, 많은 연구자들이 동시 스위칭 잡음(Simultaneous

Switching Noise, SSN)에 대한 연구를 진행하였다. 이 분야의 초창기의 논문, [1]과 [2]에서는 잡음 전압으로 인한 부궤환 효과(negative feedback effect)를 고려하지 않았으나, [3]에서 처음으로 이 영향을 반영하여 비교적 정확하게 잡음 전압을 예측할 수 있는 근사식을 유도하였다. 그러나, [3]은 인덕턴스를 통해 흐르는 전류 파형을 삼각형 형태로 모형화함으로써 잡음 전압이 실제 값보다 적게 예측되는 결과를 낳았다. [4]에서는 부하 커패시턴스의 영향을 잘 반영하였지만, 천이 시간동안 잡음 전압이 선형이라고 가정하였고, square-law MOS 모형을 이용하여 수식을 전개하였다. [5]는 [4]에서 잡음 전압을 선형으로 모형화한 가정이 틀렸음을 지적하고, short-channel 현상을 반영하기 위해  $\alpha$ -power law 모형[6]을 사용하여 동시 스위칭 잡음 전압식을 유도하였다. 하지만, 수식의 유도 과정에서  $\alpha$ 를 1로 가정하였다. [7]은  $\alpha$ -power law MOS 모형을 사용하여 일부 천이하지 않는 드라이버가 존재하는 경우를 상정하였으며, 인버팅 드라이버의 입력이 상향 천이할 때 드라이버들의 방전(discharging) 전류가 고전위(high) 상태에 있는 드라이버의 NMOS를 통하여 흐르는 상황을 고려하였지만, 잡음 전압식의 유도 과정에서 [5]와 동일하게  $\alpha$ 를 1로 가정하였다. [8]은 [5]와 [7]에서  $\alpha$ 를 1로 가정함으로써 발생하는 오차를 지적한 후,  $\alpha$ -power law MOS 모형과 테일러 3차 근사를 사용하여 간단한 형태의 최대 동시 스위칭 잡음 전압을 유도하였다. 그러나, [8]에서는 테일러 근사

에 대한 절단 오차 분석을 보이지 않았다. 따라서, 본 논문은 논문 [8]의 확장 형태로서 테일러 근사 전개에 대한 절단 오차를 분석할 것이다.

II. 최대 동시 스위칭 잡음 전압의 유도

n개의 인버팅 출력 드라이버를 가진 회로는 그림 1과 같이 모형화하였고 이에 대한 자세한 설명이 [8]에 기술되어 있다.

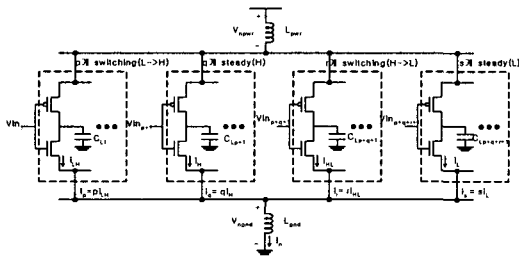


그림 1. n개의 출력 드라이버를 위한 모형

[8]의 식 (8)에 의하면 그라운드 연결망에서 발생하는 잡음 전압식,  $v_{ngnd}$ 는

$$v_{ngnd} = L_{gnd} \left\{ p a_n k_{sn} (v_{in} - V_{thn} - v_{ngnd})^{a_n - 1} \left( \frac{dv_{in}}{dt} - \frac{dv_{ngnd}}{dt} \right) - q K_{in} \left( \frac{dv_{ngnd}}{dt} - \frac{dv_{out}}{dt} \right) \right\} \quad (1)$$

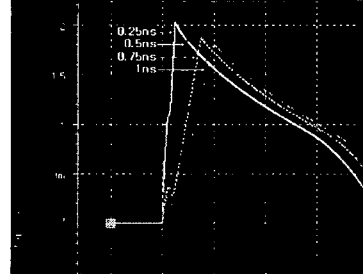
같이 표현될 수 있다. 여기서,  $a_n$ ,  $k_{sn}$ ,  $K_{in}$  ([8]의 식 (7) 참조)은  $\alpha$ -power law MOS 모형의 인자로서 [8]에 설명되어 있고,  $L_{gnd}$ 는 그라운드 연결망에 존재하는 등가 유효 인덕턴스,  $p$ 는 출력 드라이버의 입력단에서 상향 천이 발생하는 드라이버의 수,  $q$ 는 정적 high 입력을 가진 출력 드라이버의 수,  $v_{in}$ 은 상향 천이 입력을 가진 출력 드라이버의 입력 전압으로 식 (2)와 같다.

$$v_{in} = \begin{cases} \frac{V_{DD}}{t_r} t & (0 < t \leq t_r) \\ V_{DD} & (t > t_r) \end{cases} \quad (2)$$

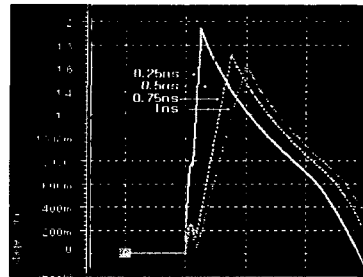
여기서,  $V_{DD}$ 는 공급 전압이고,  $t_r$ 은 천이 시간이다. 본 논문에서는  $v_{ngnd}$ 를 선형으로 모형화하였다. [4]에서는 잡음 전압을 선형으로 모형화하였고, [5]에서는 잡음 전압이 지수함수의 형태라는 것을 언급하였다. 그러나, 그림 2에서 보듯이 천이 시간이 감소할수록, 천이하는 드라이버의 수가 증가할수록 지수 함수 형태와 선형 함수 형태의 모형화 사이에 차이가 거의 없음을 볼 수 있다. 따라서, 현대의 반도체 추세에 맞추어 잡음 전압을 아래와 같이 선형으로 모형화하였다.

$$v_{ngnd} = \begin{cases} 0 & (0 < t \leq t_{thn}) \\ \frac{V_{ngnd}}{t_r - t_{thn}} (t - t_{thn}) & (t_{thn} \leq t \leq t_r) \end{cases} \quad (3)$$

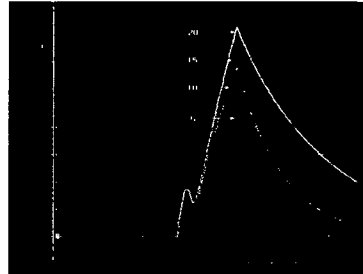
식 (3)에서  $V_{ngnd}$ 는 최대 잡음 전압이다.



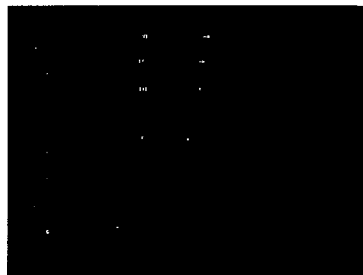
(a)  $L_{gnd}=5nH$ ,  $C_L=50pF$ ,  $W_n=151\mu m$



(b)  $L_{gnd}=5nH$ ,  $C_L=20pF$ ,  $W_n=76\mu m$



(c)  $L_{gnd}=1nH$ ,  $C_L=20pF$ ,  $W_n=76\mu m$



(d)  $L_{gnd}=1nH$ ,  $C_L=50pF$ ,  $W_n=151\mu m$

그림 2. 천이 시간과 상향 천이하는 드라이버의 수에 따른 잡음 전압 파형

CMOS 그라운드 연결망에서 발생하는 최대 동시 스위칭 잡음의 테일러 급수 모형의 분석

식 (1), (2), (3)과 [8]의 식 (10)을 이용하면 식 (4)와 같이 최대 잡음 전압,  $V_{ngnd}$ 에 관한 식을 얻을 수 있다.

$$\begin{aligned}
 V_{ngnd}(1+e) &= a(b - V_{ngnd})^c (d - V_{ngnd}) \\
 a &= \frac{\beta L_{gnd} \alpha_n k_{sn}}{t_r - t_{thn}}, b = V_{DD} - V_{thn}, \\
 c &= \alpha_n - 1, d = \frac{(t_r - t_{thn}) V_{DD}}{t_r}, \\
 e &= \frac{qL_{gnd} K_{in} \exp\left\{-\frac{K_{in}}{C_L}(t_r - t_{thn})\right\}}{t_r - t_{thn}}.
 \end{aligned} \tag{4}$$

식 (4)에 보이는  $(b - V_{ngnd})^c$  항을 테일러 급수로 전개하면 식 (4)는 식 (5)와 같이 표현할 수 있고, 이 방정식의 해가 그라운드 연결망에서 발생하는 동시 스위칭 잡음의 최대값이다.

$$\begin{aligned}
 K_j V_{ngnd}^{j+1} + \sum_{i=2}^j (K_{i-1} - dK_i) V_{ngnd}^i \\
 + \left(K_0 - dK_1 + \frac{1+e}{a}\right) V_{ngnd} - dK_0 = 0 \\
 K_n = \frac{(-1)^n b^{c-n} \prod_{m=0}^{n-1} (c-m)}{n!} \\
 \prod_{m=i}^j (c-m) = \begin{cases} (c-i)(c-(i+1)) \cdots (c-j) & (i \leq j) \\ (i)j & (i > j) \end{cases}
 \end{aligned} \tag{5}$$

III. 테일러 급수의 근사 전개에 대한 오차 분석

식 (5)에서 보면 알 수 있듯이  $j$ 가 3 이하이면  $V_{ngnd}$ 는 closed-form으로 표현될 수 있고, 특별히,  $j$ 가 2일 경우에 식 (5)의 해는 [8]의 식 (12)와 같게 된다. 하지만,  $j$ 가 3 보다 크면  $V_{ngnd}$ 는 closed-form으로 표현할 수 없고, 이 경우에 식 (5)의 해는 수치 해석적인 방법을 도입해야 하며, 본 논문에서는 Laguerre 방법[9]을 이용하였다. 본 절에서는 테일러 근사 전개를 이용한 논문 [8]의 3절에서 수행한 시뮬레이션 결과를 분석하고자 한다. 즉, [8]과 동일한 시뮬레이션 조건을 이용하여 [8]의 그림 2와 3에 대한 분석을 다루고자 한다. 표 1, 2, 3, 4는 총 출력 드라이버가 20개이고 High 상태에 있는 드라이버가 없으며 상향 천이하는 드라이버의 수를 증가시킬 경우의 절단오차 분석이고, 표 5, 6, 7, 8, 9는 같은 조건이지만 20개의 드라이버 중에 상향 천이 드라이버를 제외한 나머지는 모두 High 상태에 있는 경우의 절단 오차 분석이다. 아래의 표에서 보듯이  $j$ 가 13일 경우에 수렴함을 알 수 있고,  $j$ 를 2으로 근사했을 경우와의 최대 차이는 0.047V이다. 따라서, 식 (5)는 [8]과 같이  $j$ 를 2으로 근사하는 것이 가능한

것이다. 각 표의 괄호안의 숫자는 실제 HSPICE의 결과값으로서 이전 연구 결과 및 HSPICE 결과와의 비교는 [8]에 도식화되어 있다.

표 1. [8]의 그림 2 (a)에 대한 절단 오차 분석

$t=0.25ns, L_{gnd}=5nH, C_L=50pF, W_f=151\mu m$							
Number of rising transitions							
order (j)	5	8	10	12	15	17	20
2	2.1017	2.3016	2.3803	2.4371	2.4979	2.5281	2.5635
3	2.0866	2.2850	2.3638	2.4211	2.4828	2.5137	2.5499
4	2.0789	2.2757	2.3542	2.4114	2.4733	2.5044	2.5410
5	2.0748	2.2701	2.3481	2.4051	2.4669	2.4980	2.5348
6	2.0723	2.2665	2.3441	2.4008	2.4624	2.4935	2.5302
7	2.0708	2.2641	2.3413	2.3978	2.4592	2.4901	2.5269
8	2.0699	2.2625	2.3394	2.3956	2.4568	2.4877	2.5243
9	2.0694	2.2614	2.3380	2.3940	2.4550	2.4858	2.5223
10	2.0690	2.2607	2.3370	2.3928	2.4536	2.4843	2.5207
11	2.0687	2.2601	2.3363	2.3920	2.4526	2.4832	2.5195
12	2.0686	2.2597	2.3357	2.3913	2.4517	2.4822	2.5185
13	2.0685	2.2594	2.3353	2.3908	2.4511	2.4815	2.5177

표 2. [8]의 그림 2 (d)에 대한 절단 오차 분석

$t=0.75ns, L_{gnd}=1nH, C_L=20pF, W_f=76\mu m$							
Number of rising transitions							
order (j)	5	8	10	12	15	17	20
2	0.3244	0.4786	0.5691	0.6514	0.7620	0.8285	0.9191
3	0.3244	0.4785	0.5689	0.6510	0.7614	0.8276	0.9179
4	0.3244	0.4785	0.5688	0.6510	0.7613	0.8275	0.9176
5	0.3244	0.4785	0.5688	0.6510	0.7612	0.8274	0.9175
6	0.3244	0.4785	0.5688	0.6510	0.7612	0.8274	0.9175
7	0.3244	0.4785	0.5688	0.6510	0.7612	0.8274	0.9175
8	0.3244	0.4785	0.5688	0.6510	0.7612	0.8274	0.9175
9	0.3244	0.4785	0.5688	0.6510	0.7612	0.8274	0.9175
10	0.3244	0.4785	0.5688	0.6510	0.7612	0.8274	0.9175
11	0.3244	0.4785	0.5688	0.6510	0.7612	0.8274	0.9175
12	0.3244	0.4785	0.5688	0.6510	0.7612	0.8274	0.9175
13	0.3244	0.4785	0.5688	0.6510	0.7612	0.8274	0.9175

표 3. [8]의 그림 3 (a)에 대한 절단 오차 분석

$t=0.1ns, L_{gnd}=5nH, C_L=50pF, W_f=151\mu m$								
Number of rising transitions								
order (j)	2	5	8	10	12	15	17	20
2	0.1887	0.4845	0.8013	1.0286	1.2738	1.6913	2.0231	2.6960
3	0.1887	0.4844	0.8005	1.0267	1.2700	1.6821	2.0090	2.6882
4	0.1887	0.4844	0.8004	1.0263	1.2688	1.6784	2.0021	2.6825
5	0.1887	0.4844	0.8003	1.0261	1.2684	1.6768	1.9985	2.6781
6	0.1887	0.4844	0.8003	1.0261	1.2682	1.6760	1.9965	2.6747
7	0.1887	0.4844	0.8003	1.0261	1.2682	1.6756	1.9953	2.6719
8	0.1887	0.4844	0.8003	1.0261	1.2682	1.6754	1.9946	2.6696
9	0.1887	0.4844	0.8003	1.0261	1.2681	1.6753	1.9941	2.6677
10	0.1887	0.4844	0.8003	1.0261	1.2681	1.6753	1.9939	2.6660
11	0.1887	0.4844	0.8003	1.0261	1.2681	1.6752	1.9937	2.6647
12	0.1887	0.4844	0.8003	1.0261	1.2681	1.6752	1.9936	2.6635
13	0.1887	0.4844	0.8003	1.0261	1.2681	1.6752	1.9935	2.6625

표 4. [8]의 그림 3 (c)에 대한 절단 오차 분석

t=1ns, L <sub>ind</sub> =5nH, C <sub>i</sub> =20pF, W <sub>i</sub> =76μm								
Number of rising transitions								
order (j)	2	5	8	10	12	15	17	20
	(0.16)	(0.4107)	(0.7393)	(0.8519)	(1.0273)	(1.2768)	(1.4285)	(1.6189)
2	0.2627	0.5970	0.8800	1.0478	1.2025	1.4152	1.5466	1.7317
3	0.2627	0.5967	0.8789	1.0458	1.1993	1.4098	1.5395	1.7219
4	0.2627	0.5967	0.8787	1.0453	1.1984	1.4079	1.5369	1.7178
5	0.2627	0.5967	0.8786	1.0451	1.1981	1.4072	1.5358	1.7160
6	0.2627	0.5967	0.8786	1.0451	1.1980	1.4070	1.5353	1.7151
7	0.2627	0.5967	0.8786	1.0451	1.1980	1.4068	1.5351	1.7146
8	0.2627	0.5967	0.8786	1.0451	1.1979	1.4068	1.5350	1.7144
9	0.2627	0.5967	0.8786	1.0451	1.1979	1.4068	1.5350	1.7143
10	0.2627	0.5967	0.8786	1.0451	1.1979	1.4068	1.5350	1.7142
11	0.2627	0.5967	0.8786	1.0451	1.1979	1.4068	1.5349	1.7142
12	0.2627	0.5967	0.8786	1.0451	1.1979	1.4068	1.5349	1.7142
13	0.2627	0.5967	0.8786	1.0451	1.1979	1.4068	1.5349	1.7142

표 5. [8]의 그림 3 (e)에 대한 절단 오차 분석

t=0.5ns, L <sub>ind</sub> =5nH, C <sub>i</sub> =20pF, W <sub>i</sub> =76μm								
Number of rising transitions								
order (j)	2	5	8	10	12	15	17	20
	(0.1422)	(0.3764)	(0.7204)	(0.8358)	(1.037)	(1.3438)	(1.5438)	(1.8107)
2	0.2392	0.5743	0.8889	1.0913	1.2904	1.5879	1.7892	2.1041
3	0.2392	0.5741	0.8878	1.0890	1.2864	1.5802	1.7785	2.0890
4	0.2392	0.5740	0.8876	1.0884	1.2851	1.5773	1.7740	2.0813
5	0.2392	0.5740	0.8875	1.0882	1.2847	1.5761	1.7718	2.0771
6	0.2392	0.5740	0.8875	1.0882	1.2846	1.5755	1.7707	2.0746
7	0.2392	0.5740	0.8875	1.0882	1.2845	1.5753	1.7702	2.0732
8	0.2392	0.5740	0.8875	1.0882	1.2845	1.5752	1.7699	2.0723
9	0.2392	0.5740	0.8875	1.0882	1.2845	1.5751	1.7697	2.0717
10	0.2392	0.5740	0.8875	1.0882	1.2845	1.5751	1.7697	2.0713
11	0.2392	0.5740	0.8875	1.0882	1.2845	1.5751	1.7696	2.0711
12	0.2392	0.5740	0.8875	1.0882	1.2845	1.5751	1.7696	2.0709
13	0.2392	0.5740	0.8875	1.0882	1.2845	1.5750	1.7696	2.0708

IV. 결론

향후 IC의 고집적화 및 많은 기능 부가 추세를 감안하면 패키징 핀 수의 지속적인 증가 추세를 예측할 수 있다. 이러한 환경에서는 출력 드라이버의 동시적 구동으로 인하여 발생하게되는 전원망 및 그라운드망에서의 잡음이 중요한 설계과제로 부각될 것이다. 본 논문은 α-power MOS 모형과 테일러 근사를 이용하여 CMOS 시스템의 그라운드 연결망에서 발생하는 최대 동시 스위칭 잡음을 예측하는 다항식을 제시하고, 그 해에 대한 오차 분석을 수행하였다. 3절에서 보듯이 3차 다항식으로 근사할 경우 최대 0.047V의 절단 오차, 최대 1.87%의 오차를 보였다. 따라서 본 논문에서는 그라운드 망에서 최대 동시 스위칭 잡음의 테일러 급수 모형을 3차 다항식으로 근사를 하여도 충분히 정확한 결과를 얻을 수 있음을 입증하였다.

참고문헌

[1] A. J. Rainal, "Computing inductive noise of chip packages," AT&T Bell Labs Tech. J., vol. 63, pp. 177-195, Jan. 1984.

[2] G. Katopis, "ΔI noise specification for a high performance computer machine," Proc. IEEE, Sept. 1985, vol. 73, pp. 1405-1415.

[3] R. Senthinathan and J. L. Prince, "Simultaneous switching ground noise calculation for packaged CMOS devices," IEEE J. Solid-State Circuits, vol. 26, pp. 1724-1728, Nov. 1991.

[4] A. Vaidyanath, B. Thoroddsen, and J. L. Prince, "Effect of CMOS driver loading conditions on simultaneous switching noise," IEEE Trans. Comp., Packag., Manufact. Technol. B, vol. 17, pp. 480-485, Nov. 1994.

[5] S. R. Vemuru, "Accurate simultaneous switching noise estimation including velocity-saturation effect," IEEE Trans. Comp., Packag., Manufact. Technol. B, vol. 19, pp. 344-349, May 1996.

[6] T. Sakurai and A. Newton, "Alpha-power law MOSFET model and its applications to CMOS inverter delay and other formulations," IEEE J. Solid-State Circuits, vol. 25, pp. 584-594, Apr. 1990.

[7] Hye-Ran cha and Oh-Kyong Kwon, "An analytical model simultaneous switching noise in CMOS systems," IEEE Transactions on Advanced Packaging, vol. 23, No. 1, Feb. 2000.

[8] 백종흡, 김정학, 김석운, "CMOS 그라운드 연결망에서의 최대 동시 스위칭 잡음의 해석 모형," 대한 전기 학회 논문지, vol. 50C, No. 3, Mar. 2001.

[9] William H. Press, Brian P. Flannery, Saul A. Teukolsky, William T. Vetterling, *Numerical Recipes in C*, Cambridge University Press, 1990. pp. 371-374.