

# 회로분할과 테스트 입력 벡터 제어를 이용한 저전력 Scan-based BIST 설계

신택균(申宅均), 손윤식(孫允植), 정정화(鄭正和)  
한양대학교 미세구조반도체공학과 CAD 및 통신회로 연구실  
전화 : (02) 2290-0558 / 팩스 : (02) 2299-2129

## Design for Low power Scan-based BIST Using Circuit Partition and Control Test Input Vectors

Taek-Kyun Shin, Yun-Sik Son, Jong-Wha Chong  
CAD & C.C. Lab., Dept. of Electronic Eng., Hanyang Univ.  
17 Haengdang-Dong, Seongdong-Gu, Seoul, Korea

E-mail : semicon@ihanyang.ac.kr

### Abstract

In this paper, we propose a low power Scan-based Built-In Self Test based on circuit partitioning and pattern suppression using modified test control unit. To partition a CUT(Circuit Under Testing), the MHPA(Multilevel Hypergraph Partition Algorithm) is used. As a result of circuit partition, we can reduce the total length of test pattern, so that power consumptions are decreased in test mode. Also, proposed Scan-based BIST architecture suppresses a redundant test pattern by inserting an additional decoder in BIST control unit. A decoder detects test pattern with high fault coverage, and applies it to partitioned circuits. Experimental result on the ISCAS benchmark circuits shows the efficiency of proposed low power BIST architecture.

### I. 서론

최근 VLSI칩의 집적도가 커짐에 따라 테스트 시에 발생하는 전력 소모가 새로운 문제로 대두되고 있다. 일반적으로 시스템의 정상 모드에서 동작하는 회로의 전력 소모보다 테스트 모드 시의 전력 소모가 더 크다. 그 이유는 테스트 벡터는 가능한 많은 스위칭 (switching)을 일으켜 테스트 벡터의 품질의 척도가 되는 고장 검출율을 높게 유지해야하기 때문이다. 따라

서 테스트 모드에서는 많은 스위칭이 동시에 발생하여 순간적으로 많은 전류가 흐르게 되고, 전자 이동 (electro-migration) 현상 등에 의해 테스트 대상 회로에 새로운 고장을 발생시키며 전체적인 회로의 신뢰도에 큰 영향을 미친다. 또한 시스템이 정상적으로 동작하는 중에도 주기적으로 시스템의 이상 유무를 점검하기 위해 테스트 벡터를 인가하는 on-line 테스트 기법이 일반화되고 있는 추세이므로 이동장치 혹은 원격장치 등에서 저전력 테스트 기법은 반드시 고려되어야 한다. 본 논문에서는 회로를 분할하여 테스트함으로써 전체 전력 소모를 줄이고, 테스트 입력 벡터를 억제하여 전력 소모감소를 얻기 위한 저전력 Scan-based BIST구조를 제안한다.

### II. 전력 소모 모델링과 분할알고리즘

#### 2.1 전력 소모 모델링

전력 소모를 모델링 하기 위해서 일반적으로 디지털 회로에서 많이 사용하는 CMOS회로에 대한 전력 소모를 고려해보면 정적 전력 소모와 동적 전력 소모로 구분할 수 있다. 정적 전력 소모는 소자 자체의 미세 전류 또는 전력 공급으로부터 연속적으로 흐르는 다른 전류에서 유발되고, 동적 전력 소모는 단락 회로 전류와 출력단이 스위칭 하는 동안 부하 커패시턴스의 충전방전으로부터 기인한다. 본 논문에서는 소자 자체 보

다 CMOS회로가 천이 함으로서 소모되는 동적 전력 소모를 줄이는 것에 목적을 둔다. 이러한 동적 소모 전력은 일정 클락 주기(T)동안 기대되는 천이 수(S), 해당 노드의 커패시턴스 값(C)과 펜아웃(F)의 곱의 총합으로 다음과 같이 계산할 수 있다.

$$P_{Total} = \frac{1}{2} V_{DD}^2 \frac{1}{T} \sum SCF$$

최대 전력 소모는 테스트 시에 순간적으로 스위칭이 가장 많이 일어나는 노드를 갖는 주기에서 발생한다.

$$P_{Peak} = Max P_{Total}$$

테스트 시의 평균 전력 소모는 총 전력을 테스트 패턴의 입력 총 길이(Length)로 나누어 다음과 같이 구할 수 있다.

$$P_{average} = \frac{P_{Total}}{Length}$$

저전력을 위한 테스트 설계는 (1)전력공급을 높여 테스트 동안 증가하는 전류에 견디기 위해 냉각장치를 이용하는 방법과 (2)동작 주파수를 줄여 테스트하는 방법, 그리고 (3)테스트하기 위해 시스템을 분할하는 방법이 있다. 이러한 방법들은 하드웨어 증가((1),(3))와 테스트 시간의 증가(2)를 가져오는 단점이 있다.[2] (3)의 테스트 분할에 의한 저전력 설계는 동적 고장을 검출할 수 있고 MHPA(Multilevel Hypergraph Partition Algorithm)를 사용하여 효율적으로 분할하여 테스트 시 전력 소모 감소 및 고장 검출율을 높일 수 있다.

## 2.2 Multilevel Hypergraph Partition Algorithm

테스트 패턴 생성 및 고장 시뮬레이션에 대한 시간 복잡도는 회로의 크기의 증가에 따라 선형 함수로 증가하기 때문에, 분할에 의한 테스트 효과는 테스트의 조절 용이도 및 관측 용이도를 향상시키고, 테스트 패턴 생성의 복잡도를 감소시킨다. 또한 테스트 시에 테스트 패턴 감소로 원래 회로에 비해 전력 소모를 줄일 수 있다. 회로 분할을 위해서 보통 VLSI회로는 다중 그래프(Multilevel Graph)로 표현할 수 있다. 그러나 그래프분할 문제는 NP-Complete문제이다. 따라서 좋은 성능의 분할 알고리즘을 선택하는 것이 좋은 결과를 얻을 수 있다. 본 논문에서 저전력 테스트를 위해 사용된 분할 알고리즘인 MHPA[3]은 기존의 분할 알고리즘 보다 더 빠르고 효율적인 분할 알고리즘이다. 기존의 분할 알고리즘은 반복적 개선 분할 알고리즘으로서 무작위로 초기 분할을 계산하고 분할 부분을 감소

하기 위해 두 개의 Vertex사이에서 반복적으로 이동함으로써 분할 정보를 얻어내는 경험적인 방법을 사용하는 것으로 거대한 Hypergraph에서는 그 효율이 좋지 못하다. 이에 반해 MHPA는 원래 그래프의 크기를 연속적으로 감소시키고, 더 작은 그래프로 분할하며, 원래 그래프의 분할을 정제 상태로 구성하여 분할 결과를 도출한다. 구체적으로 MHPA는 다음 상태를 따라 그래프를 분할한다.

### (1) Coarsening Phase

Hyperedge를 줄이기 위해서 다중 그래프는 다음과 같이 Vertex를 집단화하여 작은 그래프로 순차적으로 변환된다.

$$G_0, G_1, G_2, \dots, G_m \quad |V_0| > |V_1| > |V_2| > \dots > |V_m|$$

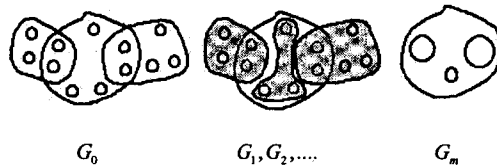


그림1. Hyperedge coarsening

### (2) 초기 분할 상태(Initial Partitioning Phase)

최소의 edge-cut을 구하기 위해 거의 같은 수의 Vertex로 무작위 이분할을 하고, 성장 영역 속의 Vertex를 무작위로 탐색하며 Vertex의 수가 무작위 이분할 수만큼 될 때까지 진행한다.

### (3) 정제 상태(Uncoarsening and refinement phase)

초기 분할 상태에서 얻어진 이분할 정보를 가지고 분할 성장 영역내의 Vertex를 반복적으로 탐색하여 분할 영역의 Vertex가 가장 작은 Hyperedge를 갖는 최적의 값을 찾아, 원래 그래프 G0에 반복되며 정제된 분할결과를 얻어낸다.

## 2.3 Scan-based BIST(Built-In Self Test)

회로의 집적도가 크게 증가함에 따라 테스트 패턴을 칩 내부에서 생성하고 그 테스트 응답 또한 칩 내부에서 압축하여 칩의 고장 유무만을 외부로 알려주는 BIST는 테스트 패턴의 생성이 쉽고 칩의 동작 속도로 테스트를 할 수 있으며 테스트 응답을 비교하기 위한 부수 장비가 필요하지 않다는 것이다. BIST는 회로의 조합 논리 회로와 순차 논리 회로를 분할하여 테스트하는 Scan-based BIST와 분할하지 않고 테스트하는 Parallel BIST로 나누어지며, 본 논문에서는 순차 논리 회로를 분할한 Scan-based BIST를 이용한 저전력 BIST를 구현하였는데, 대다수의 VLSI회로는 Flip-Flop을 갖는 구조를 지니고 있으며 이러한 회로는 Flip-Flop의 전 상태의 값에 따라 결과값이 달라

## 회로분할과 테스트 입력 벡터 제어를 이용한 저전력 Scan-based BIST 설계

지므로 Flip-Flop을 사슬 구조로 묶어 대상 회로를 조합 논리화 시켜 테스트하는 Scan-based BIST구조를 사용하였으며 기본 구조를 그림2에 나타내었다.

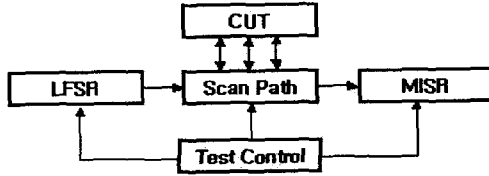


그림2. Scan-based BIST 구조

### III. 제안하는 저전력 Scan-based BIST

일반적으로 테스트를 하기 위해 회로를 분할하게 되면 이에 따른 부가 회로가 발생한다. 제안된 저전력 Scan-based BIST구조를 예를 들기 위해 ISCAS'89 벤치마크 회로 s27을 MHPA에 의해 분할된 부회로와 이에 따른 부가회로를 그림3에 나타내었고 VHDL에 의해 BIST를 구현한 것을 그림4에 나타내었다.

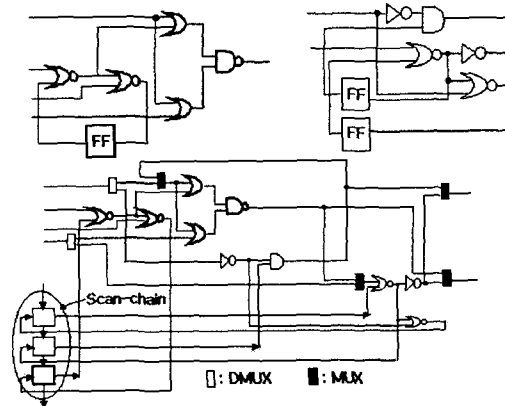


그림3. s27 분할구조와 부가회로

그림3에서 회로가 잘려진 부분의 DMUX와 MUX는 테스트를 위한 부가회로로 정상 동작 시에는 회로를 그대로 연결하고 테스트 시에 동작하여 회로를 분할하는 역할을 한다. 이러한 부가회로는 잘려진 edge-cut 수의 약 3배의 부가회로가 발생된다.[1] 회로의 크기가 증가할수록 잘라지는 부분의 수는 MHPA에 의해 최소의 값을 갖도록 선택되어 잘라지므로 전체 회로에 대한 신호 전달 지연[1] 및 부가회로의 비율은 회로의 크기가 커질수록 무시할 수 있다.[표3참조] 회로의 특징에 따라 입력 패턴의 수와 Flip-Flop의 수를 비교하여 많은 부분을 기준으로 LFSR을 설계하며 이렇게 함으로써 LFSR을 분할된 부가 회로 모두에 적용하여 사용할 수 있다. 테스트 시 전력 소모를 줄이기 위해 인가되는 테스트 벡터를 BIST제어부에 디코더를 설계하여

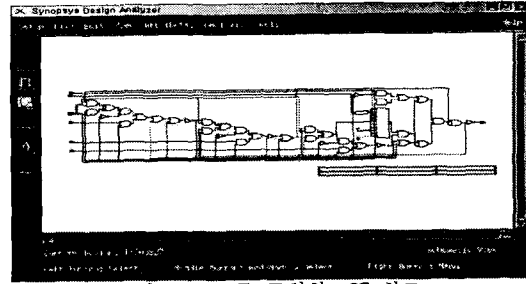


그림4. BIST를 구현한 s27 회로

줄일 수 있다. 회로 정보를 이용하여 모든 노드의 고장 시뮬레이션을 통해 고장을 검출하는 벡터만을 인가하도록 디코더를 설계한다. 제안하는 회로분할과 입력 벡터 제어를 위한 BIST제어부에 디코더를 인가한 구조는 그림6과 같다. BIST제어부는 부회로가 선택되면 다른 부회로에 인가되는 테스트 입력 벡터를 선택적으로 적용할 수 있도록 모드를 설정하여 순차적으로 테스트를 수행한다. 즉 C1이 테스트 시에 C2로 인가되는 테스트 입력 벡터를 고정함으로써 테스트하지 않는 부회로의 스위칭을 억제하는 것이다.

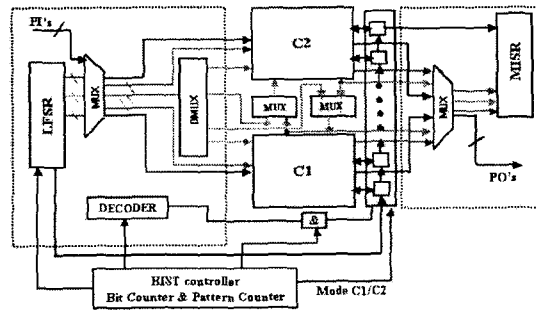


그림5. 제안된 Scan-based BIST 구조

### IV. 실험 결과

실험은 UNIX환경에서 대상회로를 Verilog로 기술하여 Synopsys Design analyzer로 회로 정보를 분석하였다. 표1에 대상 회로의 정보를 나타내었다. 대상 회로의 고장 시뮬레이션을 통해 결정 패턴을 얻어내어 디코더를 구현할 정보를 추출하였다. 순차회로 테스트 틀인 HITEC/PROOF를 이용하여 결정 입력 테스트 벡터를 구하였고, SIS프로그램을 이용하여 테스트 입력 벡터에 의한 평균 전력을 표2에 나타내었다. 회로 분할을 위해 sh-METIS 프로그램을 이용하여 분할한 결과는 표3과 같고 분할 후 테스트 결과는 표4와 같다. 결정 테스트 입력 벡터의 분할 전 입력 평균 스위칭 확률과 분할 후 부회로에 인가되는 확률을 구하여 SIS-POSE

프로그램을 이용하여 분석한 전력 소모 결과를 표5에 나타내었다. 표6에 Scan-based BIST 구조에 디코더를 부가한 분할회로에 대한 전력 소모비를 나타내었다.

표 1. 대상 회로 정보

Circuit	In	Out	FF	Inverter	Gates
s27	4	1	3	2	8
s1196	14	14	18	141	388
s35932	35	320	1728	3861	12204

표 2. 대상 회로 테스트 결과 및 평균 전력 소모

Circuit	Test L	Total F	Detec F	FC	Pa
s27	21	32	32	100	417.74
s1196	439	1242	1239	99.759	2696.72
s35932	306	39094	34868	89.190	122048

Test L : Test Length Total F : 총 고장 수  
 Detec F : 검출 고장 수 FC : 고장 검출율  
 Pa : 평균 전력 소모(uW) : CMOS 20MHz Vdd = 5V

표 3. 대상 회로 분할 결과

Circuit	VertexN	UBF	E-cut N	Add N	Area
s27	10	1	2	6	60
s1196	529	3	9	27	5
s35932	16065	1	43	129	0.8

Vertex N : 노드 수 UBF : 불평형 인자 비율(%)  
 E-cut N : 분할 edge 수 Add N : 부가회로 수  
 Area : 면적 오버 헤드 비율(%)

표 4. 분할 후 대상 회로의 테스트 결과

Circuit	TL	C1N	C2N	FC1	FC2
s27	27	5	5	100	100
s1196	847	275	254	99.85	99.98
s35932	628	8033	8032	90.23	90.15

TL : 테스트 길이 C1,C2N : 부회로 노드(Vertex) 수  
 FC1,FC2 : 각 부회로 고장 검출율(Fault Coverage)%

표 5. 분할 전후의 스위칭 확률과 전력 소모 결과

Circuit	av-Sp	C1Sp	C2Sp	C1Pa	C2Pa
s27	0.4455	0.4167	0.1200	340.46	327.51
s1196	0.5085	0.5529	0.4953	1671.97	1591.06
s35932	0.5124	0.5216	0.4986	74937.47	73258.1

av-Sp : 분할 전 평균 입력 스위칭 확률

C1Sp, C2Sp : 각 부회로의 평균 스위칭 확률

C1Pa, C2Pa : 각 부회로의 평균 전력 소모(uW)

표 6. 디코더를 이용한 최대, 평균 전력 비율 결과

Circuit	분할 전		분할 후	
	최대전력	평균전력	최대전력	평균전력
s27	180%	100%	160%	79.95%
s1196	195%	100%	125%	61%
s35932	156%	100%	115%	61.1%

## V. 결 론

표6에서 보는 바와 같이 제안된 구조를 이용하여 분할된 각 부회로에서 평균 전력 감소는 분할 전 평균전력 소모를 기준으로 20~40%로 감소하였고, 최대 전력은 약 40~70%의 감소를 가져왔으며, 평균 전력 소모의 30%는 입력 벡터의 천이로 소모되었고 디코더에 의한 입력 벡터를 줄임으로써 전력 소모가 더 감소하였다. 또한 분할에 의해 고장 검출율이 향상되었다. 테스트의 IP(Intellectual Property)화를 통해 적용된 방법을 재사용 함으로써 테스트 시간을 줄일 수 있고 분할 문제는 NP-Complete문제이므로 효율적인 분할 알고리즘 개발과 회로 분할에 의한 분할 경계 고장 문제를 해결하기 위한 연구가 필요한 것으로 사료된다.

## 참고문헌(또는 Reference)

- [1] P. Girard et al, "Low Power BIST Design by Hypergraph Partitioning :Methodology and Architecture", 2000 IEEE ITC International Test Conference, pp.652-661.
- [2] Stefan Gerstendorfer, and Hans-Joachim Wunderlich, "Minimized Power consumption for Scan-Based BIST", 1999 IEEE, ITC International Test Conference", pp.77-84.
- [3] George Karypis et al, "Multilevel Hypergraph partitioning : applications in VLSI Domain", 1998 34th Design Automation Conference, WWW at URL <http://www.cs.umn.edu/~karypis/publications/partitioning.html>
- [4] Xiaodong Zhang, and Kaushik Roy, "Peak Power Reduction in Low Power BIST", 2000 IEEE First International Symposium on, pp.425-432.